【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】令和5年12月11日(2023.12.11)

【国際公開番号】WO2023/048122
【出願番号】特願2023-549690(P2023-549690)
【国際特許分類】
H01L 29/06(2006.01)
H01L 29/78(2006.01)
H01L 29/12(2006.01)
【ＦＩ】
H01L 29/78 652P
H01L 29/78 653C
H01L 29/78 652T
H01L 29/78 652J
H01L 29/78 652Q

【手続補正書】
【提出日】令和5年9月13日(2023.9.13)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
トランジスタおよびダイオードのうち少なくとも一方の半導体素子を含む半導体基板と、
前記半導体素子の状態を制御する電極を含み、前記半導体基板の上面に設けられたトレンチゲートと、
前記半導体基板の４つの側面のうち対向する２つの第１側面に形成された第１非晶質層と、
前記半導体基板の４つの側面のうち前記第１側面以外の対向する２つの第２側面に形成された第２非晶質層と、を備え、
平面視において、前記第１側面と前記トレンチゲートの延伸方向とがなす第１角度は前記第２側面と前記トレンチゲートの前記延伸方向とがなす第２角度よりも小さい、または、前記第１側面は前記トレンチゲートの延伸方向に対して平行であり、
前記第１側面から前記半導体基板の内側に向かう方向における前記第１非晶質層の厚みは、前記第２側面から前記半導体基板の内側に向かう方向における前記第２非晶質層の厚みとは異なる、半導体装置。
【請求項２】
前記半導体素子が形成された領域を囲うように設けられ、前記半導体素子の耐圧を保持する耐圧保持構造と、
前記半導体基板の前記上面に設けられ、前記半導体素子に電気的に接続された表面電極と、
前記表面電極の下面と前記半導体基板の前記上面との間に設けられ、かつ、前記耐圧保持構造を覆う層間絶縁膜と、をさらに備え、
前記第１非晶質層および前記第２非晶質層は、平面視において、前記層間絶縁膜の外側に形成されており、前記層間絶縁膜の外縁から３μｍ以上離れている、請求項１に記載の半導体装置。

【請求項３】
前記第２非晶質層の前記厚みは、前記第１非晶質層の厚みに対して、１．１倍以下である、請求項１または請求項２に記載の半導体装置。
【請求項４】
前記第１非晶質層の前記厚みは、０．０５μｍ以上である、請求項１に記載の半導体装置。
【請求項５】
前記第２側面において、前記第２非晶質層よりも上方に設けられた単結晶層をさらに備える、請求項１に記載の半導体装置。
【請求項６】
前記第１非晶質層および前記第２非晶質層は、前記半導体基板の結晶を構成している元素と同じ元素からなる非晶質で形成されている、請求項１に記載の半導体装置。
【請求項７】
前記半導体基板はドリフト層を含み、
前記第１非晶質層は、前記ドリフト層の側面に形成された上部第１非晶質層と、前記上部第１非晶質層より前記半導体基板の下面側に形成された下部第１非晶質層とを含み、
前記第２非晶質層は、前記ドリフト層の側面に形成された上部第２非晶質層と、前記上部第２非晶質層より前記半導体基板の下面側に形成された下部第２非晶質層とを含み、
前記第１側面から前記半導体基板の内側に向かう方向における前記上部第１非晶質層の厚みは、前記第１側面から前記半導体基板の内側に向かう方向における前記下部第１非晶質層の厚みよりも小さい、
請求項１に記載の半導体装置。
【請求項８】
前記半導体基板はドリフト層を含み、
前記第１非晶質層は、前記ドリフト層の側面に形成された上部第１非晶質層と、前記上部第１非晶質層より前記半導体基板の下面側に形成された下部第１非晶質層とを含み、
前記第２非晶質層は、前記ドリフト層の側面に形成された上部第２非晶質層と、前記上部第２非晶質層より前記半導体基板の下面側に形成された下部第２非晶質層とを含み、
前記第２側面から前記半導体基板の内側に向かう方向における前記上部第２非晶質層の厚みは、前記第２側面から前記半導体基板の内側に向かう方向における前記下部第２非晶質層の厚みよりも小さい、
請求項１または請求項７に記載の半導体装置。
【請求項９】
請求項１に記載の半導体装置を含み、入力される電力を変換して出力する主変換回路と、
前記半導体装置を駆動するための駆動信号を前記半導体装置の前記半導体素子の前記電極に出力する駆動回路と、
前記駆動回路を制御するための制御信号を前記駆動回路に出力する制御回路と、を備える電力変換装置。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】０００６
【補正方法】変更
【補正の内容】
【０００６】
本開示に係る半導体装置は、半導体基板、トレンチゲート、第１非晶質層および第２非晶質層を備える。半導体基板は、トランジスタおよびダイオードのうち少なくとも一方の半導体素子を含む。トレンチゲートは、半導体素子の状態を制御する電極を含む。トレンチゲートは、半導体基板の上面に設けられている。第１非晶質層は、半導体基板の４つの側面のうち対向する２つの第１側面に形成されている。第２非晶質層は、半導体基板の４

つの側面のうち第１側面以外の対向する２つの第２側面に形成されている。平面視において、第１側面とトレンチゲートの延伸方向とがなす第１角度は第２側面とトレンチゲートの延伸方向とがなす第２角度よりも小さい、または、第１側面はトレンチゲートの延伸方向に対して平行である。第１側面から半導体基板の内側に向かう方向における第１非晶質層の厚みは、第２側面から半導体基板の内側に向かう方向における第２非晶質層の厚みとは異なる。