



(12) 发明专利

(10) 授权公告号 CN 101145374 B

(45) 授权公告日 2010.06.09

(21) 申请号 200710184980.5

审查员 丁瑜

(22) 申请日 2002.07.16

(30) 优先权数据

220510/2001 2001.07.19 JP

(62) 分案原申请数据

02818416.5 2002.07.16

(73) 专利权人 松下电器产业株式会社

地址 日本大阪府

(72) 发明人 高木裕司 白井诚 薮野宽之

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 程天正 陈景峻

(51) Int. Cl.

G11B 20/18(2006.01)

(56) 对比文件

CN 1155146 A, 1997.07.23, 全文.

JP 7254104 A, 1995.10.03, 全文.

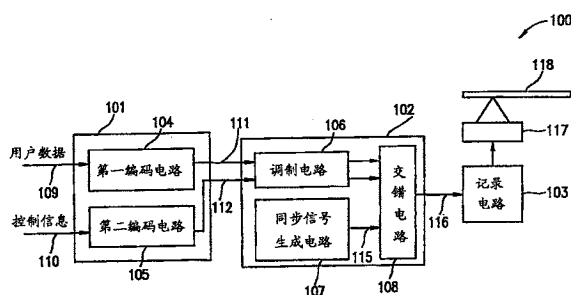
权利要求书 1 页 说明书 12 页 附图 10 页

(54) 发明名称

记录方法和再现方法

(57) 摘要

一种数据记录方法,包括以下步骤:将用户数据编码为具有第一纠正能力的第一纠错码,将控制信息编码为具有高于第一纠正能力的第二纠正能力的第二纠错码,生成包含第一纠错码、第二纠错码以及同步信号的数据流,其中所述第二纠错码以及所述同步信号交替地交错第一纠错码,以及记录所述数据流。



1. 一种记录方法,包括步骤:

通过对第一信息进行编码产生具有第一纠正能力的第一纠错码;

通过对第二信息进行编码产生具有高于第一纠正能力的第二纠正能力的第二纠错码;

产生同步信号;

将第二纠错码和同步信号交替地交错到第一纠错码中;以及

在记录介质上记录包括第一纠错码、第二纠错码和同步信号的数据流。

2. 一种再现方法,包括用于再现记录在记录介质上的数据流的步骤,

其中:

记录介质存储包含通过对第一信息进行编码而获得的第一纠错码、通过对第二信息进行编码而获得的第二纠错码以及同步信号的数据流,并且

其中:

第一纠错码具有第一纠正能力;

第二纠错码具有高于第一纠正能力的第二纠正能力;

在数据流中,第二纠错码和同步信号交替地与第一纠错码交错。

记录方法和再现方法

[0001] 本申请是分案申请,其母案申请的申请号为 02818416.5,其母案申请的国际申请号为 PCT/JP02/07232,其母案申请的申请日为 2002 年 7 月 16 日,其母案申请的发明名称为“数据记录方法、记录介质以及再现设备”。

技术领域

[0002] 本发明涉及一种数据记录方法,该方法在将数据记录到记录介质上时使用,其中所述数据诸如是 AV 数据以及计算机数据等,所述记录介质诸如是 DVD 等;该记录介质用于存储所述数据;以及用于从所述记录介质再现数据的设备。

背景技术

[0003] 通常,已经将诸如里德-所罗门 (Read-Solomon) 码之类的纠错码用于纠正在记录介质上因介质的瑕疵、或者盘面上的灰尘或划痕所引起的错误,所述记录介质诸如 DVD 等。

[0004] 最近,在数字视频记录领域,已经展开向下一代 DVD 的研究,所述下一代 DVD 比传统的 DVD 具有更高的密度以及具有更大的容量。在这种研究中,随着记录介质的密度的增加,对于减少因为灰尘或划痕而产生的突发错误的影响也存在需要。

[0005] 为满足这种需求,例如已经在 Kouhei Yamamoto 等人提出的用于数字视频记录系统的纠错码的错误模型以及性能分析 (1999 年 7 月,由 SPIE 在 Koloa, Hawaii 提出的 Joint International Symposium on Optical Memory and Optical Data Storage 中第 3864 卷、第 339-341 页部分) 中提出了一种记录方法。在此方法中,将两种纠错码交错,以便改善纠正突发错误的能力。

[0006] 在公开号为 2000-40307 的日本已公开专利申请中详细地公开了另一种数据记录方法,其中将两个或更多种纠错码交错。

[0007] 图 9 是示出在 Yamamoto 等人中的纠错码的常规结构的示意图。

[0008] 如图 9 中所示,将大约 64K 字节的用户数据划分为 304 列、每列 216 个字节,它们被称为信息部分。将 32 字节的奇偶位添加到每个信息部分,以形成第一纠错码 901。利用有限域 GF(256) 之上的里德-所罗门码来编码第一纠错码 901。组成码元 (component symbol) 是组成代码的最小元素,具有 1 字节的长度。

[0009] 第一纠错码 901 的纠正能力按如下评估。

[0010] 通常,

[0011] $d \geq 2 \times t + 1$

[0012] 被建立,其中 d 表示每个代码之间的最短距离,而 t 表示可能的纠正数目。

[0013] 每个第一纠错码 901 都包含 32 字节的奇偶位。两个第一纠错码之间的最短距离是 33。因此,依照上述关系,第一纠错码 901 在 248 (字节) 的代码长度中,具有纠正多达 16 (字节) 个错误的纠正能力。

[0014] 在所述纠错过程中,当错误位置是已知的时,有关已知的错误位置的信息可用于执行清除纠正。清除纠正就是这样一种方法,其中当某一代码经历纠错操作并且预先知道错

误的组成码元（代码的最小单位）时，假定所述组成码元将要被清除，并且根据所述其余组成码元计算被清除的组成码元。当错误位置是已知的时，所述清除纠正可以按多达 2 的因数来增强纠正能力。

[0015] 这可以通过以下关系式来说明：

[0016] $d \geq 2 \times t + e + 1$

[0017] 其中 d 表示每个代码之间的最短距离，并且 t 表示纠正的数目，并且 e 表示清除纠正的数目。

[0018] 在其中最短距离 $d = 33$ 的第一纠错码 901 的情况下，如果通过清除纠正执行了所有的纠正（即 $t = 0$ ），那么多达 32（字节）的组成码元（ $e = 32$ ）可以被纠正。

[0019] 如图 9 中所示，将 720 字节的控制数据划分为 24 列、每列 30 字节，它们被称为信息部分。将 32 字节的奇偶位添加到每个信息部分，以形成第二纠错码 902。利用在有限域 GF(256) 之上的里德-所罗门码来编码第二纠错码 902。组成码元是组成代码的最小元素，具有 1 字节的长度。注意，720 字节的控制数据包含当将用户数据最终记录到光盘上时所使用的地址信息等等。

[0020] 每个第二纠错码 902 都包含 32 字节的奇偶位。与在第一纠错码 901 相同，两个第二纠错码 902 之间的最短距离也是 33。因此，第二纠错码 902 在 62（字节）的代码长度中，具有最多纠正 16（字节）个错误的纠正能力。第二纠错码 902 的纠正数目与第一纠错码 901 的纠正数目（16（字节））相同。然而，由于第二纠错码 902 具有比第一纠错码 901 更短的代码长度，所以第二纠错码 902 的纠正能力要高于第一纠错码 901 的纠正能力。

[0021] 以这样的方式，构造第一纠错码 901 和第二纠错码 902，然后连同同步信号 903 一起交错，以便生成数据流，所述数据流依次又被记录到记录介质上。

[0022] 图 10 示出了这样一种数据流结构，其中图 9 中所示的传统第一纠错码 901 和第二纠错码 902、连同同步信号一起在预定的交错规则下被交错。

[0023] 在图 10 中，901a 到 901h 表示第一纠错码，902a 到 902f 表示第二纠错码，并且 903a 和 903b 是同步信号。构成所述代码的组成码元和所述同步信号被记录，以便按照 312 列 $\times$ 248 行的矩阵来排列，并且沿行方向交错。将每个代码沿列方向（垂直方向）编码，并且将被以行方向（水平方向）来记录，借此提供对于突发错误来说是健壮的结构。在传统的例子中，每 155 字节（ $= 38 + 1 + 38 + 1 + 38 + 1 + 38$ 字节）添加 1 字节的同步信号。156 字节组成一个帧。所述数据流具有所谓的帧结构。所述同步信号用于逐字节地使帧内的数据同步，并且指定帧在整个数据流（数据块）中的位置。所述同步信号还用于在再现开始时引入同步，或者当发生位滑动等等时执行再同步。为此目的，所述同步信号具有这样一种图形，该图形无法通过当将数据流最后记录到光盘上时执行解调来生成，并且具有包括帧数等等的预定的图形信号。所述再现设备确定由再现设备再现的图形是否与本应记录的相应预定图形完全相同，借此令所述同步信号行使职责。

[0024] 正如从图 10 的数据结构中看到的那样，将每个第一纠错码中的 38 字节的组成码元插入在第二纠错码中的 1 字节同步信号和 1 字节组成码元之间，或者插入在两个第二纠错码中的 1 字节组成码元之间。具有同步信号的列数与具有第二纠错码的组成码元的列数的比率是 1 : 3。基于同步信号的同步检测结果或者根据利用具有高于第一纠错码的纠正能力的第二纠错码的纠错结果，可以为清除纠正生成表示错误位置信息的清除标志，这取

决于是在同步信号还是在第二纠错码的组成码元中检测到错误。

[0025] 例如,假设当第二纠错码经受纠错时,在两个连续的第二纠错码 902e 和 902f 的组成码元(在图 10 中的 902e-x 和 902f-x)中检测到错误,并且纠错实际上被执行。在这种情况下,在第一纠错码 901g 中的 38 字节组成码元中发生错误的可能性被认为是非常高的(即,视为突发错误发生),其中所述第一纠错码 901g 是插入在第二纠错码的组成码元 902e-x 和 902f-x 之间的。在这种情况下,为第一纠错码 901g 中的组成码元生成清除标志 905c。

[0026] 同样地,例如,对于插入在同步信号 903a 和第二纠错码 902a 中的组成码元之间的第一纠错码 901a 中的 38 字节组成码元、以及插入在第二纠错码 902c 的组成码元和同步信号 903b 之间的第一纠错码 901d 中的 38 字节组成码元来说,在第二纠错码的纠错结果中或者在同步检测结果中检测到错误,其中所述同步检测是检测同步信号是否被检测到,并且利用所述结果,为在第一纠错码 901a 和 901d 中的组成码元生成清除标志。在图 10 中,清除标志 905a 作为检测在 903a-x 和 902a-x 中的错误的结果而生成,并且清除标志 905b 作为检测在 902c-x 和 903b-x 中的错误的结果而生成。

[0027] 如上所述,清除标志可用于执行清除纠正,借此使按多达 2 的因数改善的纠正能力(纠正数目)成为可能。因此,可以获得能抵抗因划痕或者灰尘造成的突发错误的出色能力。

[0028] 在上述传统的例子中,第二纠错码的纠错结果或者同步信号检测的结果被用来生成相应的清除标志。

[0029] 就检错的能力而言,因为检测方法之间的差异,所以利用第二纠错码的检错不同于利用同步信号的检错。利用同步信号的检错具有比利用第二纠错码的检错高得多的检测能力。

[0030] 在传统的例子中,第二纠错码具有高于第一纠错码的纠正能力,不过所述纠正能力在 62(字节)的代码长度中低到 16(字节)。因此,当在 62(字节)中出现 17 或更多(字节)错误时,不可以纠正错误。在这种情况下,不能够使用清除标志来指定错误位置。

[0031] 利用同步信号的检错可以简单地通过逐位比较再现的同步信号与再现之前的同步信号来加以执行。即使在同步信号中出现 17 或更多(字节)(例如 62 字节)错误时,也可以检测出所有的错误。

[0032] 因此,在传统的例子中,根据第一纠错码在所述数据流中的位置,相同的第一纠错码具有不同的纠错可靠性,即,第一纠错码是如何与第二纠错码和/或同步信号进行交错的。具体来讲,因为检错能力,插入在两个具有低检测能力的第二纠错码中的组成码元之间的第一纠错码,比插入在同步信号和第二纠错码之间的另一个第一纠错码的可靠性低。

[0033] 当更高的以及更低的可靠性共存时,整体的可靠性就受到最低可靠性的制约。在传统的例子中,很可能的是,在第一纠错码中发生诸如无能力再现数据之类的错误状态,其中所述第一纠错码是插入在两个具有较低可靠性以及低纠正能力的第二纠错码中的组成码元之间的。

[0034] 提供本发明是用来解决如上所述的问题的。本发明的目的在于提供一种数据记录方法、一种记录介质以及一种再现设备,所述再现设备的总体纠正能力通过根据第一纠错码在数据流中的位置来消除检错可靠性方面的差异而得以改善,即,第一纠错码是如何与

第二纠错码和同步信号交错的,并且由此可以执行高度可靠的再现。

发明内容

[0035] 本发明提供了一种数据记录方法,所述方法包括以下步骤:将用户数据编码为具有第一纠正能力的第一纠错码,将控制信息编码为具有高于第一纠正能力的第二纠正能力的第二纠错码,生成包含第一纠错码、第二纠错码以及同步信号的数据流,其中第二纠错码以及同步信号交替地与第一纠错码交错;以及记录所述数据流。借此,可以实现上述目的。

[0036] 本发明还提供了一种记录介质,用于存储包含通过编码用户数据而获得的第一纠错码、通过编码控制信息获得的第二纠错码、以及同步信号的数据流,其中第一纠错码具有第一纠正能力,第二纠错码具有高于第一纠正能力的第二纠正能力,并且在所述数据流中,第二纠错码以及同步信号交替地与第一纠错码交错。借此,可以实现上述目的。

[0037] 本发明还提供了一种用于再现在记录介质上记录的数据流的再现设备,所述设备包括用于根据所述数据流生成二进制数据的再现部件,用于将二进制数据解调为第一纠错码和第二纠错码的解调部件,其中所述解调部件包括同步信号检测部件,用于生成同步信号检测的结果;以及纠错部件,用于检测从解调部件输出的第一纠错码和第二纠错码中的错误并且纠正错误,其中所述纠错部件包括第一纠错码的清除标志生成部件,用于基于第二纠错码的纠错结果或者同步信号检测的结果生成用于清除纠正的清除标志,以及包括清除纠正部件,用于利用所述清除标志来执行清除纠正。借此,可以实现上述目的。

[0038] 在本发明的一个实施例中,当所述同步信号检测部件以不同于预测时间的时间检测同步信号时,清除标志生成部件将清除标志置于从同步信号开始的数据流的第一纠错码上行流的组成码元中。

[0039] 在本发明的一个实施例中,当所述同步信号检测部件以不同于预测时间的时间检测同步信号并且在第二纠错码上行流的组成码元中检测出错误时,清除标志生成部件将清除标志置于第一纠错码上行流中,其中所述第二纠错码上行流处于从同步信号开始并且最接近于同步信号的数据流中,而所述第一纠错码上行流位于从同步信号开始的数据流中。

[0040] 在本发明的一个实施例中,当所述同步信号检测部件以不同于预测时间的时间检测同步信号并且在第二纠错码上行流的组成码元中没有检测出错误时,清除标志生成部件将清除标志置于位于第二纠错码上行流和同步信号之间的第一纠错码的组成码元中,其中所述第二纠错码上行流位于从同步信号开始并且最接近同步信号的数据流中。

[0041] 在本发明的一个实施例中,所述同步信号检测部件根据检测同步信号的时间来计数时钟数目以及再现的位,并且基于所述计数结果,预测检测下一个同步信号的时间。

[0042] 本发明还提供了一种供在再现设备中使用的纠错电路,该电路包括第一纠错码的清除标志生成部件,用于基于第二纠错码的纠错结果或者同步信号检测的结果来生成用于清除纠正的清除标志,并且包括清除标志纠正部件,用于利用清除标志来执行清除纠正。借此,可以实现上述目的。

[0043] 在本发明的一个实施例中,当所述同步信号检测部件以不同于预测时间的时间来检测同步信号时,清除标志生成部件将清除标志置于第一纠错码上行流的组成码元中,其中所述第一纠错码上行流位于从同步信号起的数据流中。

[0044] 在本发明的一个实施例中,当所述同步信号检测部件以不同于预测时间的时间检

测同步信号并且在第二纠错码上行流的组成码元中检测出错误时,清除标志生成部件将清除标志置于第一纠错码的组成码元中,其中所述第二纠错码上行流位于从同步信号开始并且最接近于同步信号的数据流中,所述第一纠错码上行流位于从同步信号起的数据流中。

[0045] 在本发明的一个实施例中,当所述同步信号检测部件以不同于预定时间的时间来检测同步信号并且在第二纠错码上行流的组成码元中没有检测出错误时,清除标志生成部件将清除标志置于位于第二纠错码和同步信号之间的第一纠错码的组成码元中,其中所述第二纠错码上行流位于从同步信号开始且最接近于同步信号的数据流中。

[0046] 在本发明的一个实施例中,所述同步信号检测部件根据检测同步信号的时间来计数时钟数目以及再现的位,并且基于所述计数结果,预测检测下一个同步信号的时间。

附图说明

[0047] 图 1 是示出了依照本发明的用于将数据记录在记录介质中的记录设备结构的示意图。

[0048] 图 2 是示出了利用依照本发明方法交错之前的第一纠错码和第二纠错码的示意图。

[0049] 图 3 是示出了数据流的数据结构的图,其中图 2 中所示第一纠错码和第二纠错码依照预定的交错规则与同步信号交错。

[0050] 图 4 是示出了在依照本发明的光盘的螺旋或者同心轨道中记录的数据的结构的图。

[0051] 图 5 是示出了依照本发明的数据流的记录顺序的图。

[0052] 图 6 是示出了依照本发明的再现设备的示意图。

[0053] 图 7 是详细地示出了图 6 所示出的纠错电路的图。

[0054] 图 8 是示出了用于解释生成清除标志规则的算法的图。

[0055] 图 9 是示出了常规纠错码的结构的示意图。

[0056] 图 10 是示出了常规数据流的数据结构的图,其中图 9 中所示的第一纠错码和第二纠错码依照预定的交错规则与同步信号交错。

具体实施方式

[0057] 以下,将参照附图以举例说明的方式来描述本发明。

[0058] 图 1 是示出了用于将数据记录在记录介质上的记录设备 100 的结构示意图。所述记录介质的例子包括但是不局限于光盘、磁盘以及磁光盘。可以将本发明应用于任何记录介质。在以下的例子中采用光盘为例。

[0059] 所述记录设备 100 包括编码器 101、调制器 102 以及记录电路 103。所述编码器 101 可以包括第一编码电路 104 和第二编码电路 105。所述调制器 102 包括调制电路 106、同步信号生成电路 107 以及交错电路 108。

[0060] 将用户数据 109 输入到第一编码电路 104。将控制信息 110 输入到第二编码电路 105。所述用户数据 109 是二进制位数据。用户数据 109 的例子包括 AV 数据、文本数据以及应用程序数据。所述控制信息 110 是用于控制用户数据 109 的信息。所述控制信息 110 的例子包括地址信息以及版权管理信息(复制许可信息、加密密钥信息等等)。

[0061] 第一编码电路 104 根据用户数据 109 生成第一纠错码 111, 并且将它们发送到调制器 102 的调制电路 106。同样地, 第二编码电路 105 根据控制信息 110 生成第二纠错码 112。并且将它们发送到调制器 102 的调制电路 106。在此假设第一纠错码 111 具有第一纠正能力, 而第二纠错码 105 具有高于第一纠正能力的第二纠正能力。所述调制电路 106 选择性地调制第一纠错码 111 和第二纠错码 112, 并且将所得到的代码发送到交错电路 108。所述同步信号生成电路 107 生成用于纠正位滑动等等的同步信号 115, 并且将同步信号 115 发送到交错电路 108。所述交错电路 108 生成包含第一纠错码 111、第二纠错码 112 以及同步信号 115 的数据流 116, 其中第一纠错码 111 交替地与第二纠错码 112 和同步信号 115 交错, 并且所述交错电路 108 然后将数据流 116 发送到记录电路 103。所述记录电路 103 接收来自于交错电路 108 的数据流 116, 并且利用光头 117 将它记录在光盘 118 上。

[0062] 如上所述, 本发明的记录设备 100 生成包含第一纠错码 111、第二纠错码 112 以及同步信号 115 的数据流 116, 其中第一纠错码 111 交替地与第二纠错码 112 和同步信号 115 交错, 并且将所述数据流 116 记录在光盘 118 上。

[0063] 接下来, 将参照图 2 到 4 说明沿将用户数据 109 和控制信息 110 记录在光盘 108 上的过程的数据结构, 其中所述用户数据 109 和控制信息 110 是由本发明的记录设备 100 产生的。

[0064] 图 2 是示出了交错之前第一纠错码 111 和第二纠错码 112 的示意图。

[0065] 将大约 64K 字节的用户数据划分为 304 列、每列 216 字节, 它们被称为信息部分。将 32 字节的奇偶位添加到每个信息部分以形成第一纠错码 111。利用有限域 GF(256) 之上的里德-所罗门码来对第一纠错码 111 进行编码。组成码元是组成代码的最小元素, 具有 1 字节的长度。第一纠错码 111 的编码方向是列方向 (垂直方向)。

[0066] 按如下评估第一纠错码 111 的纠正能力。

[0067] 通常,

$$[0068] \quad d \geq 2 \times t + 1$$

[0069] 被建立, 其中 d 表示每个代码之间的最短距离, 而 t 表示可能的纠正数目。

[0070] 每个第一纠错码 111 都包含 32 字节的奇偶位。两个第一纠错码之间的最短距离是 33。因此, 依照上述关系式, 第一纠错码 111 具有在 248 (字节) 的代码长度中、纠正多达 16 (字节) 个错误的纠正能力。

[0071] 在所述纠错过程中, 当错误位置是已知的时, 有关已知的错误位置的信息可用于执行清除纠正。清除纠正就是这样一种方法, 其中当某一代码经历纠错操作、并且错误的组成码元 (代码的最小单位) 是预先已知的时, 则假定组成码元要被清除, 并且被清除的组成码元根据剩余组成码元加以计算。当错误位置是已知的时, 清除纠正可以按多达 2 为因数增强纠正能力。

[0072] 这可以通过以下关系式来解释:

$$[0073] \quad d \geq 2 \times t + e + 1$$

[0074] 被建立, 其中 d 表示每个代码之间的最短距离, 而 t 表示纠正数目, 而 e 表示清除纠正的数目。

[0075] 在其中最短距离 $d = 33$ 的第一纠错码 111 的情况下, 如果通过清除纠正执行了所有的纠错 (即 $t = 0$), 那么多达 32 (字节) 个组成码元可以被纠正 ($e = 32$)。

[0076] 如图 2 中所示,将 480 字节的控制数据划分为 16 列、每列 30 字节,它们被称为信息部分。将 32 字节的奇偶位添加到每个信息部分以形成第二纠错码 112。利用有限域 GF(256) 之上的里德-所罗门码来对第二纠错码 112 进行编码。组成码元是组成代码的最小元素,具有 1 字节的长度。注意,所述 480 字节的控制数据包含当将用户数据最后记录在光盘上时使用的地址信息等等。

[0077] 每个第二纠错码 112 也都包含 32 字节的奇偶位。与在第一纠错码 111 中一样,两个第二纠错码 112 之间的最短距离是 33。因此,第二纠错码 112 具有在 62(字节)的代码长度中、纠正多达 16(字节)个错误的纠正能力。第二纠错码 112 的纠正数目与第一纠错码 111 的纠正数目(16(字节))相同。然而,由于第二纠错码 112 具有比第一纠错码 111 短的代码长度,所以第二纠错码 112 的纠正能力高于第一纠错码 111 的纠正能力。

[0078] 以这样的方式,第一纠错码 111 和第二纠错码 112 被构造。在本发明中,所述记录设备 100 交替地交错第一纠错码 111 与第二纠错码 112 和同步信号 115,以便生成数据流 116,所述数据流 116 又依次被记录在光盘 118 上的。

[0079] 图 3 示出了交替的数据流 116 的结构。

[0080] 在图 3 中,111a 到 111h 表示第一纠错码,112a 到 112d 表示第二纠错码,而 115a 到 115d 表示同步信号。组成所述代码的组成码元和同步信号被记录,因此可以将它们以 312 列 $\times$ 248 行的矩阵形式来排列,并且沿行方向进行交错。将每个代码沿列方向(垂直方向)编码,并且沿行方向(水平方向)记录,借此提供对于突发错误来说非常健壮的结构。在此例子中,每 77 字节(= 38+1+38 字节)添加 1 字节的同步信号。78 字节组成一帧。所述数据流具有所谓的帧结构。使用同步信号逐字节地使帧内的数据同步,并且指定帧在整个数据流(数据块)中的位置。所述同步信号还用于在再现开始时引入同步,或者当位滑动等等发生时执行再同步。为此目的,所述同步信号具有这样一种图形,该图形无法通过当最后将数据流记录在光盘上时执行解调来生成,并且具有包括帧数等等的预定图形信号。所述再现设备确定由再现设备再现的图形是否与本应记录的相应预定图形完全相同,借此令同步信号行使职责。注意,尽管在此例中同步信号的长度是一字节,但是同步信号的长度未必限于 1 字节,而可以是取决于调制方法等等的任何值。

[0081] 正如从图 3 的结构看到的那样,每个第一纠错码中的 38 字节组成码元始终插入在 1 字节同步信号和第二纠错码中的 1 字节组成码元之间。具有同步信号的列数与具有第二纠错码的组成码元的列数的比率是 1 : 1。根据是否在同步信号或者第二纠错码中的组成码元中检测到错误,并基于同步信号的同步检测结果或者利用具有高于第一纠错码的纠正能力的第二纠错码的纠错结果,能够生成用于清除纠正的表示错误位置信息的清除标志。

[0082] 例如,假设没有检测出作为同步信号 115d 的元素的 115d-x,并且在第二纠错码 112d 的纠错过程中,在第二纠错码 112d 中的组成码元 112d-X 中检测到错误。在这种情况下,在第一纠错码 111g 中的 38 字节组成码元中发生错误的可能性被认为是非常高的(即,认为突发错误发生),其中所述第一纠错码 111g 是插入在 115d-x 和 112d-x 之间的。在这种情况下,在第一纠错码 111g 中生成组成码元的清除标志 305b。

[0083] 同样地,例如,假设在第二纠错码 112b 的纠错过程中,在第二纠错码 112b 中的组成码元 112b-x 中检测到错误,并且作为同步信号 115c 的元素的 115c-x 没有检测到。在这种情况下,在第一纠错码 111d 中的 38 字节组成码元中发生错误的可能性被认为是非常高

的（即，认为突发错误发生），其中所述第一纠错码 111d 是插入在 112b-x 和 115c-x 之间的。在这种情况下，在第一纠错码 111d 中生成组成码元的清除标志 305a。

[0084] 如上所述，在本发明中，在数据流中，第一纠错码始终插入在 1 字节的同步信号和第二纠错码中的 1 字节组成码元之间。因此，所有的第一纠错码可以经历同等的错误检测。因此，本发明可以防止上述传统问题的发生，其中错误检测的准确度依数据流中第一纠错码的位置而变化，即，第一纠错码如何与数据流中的第二纠错码和同步信号交错，并且因此数据流的总可靠性变动。

[0085] 如上所述，清除标志可用于执行清除纠正，借此使得按多达 2 为因数改善纠正能力（纠正数目）成为可能。因此，可以获得抵抗因记录介质表面上的划痕或者灰尘造成的突发错误的优异能力。

[0086] 当根据同步信号生成清除标志时，在发生位滑动（同步信号的内在功能）时的再同步功能可用于生成具有高准确度的清除标志。例如，在再现过程中，当检测到同步信号时，然而所述同步信号在移动了距正常位置几个时钟的位置上被再现，那么仅将清除标志添加到沿从同步信号开始的数据流的第一纠错码被记录的上行流中的组成码元，而不是再同步。这是因为沿从再现的同步信号开始的数据流的数据上行流因为失去同步很可能是错误的，而从同步信号起的数据下行流很可能不是错误的。

[0087] 术语“添加清除标志”或者“生成清除标志”指的是向组成码元附加上标记，所述标记表示组成码元可以被清除（即，在组成码元中可能发生错误）。例如，如下执行清除标志的添加。制定 248×304 位的位图，其中将一位分配给数据块（包括 248×304 组成码元）中的所有第一纠错码的每个码元。清除标志的添加通过令相应的位变为 1 来表示。当没有添加清除标志时，使相应的位变为 0。

[0088] 在此，所述同步信号有 1 字节的长度，但是所述长度可以根据调制格式等等改变。

[0089] 第一纠错码和第二纠错码均可以包含许多组成码元。

[0090] 利用同步信号的错误检测具有高于其中确定在每个字节中是否出现错误的错误检测的检错能力。将具有高检测能力的同步信号相邻地置于所有第一纠错码的每一个之前或者之后，其中所述第一纠错码具有 38 字节的单位长度。因此，能够实现高度可靠的数据记录方法。

[0091] 如上所述，在本发明的数据记录方法中，所述记录设备生成包含第一纠错码、第二纠错码以及同步信号的数据流，其中第二纠错码和同步信号交替地与第一纠错码交错，并且将数据流记录在记录介质上。由此，可以将同等的错误检测应用于所有第一纠错码。因此，错误检测的准确度不依所述数据流中第一纠错码的位置而变化，其中所述第一纠错码与第二纠错码和同步信号交错，因此遍及所述数据流、第一纠错码可以具有高可靠性。

[0092] 图 4 示出了记录在光盘 118 上的螺旋或者同心轨道 402 中的数据 406。所述数据 406 包含第一纠错码的部分 403、第二纠错码的部分 405 以及所述同步信号的部分 404。所述数据 406 通过将数据流 116（图 3）沿行方向（水平方向）划分为 248 行并且连续地链接这些行来获得。此方式将在下面参照图 5 来描述。

[0093] 图 5 是示出数据流 116 的记录顺序的图。将沿行方向划分为 248 行的数据流 116，以图 5 中所示箭头表示的顺序记录在所述光盘 118 上。注意，划分的数据流 116 的记录顺序不局限于图 5 中所示的方式，而是可以将分开的数据流 116 以任何顺序记录在光盘 118

上。

[0094] 光盘 118 的记录实际上是利用凸坑和凹坑、相变材料的可变密度点等等来实现的。通常,在记录过程中,在将编码数据记录到盘的轨道以前,利用调制码对编码数据进行数字调制,所述调制码诸如是 8/16 调制或者 RLL(1,7) 代码。注意,在图 4 中,为了简单起见,省略了利用调制码进行调制的描述,而是将所述编码数据按照原样记录。

[0095] 在光盘 118 上,按照同步信号的部分 404(1 字节)、第一纠错码的部分 403(38 字节)、第二纠错码的部分 405(1 字节)、第一纠错码的部分 403(1 字节)、... 等等的顺序来记录数据 406。换言之,第二纠错码的部分 405 和同步信号的部分 404 交替地与第一纠错码的部分 403 交错。

[0096] 由此,在本发明所述光盘的情况下,按照这样一种方式来构造数据,即其中第二纠错码的组成码元和同步信号交替地与第一纠错码的组成码元进行交错,并且将所述数据记录在所述光盘上。为此,当再现这种光盘时,可以将同等的错误检测应用于所有的第一纠错码的组成码元。因此,错误检测的准确度不依所述数据流中第一纠错码的位置而变化,其中所述第一纠错码与第二纠错码和同步信号交错,因此遍及所述数据流、第一纠错码可以具有高可靠性。

[0097] 注意,本发明的光盘不限于利用本发明所述的方法(即,利用图 1 中所示的记录设备 100 的方法)记录的光盘,而可以通过任何方法记录的盘,只要记录在所述光盘上的数据具有上述数据结构。

[0098] 图 6 是示出依照本发明的再现设备 600 的结构示意图。所述再现设备 600 再现记录在本发明的光盘 118 上的数据。这里假定记录在所述光盘 118 上的数据具有图 4 中所示的数据结构 406。

[0099] 所述再现设备 600 包括再现电路(再现部件)603,用于再现记录在所述光盘 118 中的数据并且生成二进制数据 611;解调电路(解调部件)604,用于将二进制数据 611 解调为第一纠错码和第二纠错码;以及纠错电路(纠错部件)606,用于检测以及纠正由解调电路 604 输出的第一纠错码和第二纠错码中的错误。

[0100] 所述解调电路 604 包括同步信号检测电路(同步信号检测部件)605,其用于生成检测同步信号的结果。

[0101] 所述纠错电路 606 包括清除标志生成电路(清除标志生成部件),所述清除标志生成电路用于生成清除标志,其基于第二纠错码的纠错结果或者同步信号检测的结果来对第一纠错码清除纠正;以及清除纠正电路(清除纠正部件),用于利用所述清除标志来执行清除纠正。这些电路将在下面描述。所述纠错电路 606 检测并且纠正记录介质上因划痕、灰尘等等产生的错误,并且生成已纠正的数据 614,根据这些数据来消除错误。

[0102] 所述再现设备 600 还可以包括光头 117,用于从所述光盘 118 读数据;用于纠错电路 606 的操作中的 WORK RAM 607;接口控制电路 608,用于控制诸如 SCSI 或者 ATAPI 之类的协议;以及控制 CPU 609。所述光头 117 可以包括半导体激光器以及光学元件。所述接口控制电路 608 执行接口控制,以便将再现的用户数据发送到个人计算机等等。所述控制 CPU 609 控制整个再现设备 600。

[0103] 在如此构造的本发明的再现设备中,数据依照以下过程从光盘 118 中再现。

[0104] 最初,从光头 117 的半导体激光器发射激光束以辐照光盘 118。所述激光束由光盘

118 反射,并且将反射光信号 610 汇聚在再现电路 603 中以便转换为模拟信号、放大并且转换为二进制值,并且以二进制数据 611 发送到解调电路 604。所述解调电路 604 数字地解调在记录过程中调制的信号(诸如 8/16 调制或者 RLL(1,7) 的数字调制信号)。将数字地解调的数据 612 传送到所述纠错电路 606,其中因介质上的划痕、灰尘等等产生的错误被检测出来,并且借助于所述 WORK RAM 607 被纠正。这里,所述解调数据 612 包含第一纠错码以及第二纠错码。在解调电路 604 中,同步信号检测电路 605 通过逐位检查来自于二进制数据 611 的同步信号来检测同步信号,并且在当因为位滑动等等使数据与时钟失去同步时的情况下,执行再同步。所述同步信号检测电路 605 通过根据当前同步信号计数时钟的数目或者字节的数目,来预测检测下一个同步信号的时间,其中所述电流同步信号出现在沿所述数据流的下一个同步信号的上行流。当以不同于所述预测时间的时间检测同步信号、并且同步信号受到同步纠错时,将同步校正信号 613 发送到所述纠错电路 606。当在预测时间左右没有检测到同步信号时,将同步未检测信号 615 发送到所述纠错电路 606。

[0105] 所述纠错电路 606 译码第一纠错码和第二纠错码。当对第一纠错码执行纠错时,使用第二纠错码的纠错结果、同步校正信号 613 以及所述同步未检测信号 615 来生成表示错误位置信息的清除标志。所述清除标志用于清除纠正。

[0106] 例如,利用已知的里德-所罗门码来实现所述纠错过程。将纠错数据 614 经由所述接口控制电路 608 发送到主机等等(未示出)。通过控制 CPU 609 控制用于再现的整个操作。

[0107] 图 7 是具体地示出图 6 中所示纠错电路 606 的结构的图。

[0108] 在图 7 中,所述纠错电路 606 包括清除标志生成电路(清除标志生成部件)618,用于基于第二纠错码的纠错结果以及同步信号检测的结果来生成用于第一纠错码的清除纠正的清除标志;以及清除纠正电路(清除纠正部件)625,用于利用所述清除标志执行纠错。

[0109] 所述纠错电路 606 还可以包括总线/存储器控制电路 622,用于控制 WORK RAM 607 的记录和再现和内部总线 619;输出 IF 控制电路 623,用于在纠错之后输出所述用户数据 614;第一代码纠错电路 624,用于译码编码所述用户数据的第一纠错码;以及包括第二代码纠错电路 626,用于译码包含编码的控制信息的第二纠错码。所述输出 IF 控制电路 623 执行与所述接口控制电路 608 的握手。第一代码纠错电路 624 对第一纠错码的每一列执行纠错,其中所述第一纠错码包含 216 字节的数据以及附加的 32 字节的奇偶位。在纠错过程中,表示错误位置的清除标志 620 可用于对一个代码的多达 32 字节执行纠错。通过所述清除纠正电路 625 执行清除纠正。第二代码纠错电路 626 纠正第二纠错码,所述第二纠错码包含 30 字节的数据以及附加的 32 字节的奇偶位,其中可以对一个代码的多达 16 字节执行纠错。上述第一代码纠错电路 624、第二代码纠错电路 626 以及清除纠正电路 625,可以利用采用已知的里德-所罗门码代码等等的纠错电路来构造。

[0110] 所述纠错电路 606 还可以包括输入 IF 控制电路 616,用于执行与所述解调电路 604 的 IF 控制;以及总体控制电路 617,用于控制整个纠错电路 606;所述总体控制电路 617 还包括微控制器等等。输入到输入 IF 控制电路 616 中的解调数据 612 经由所述总线/存储器控制电路 622 存储到 WORK RAM 607。所述总体控制电路 617 根据来自于第二代码纠错电路 626 的第二纠错码的错误位置 627、同步校正信号 613 以及同步未检测信号 615 来生成所述清除标志 620,并且将它发送到所述清除纠正电路 625。

[0111] 接下来,将说明如此构造的纠错电路 606 的操作。

[0112] 从所述记录介质再现以及解调的所述解调数据 612、经由输入 IF 控制电路 616 以及总线/存储器控制电路 622 存储到 WORK RAM 607。将所述存储数据的第一纠错码以及第二纠错码译码。

[0113] 为了译码,首先将第二纠错码通过第二代码纠错电路 626 译码。第二代码纠错电路 626 通过所述译码过程获得错误位置 627,并且将它发送到清除标志生成电路 618。

[0114] 所述清除标志生成电路 618 依照下面描述的预定规则、根据与在将解调数据 612 预先从解调电路 604 输入到输入 IF 控制电路 616 的同时输入的同步校正信号 613 以及同步未检测信号 615 来生成所述清除标志 620,并且将所述清除标志 620 发送到第一代码纠错电路 624 的清除纠正电路 625。

[0115] 第一代码纠错电路 624 以及所述清除纠正电路 625 根据所述清除标志 620 对第一纠错码执行清除纠正。

[0116] 在完成纠错之后,将错误被消除的用户数据 614 经由输出 IF 控制电路 623 发送到接口控制电路 608。

[0117] 整个纠错电路 606 的上述控制或者所述清除标志 620 的生成,可以由包括微控制器等的总体控制电路 617 以及所述清除标志生成电路 618 执行。所述执行还可以由软件或者简单的逻辑电路执行。

[0118] 图 8 是示出为了解释生成清除标志规则的算法的图。依照图 8 中所示的生成规则,清除标志 420 可由软件或者简单的逻辑电路生成。

[0119] 在图 8 中,根据同步信号检测的结果或者第二纠错码的组成码元中是否存在错误,来对再现数据序列进行分类。在图 8 中,○表示同步信号的正常检测,或者表示在纠错中,第二纠错码的组成码元中不存在错误。×表示没有检测同步信号,或者表示在纠错中,在第二纠错码的组成码元中存在错误。△表示以从根据位于数据流中的先前同步信号上行流预测的时间而移动过的时间检测同步信号,并且执行同步纠错。

[0120] 在图 8 中,115e 和 115f 表示同步信号,111i、111j 和 111k 表示第一纠错码的组成码元,而 112e 和 112f 表示第二纠错码的组成码元。(A) 图 8 的左侧示出了当所述同步信号 115e、第一纠错码的组成码元 111i 和第二纠错码的组成码元 112e 以此顺序设置时,用于生成第一纠错码的组成码元 111i 的清除标志的规则。(B) 在图 8 的右边示出了当第二纠错的组成码元 112f、第一纠错码的组成码元 111k 和同步信号 115f 以此顺序设置时,用于生成第一纠错码的组成码元 111j 和 111k 的清除标志的规则。

[0121] [在图 8 左侧的 (A) 情况]

[0122] (a) 当正常地检测到同步信号 115e,并且在第二纠错码的组成码元 112e 中没有检测到错误时,不将清除标志添加到第一纠错码的组成码元 111i。

[0123] (b) 当以从根据位于数据流中的先前同步信号上行流预测的时间而移动过的时间检测同步信号 115e、并且在第二纠错码的组成码元 112e 中没有检测到错误的时候,不将清除标志添加到第一纠错码的组成码元 111i。

[0124] (c) 当不检测同步信号 115e、并且检测出在第二纠错码的组成码元 112e 中没有检测到错误时,不将清除标志添加到第一纠错码的组成码元 111i。

[0125] (d) 当正常地检测同步信号 115e、并且在第二纠错码的组成码元 112e 中检测到错

误时,将清除标志添加到第一纠错码的组成码元 111i。

[0126] (e) 当以从根据位于数据流中的先前同步信号上行流预测的时间而移动过的时间检测同步信号 115e、并且在第二纠错码的组成码元 112e 中检测到错误的时候,不将清除标志添加到第一纠错码的组成码元 111i。

[0127] (f) 当没有检测同步信号 115e、并且检测出在第二纠错码的组成码元 112e 中检测到错误时,假设突发错误发生,并且将清除标志 804 添加到第一纠错码的组成码元 111i。

[0128] [在图 8 右边的情况 (B)]

[0129] (g) 当在第二纠错码的组成码元 112f 中没有检测到错误、并且正常地检测同步信号 115f 时,不将清除标志添加到第一纠错码的组成码元 111k。

[0130] (h) 当在第二纠错码的组成码元 112f 中没有检测到错误、并且当以从根据位于数据流中的先前同步信号上行流预测的时间而移动过的时间检测同步信号 115f 的时候,假设因为位滑动发生突发错误,并且将清除标志 805 添加到第一纠错码的组成码元 111k。

[0131] (i) 当在第二纠错码的组成码元 112f 中没有检测到错误、并且没有检测同步信号 115f 时,不将清除标志添加到第一纠错码的组成码元 111k。

[0132] (j) 当在第二纠错码的组成码元 112f 中检测到错误、并且正常地检测同步信号 115f 时,不将清除标志添加到第一纠错码的组成码元 111k。

[0133] (k) 当在第二纠错码的组成码元 112f 中检测到错误、并且以从根据位于数据流中的先前同步信号上行流预测的时间而移动过的时间检测同步信号 115f 的时候,假设因为位滑动发生突发错误,并且将清除标志 806 和 807 添加到第一纠错码的组成码元 111k 和 111j。

[0134] (l) 当在第二纠错码的组成码元 112f 中检测到错误、并且没有检测同步信号 115f 时,假设发生突发错误,并且将清除标志 808 添加到第一纠错码的组成码元 111k。

[0135] 依照 (A) 和 (B) 中的上述规则生成清除标志。使用生成的清除标志来对第一纠错码进行清除纠正,借此使按多达 2 为因数改善的纠正能力成为可能。对于所有的第一纠错码来说,不管第一纠错码在数据流中的位置,即,第一纠错码如何与第二纠错码和同步信号交错,而是仅根据同步信号检测的结果和第二纠错码的组成码元的错误检测结果来生成清除标志。

[0136] 如上所述,在本发明的再现设备中,可以按同等的方式、通过同步信号和第二纠错码的组成码元的错误检测来为所有的第一纠错码生成清除标志。因此,错误检测的准确度不依所述数据流中第一纠错码的位置而变化,其中所述第一纠错码与第二纠错码和同步信号交错,因此遍及所述数据流、第一纠错码可以具有高可靠性。

[0137] 工业实用性

[0138] 如上所述,在本发明的数据记录方法、记录介质以及再现设备中,生成包含第一纠错码、第二纠错码和同步信号的数据流,其中第二纠错码和同步信号交替地与第一纠错码交错,并且通过记录设备将数据流记录在所述记录介质上。如此,可以将等同的突发错误的错误检测应用于所有的第一纠错码。因此,所述可靠性不依交错方式而变化,因此可以保证遍及数据流的纠错的高可靠性。如此,利用本发明,可以实现均具有高可靠性的数据记录方法、光盘以及再现设备。

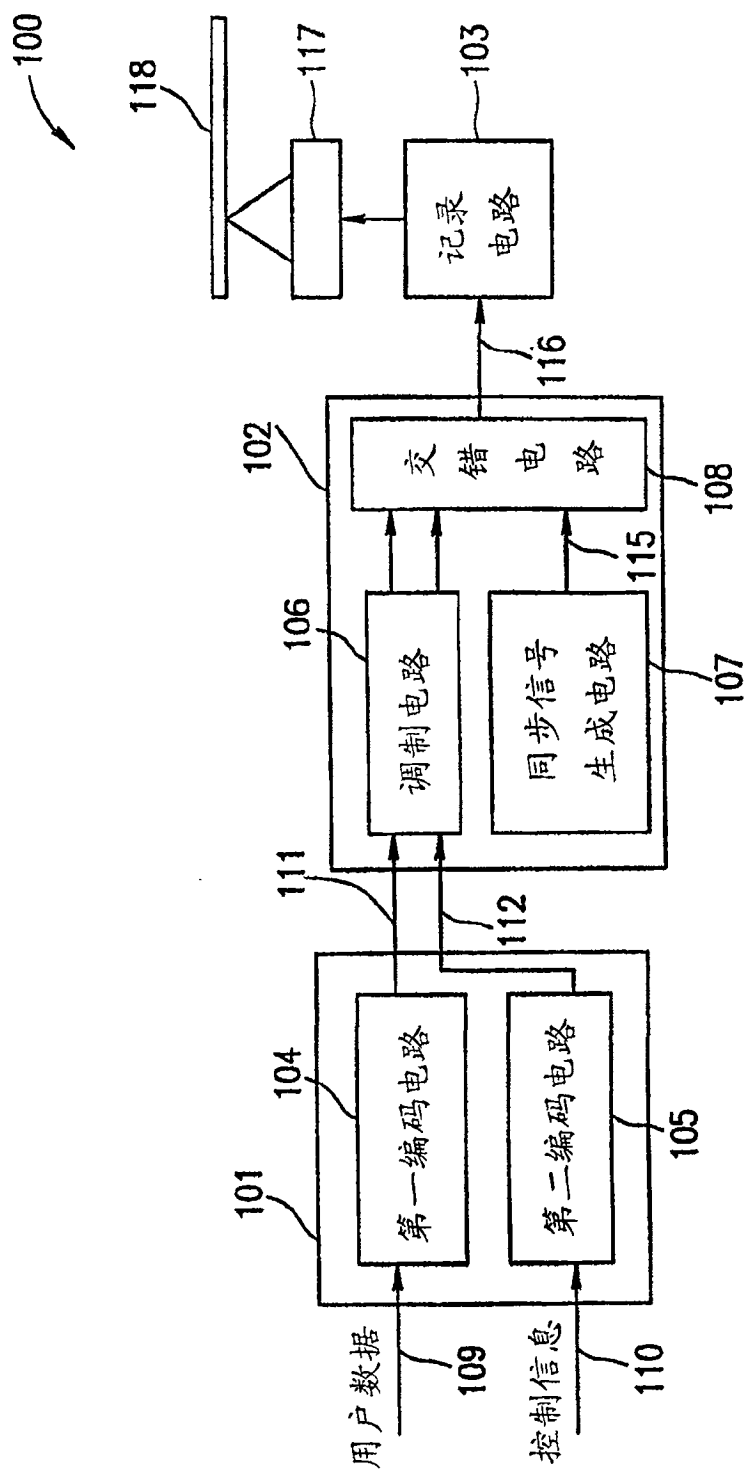


图 1

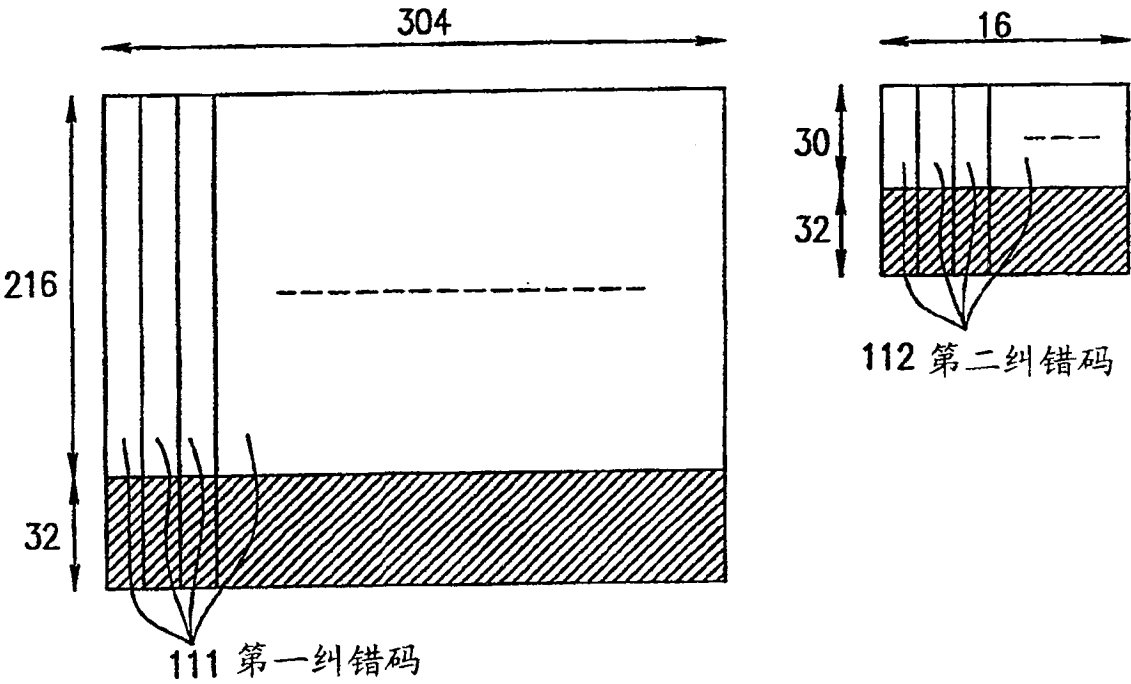


图 2

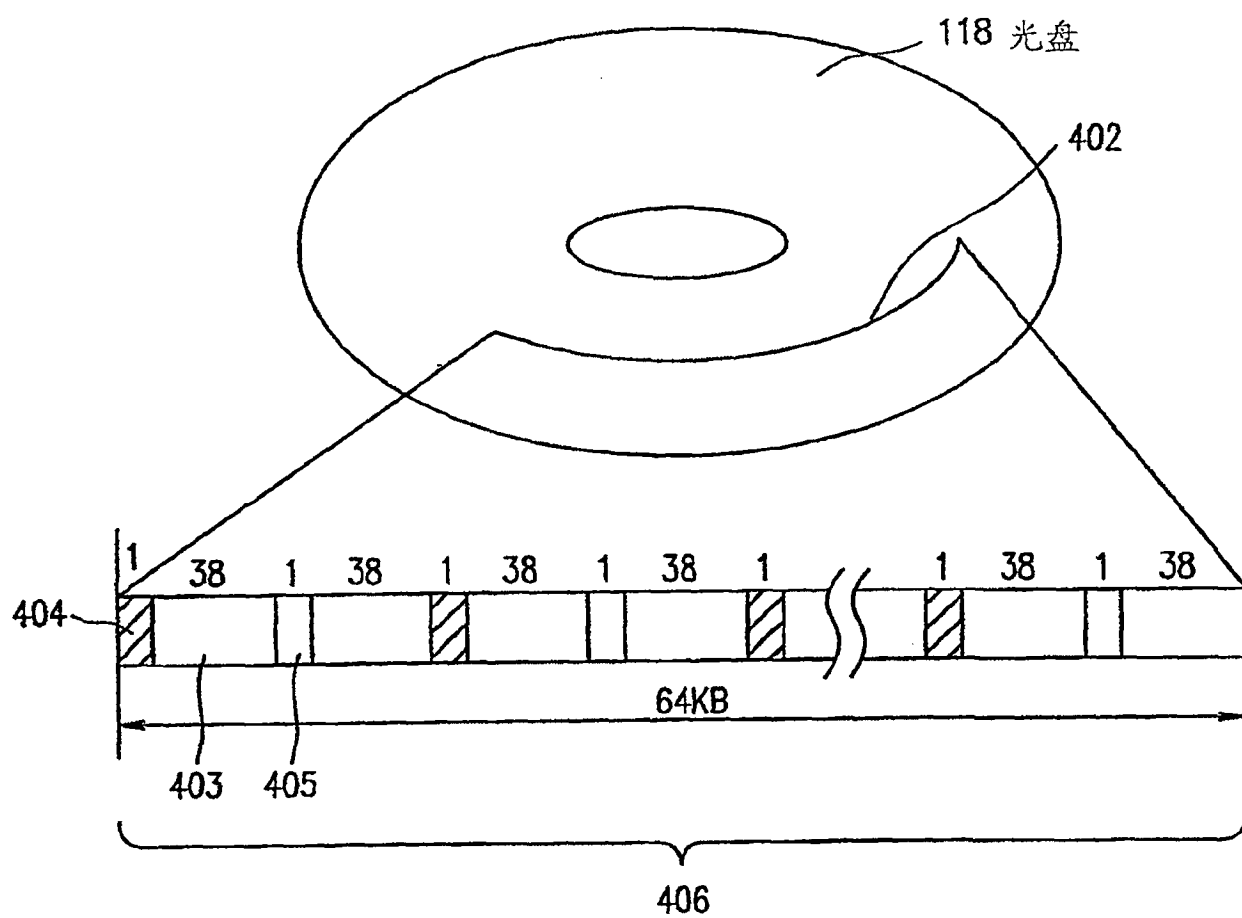


图 4

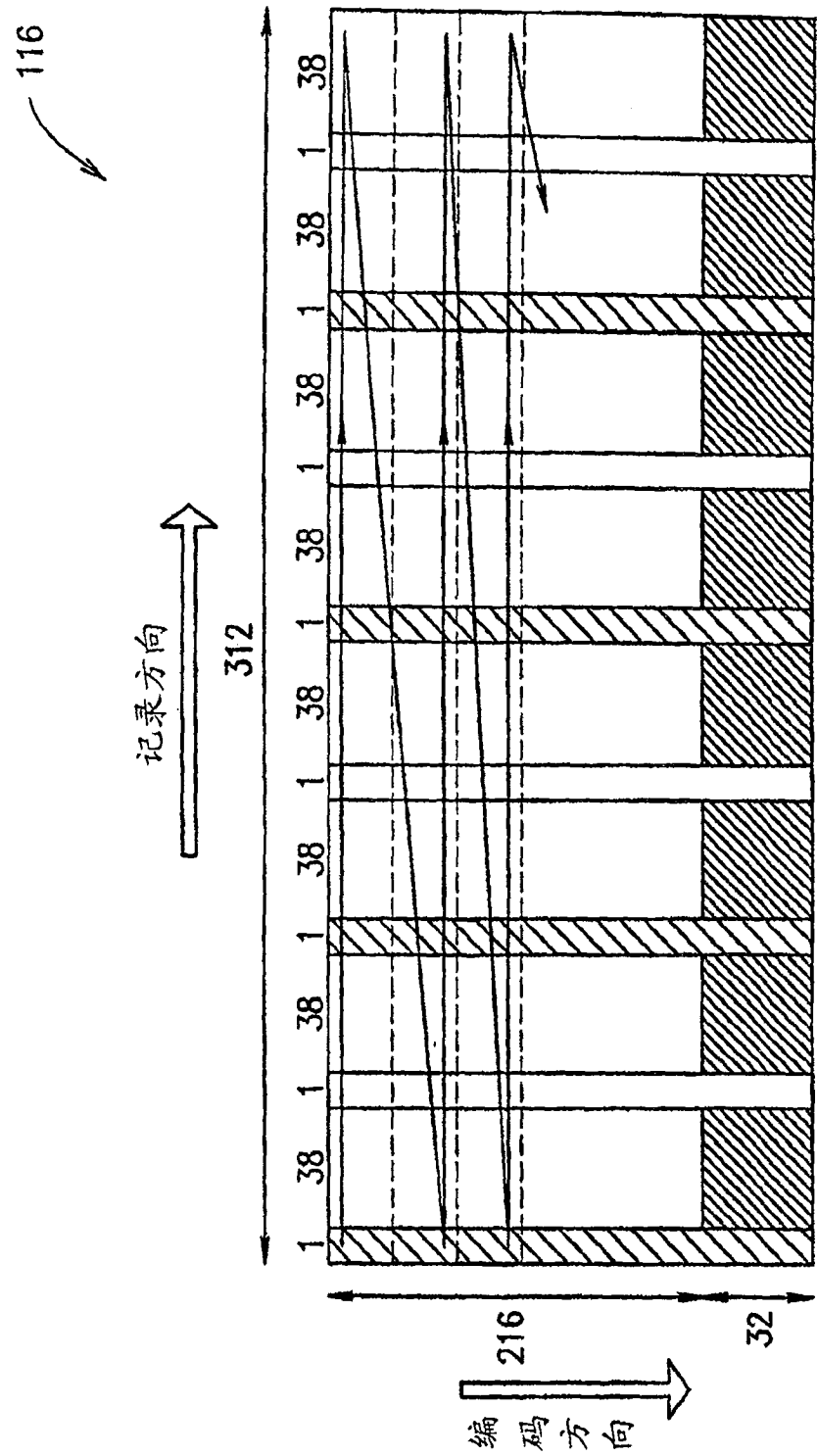


图 5

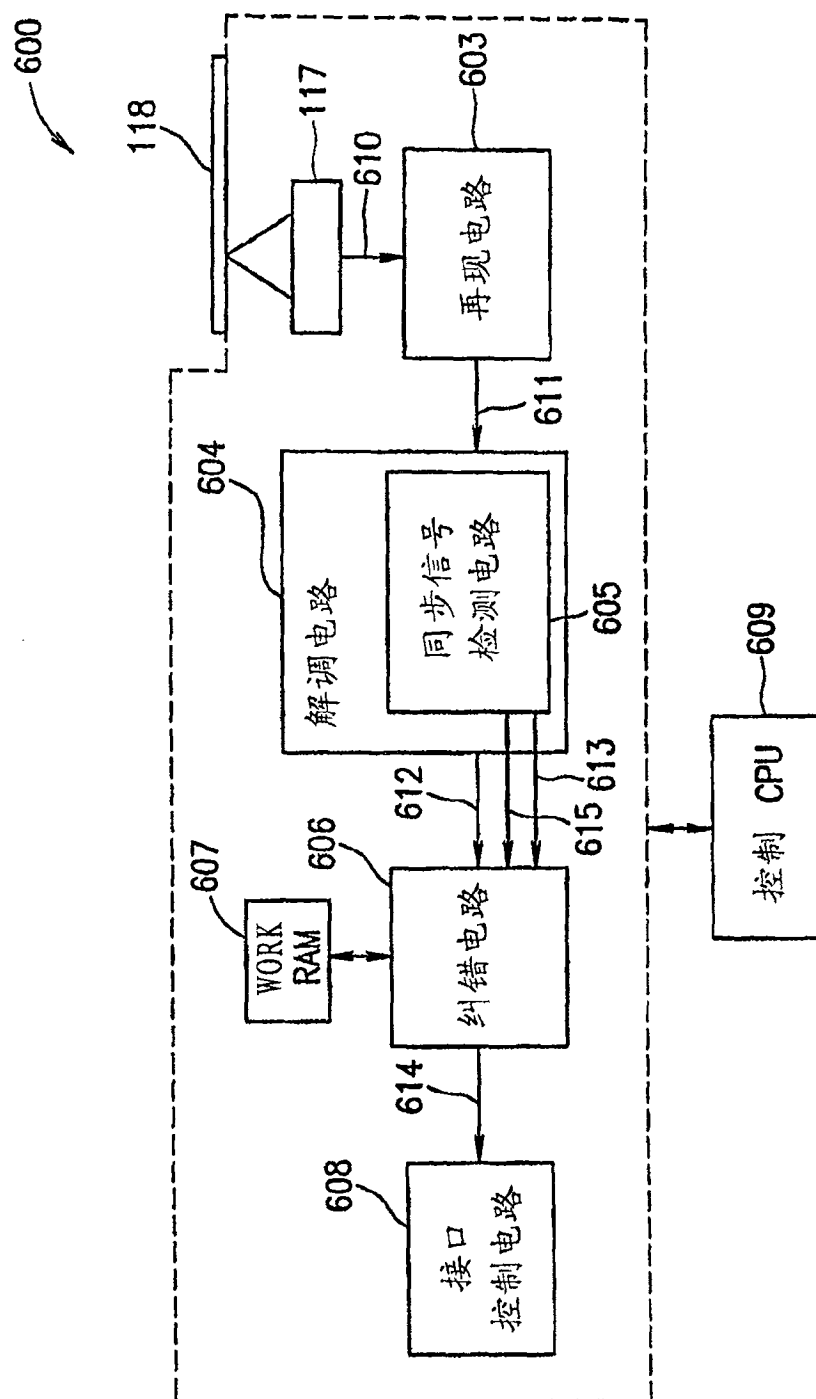


图 6

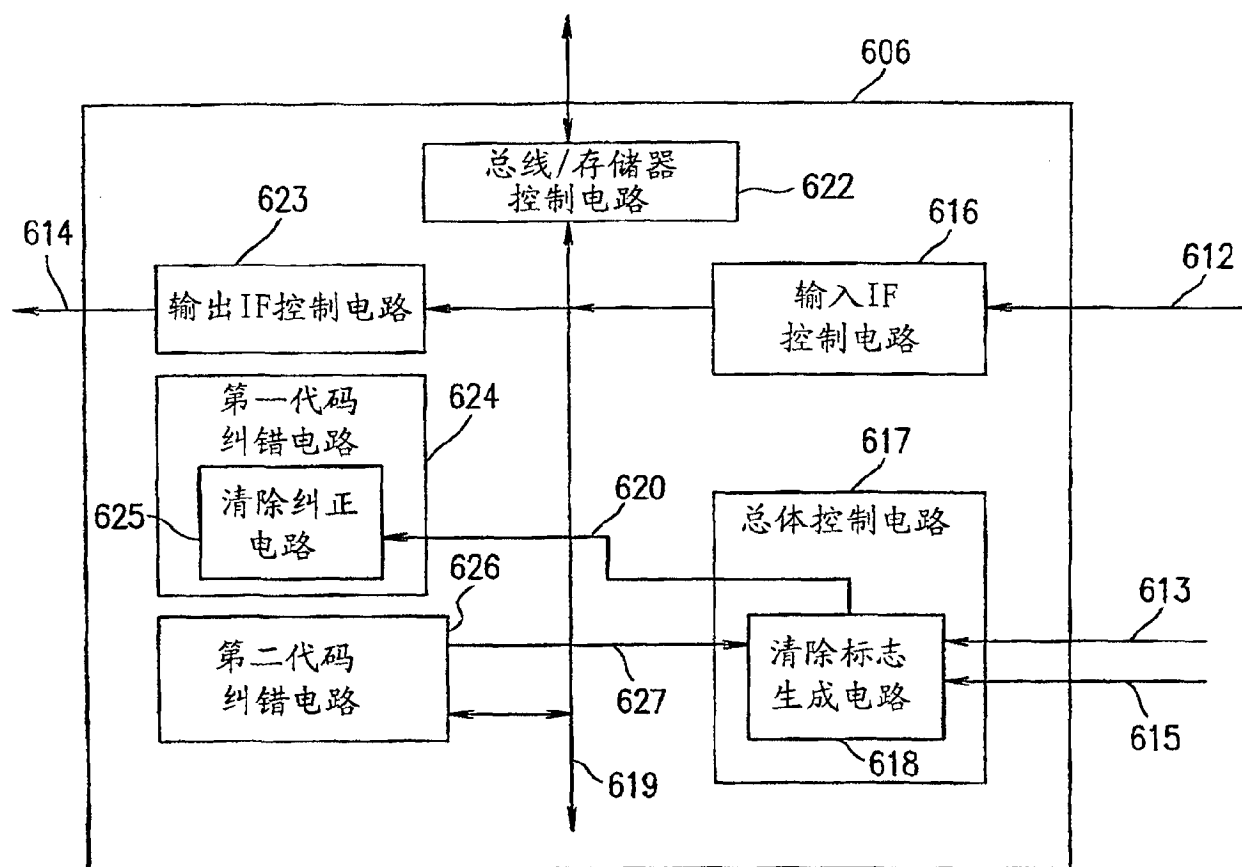


图 7

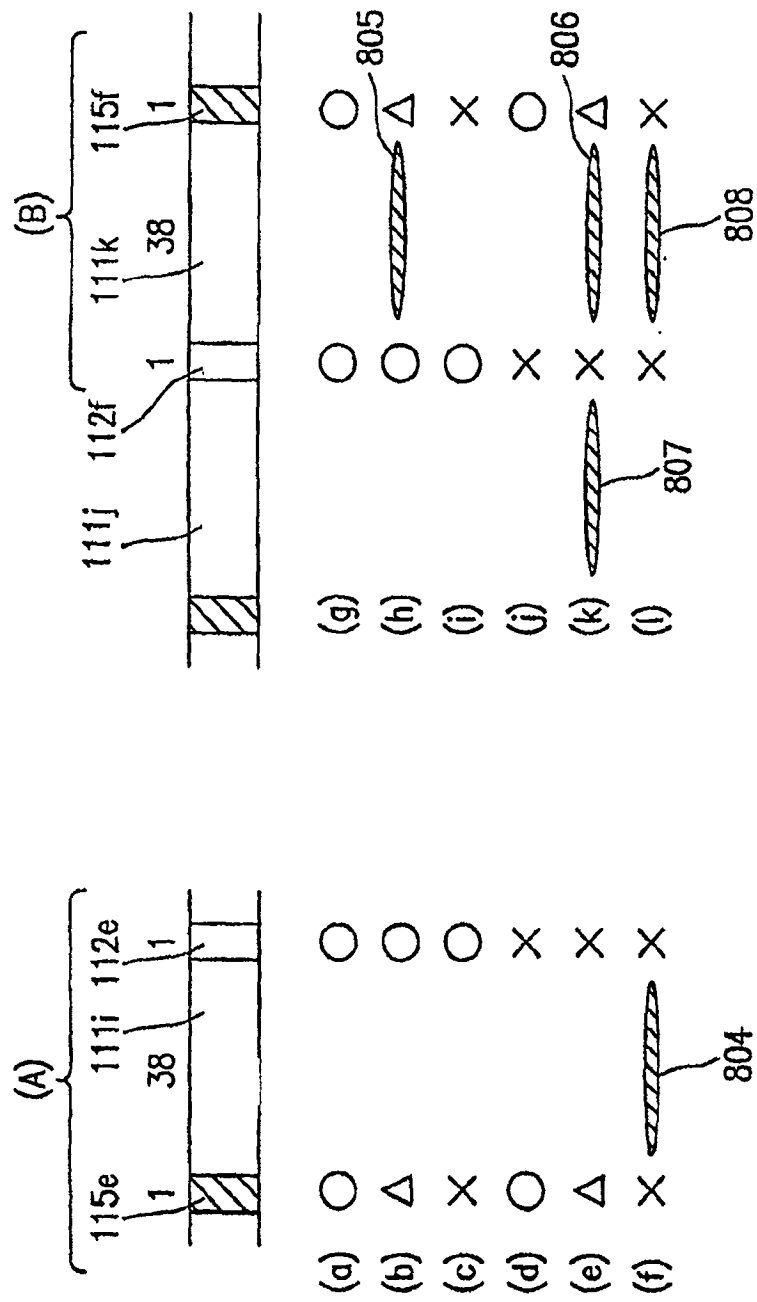


图 8

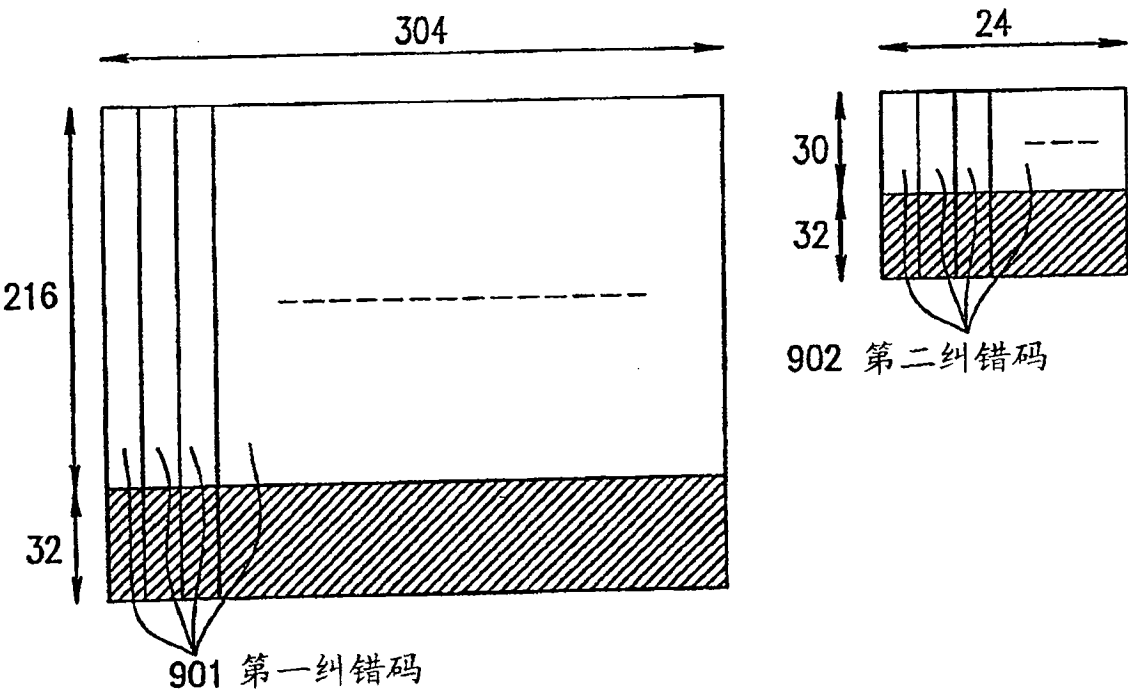


图 9

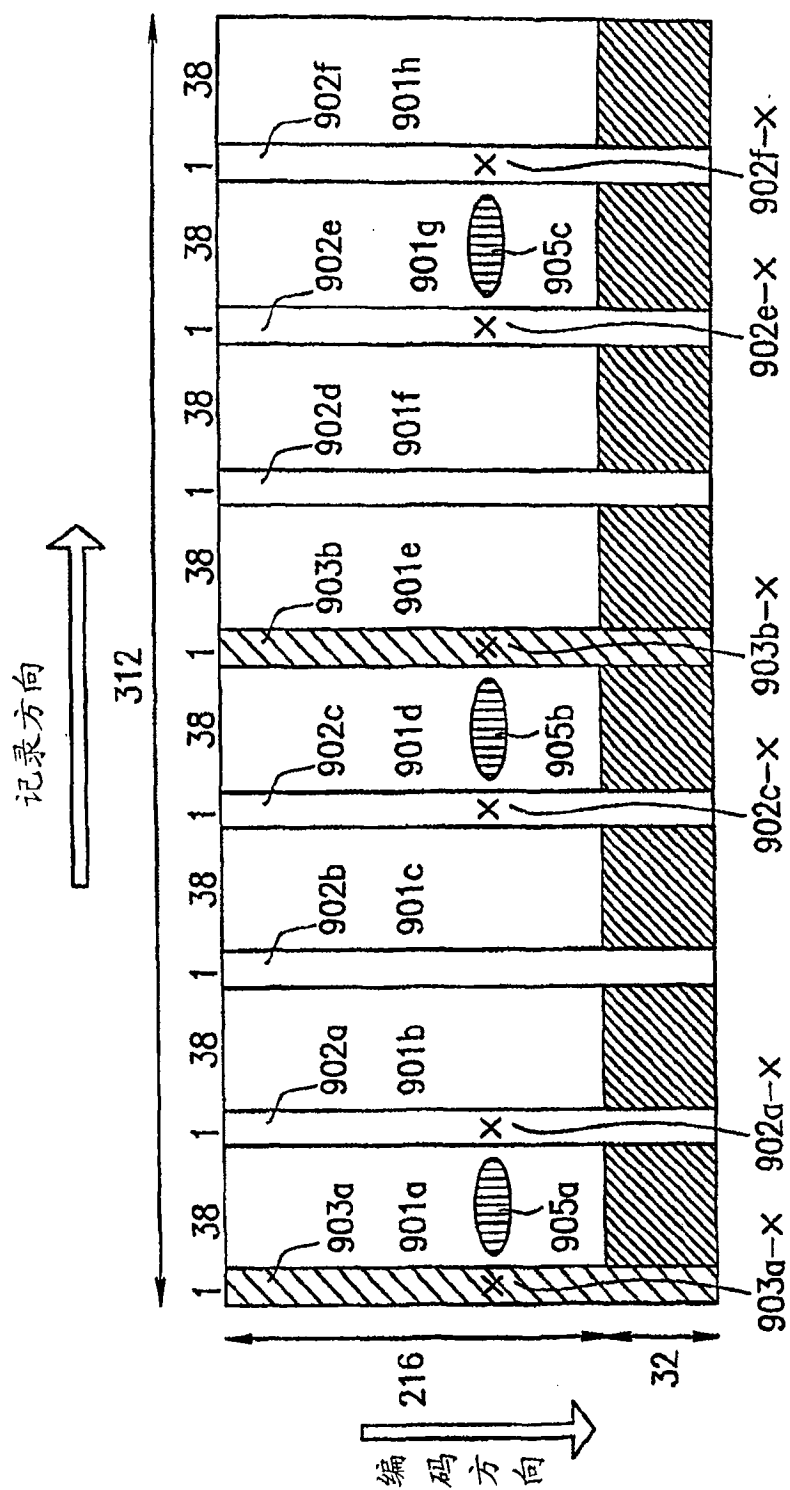


图 10