

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4137782号
(P4137782)

(45) 発行日 平成20年8月20日(2008.8.20)

(24) 登録日 平成20年6月13日(2008.6.13)

(51) Int. Cl. F I
H O I L 23/50 (2006.01) H O I L 23/50 K

請求項の数 3 (全 11 頁)

| | | | |
|-----------|-------------------------------|-----------|---|
| (21) 出願番号 | 特願2003-422979 (P2003-422979) | (73) 特許権者 | 000005049 シャープ株式会社 |
| (22) 出願日 | 平成15年12月19日(2003.12.19) | | 大阪府大阪市阿倍野区長池町2番2号 |
| (65) 公開番号 | 特開2005-183695 (P2005-183695A) | (74) 代理人 | 100075502 弁理士 倉内 義朗 |
| (43) 公開日 | 平成17年7月7日(2005.7.7) | (72) 発明者 | 中澤 保寿 大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内 |
| 審査請求日 | 平成18年1月25日(2006.1.25) | (72) 発明者 | 中村 雄市 大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内 |
| | | 審査官 | 石野 忠志 |

最終頁に続く

(54) 【発明の名称】 リードフレーム、このリードフレームを用いた面実装型半導体装置およびこの面実装型半導体装置を回路基板上に搭載した電子機器

(57) 【特許請求の範囲】

【請求項1】

封止樹脂部より突出した複数のリード端子を備えた面実装型半導体装置用のリードフレームであって、

各リード端子間に架けられた複数のタイバーが、互いに平行に、かつ、リード端子の幅方向に対して傾斜して設けられており、前記タイバーの一端部のリード端子接続位置と他端部のリード端子接続位置とがリード端子の幅方向から見たときに重ならないように、タイバーの傾斜角度が設定されていることを特徴とするリードフレーム。

【請求項2】

前記請求項1記載のリードフレームを用いて製造されたことを特徴とする面実装型半導体装置。

【請求項3】

前記請求項2記載の面実装型半導体装置を回路基板上に搭載したことを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造工程において部品として用いられ、製造後リード端子となる部位を含んでいるリードフレーム、このリードフレームを用いた面実装型半導体装置およびこの面実装型半導体装置を回路基板上に搭載した電子機器に関するものである。特に

10

20

、回路基板に設けられた銅箔ランドにはんだ付け固定されるレギュレータ等の面実装型半導体装置、およびこの面実装型半導体装置を搭載した民生機器等の電子機器に関するものである。

【背景技術】

【0002】

従来のリードフレームおよびこのリードフレームを用いた面実装型半導体装置について説明する。

【0003】

図6は、従来のリードフレームを用いて表面実装型半導体装置を製造する過程の一例を示す説明図であり、同図(a)はタイバーカット前の状態、同図(b)はタイバーカット後の状態を示している。また図7は、従来の表面実装型半導体装置を基板上に実装した状態を示す斜視図であり、特に、リード端子部分を拡大して示している。

10

【0004】

この表面実装型半導体装置は、半導体素子101と、この半導体素子101を搭載する載置片102を有するリード端子103および外部接続用のリード端子103、・・・からなるリードフレーム104と、各リード端子103と半導体素子101の各電極とを電気的に接続しているボンディングワイヤ108とを備えており、半導体素子101を含む載置片102およびボンディングワイヤ108が接続されたリード端子103の先端部分が封止樹脂部105にて封止されている。

【0005】

20

また、リードフレーム104に関しては、リード端子103の一端部(封止樹脂部105にて封止されていない側の端部)がフレーム枠106に接続・支持されている。なお、図6には面実装型半導体装置2個分のリードフレーム104しか図示されていないが、このフレーム枠106にはさらに複数のリードフレーム104が並設されている。

【0006】

また、封止樹脂部105にて封止されていない露出部において、リード端子103にはタイバー107が接続されている。このタイバー107は、リード端子103の幅方向に対して平行に配置された帯形状の部材であり、一端部が1つのリード端子103に接続されており、他端部がこの1つのリード端子の隣に配置されている他の1つのリード端子103に接続されている。このタイバー107は、リードフレーム104に対する加工が実施される際の作業性が良くなるよう、リード端子104間の間隔を一定に保つために設けられている。また、各リード端子103は、ボンディングワイヤ108を介して半導体素子101の所定の電極に電気的に接続されている。このようなリードフレームの構造については、例えば特許文献1,2に記載されている。

30

【0007】

次いで、上記構成の従来の半導体装置の製造方法について説明する。

【0008】

まず、半導体素子101を載置片102にダイボンドし、この半導体素子101とリード端子103とをそれぞれボンディングワイヤ108を用いて結線して回路を形成する。なお、半導体素子101の裏面と載置片102は電気的に接続されている。

40

【0009】

そして、リードフレーム104と半導体素子101とボンディングワイヤ108とを、トンランスファーモールド法等によって形成された封止樹脂部105で封止し(図6(a)参照)、その後、リード端子103を所定の長さでカットするとともに、タイバー107をカットし除去する(図6(b)参照)。このとき、タイバー107は完全に除去されず、リード端子103のタイバー接続部にタイバーカット後のタイバーカット跡117が残る。

【0010】

次いで、リード端子フォーミングを行ない、各リード端子103の2箇所を所定の角度に折り曲げることにより、封止樹脂部105上面に対して平行な第1部位103a、封止

50

樹脂部 105 上面に対して傾斜した第 2 部位 103b、および封止樹脂部 105 上面に対して平行な第 3 部位 103c を形成し、面実装型半導体装置 110 を得る（図 7 参照）。

【0011】

その後、この面実装型半導体装置 110 を、リード端子 103 の数に応じて回路基板 111 上面に複数形成された部品ランド 112 にはんだ付け固定する。

【0012】

このはんだ付け固定方法としては、リフローはんだ付け法とフローはんだ付け法とがある。リフローはんだ付け法を用いる場合は、まず各部品ランド 112 にクリームはんだを塗布し、それらの上に面実装型半導体装置 110 の各はんだ接合部（即ち、リード端子 103 の先端部である第 3 部位 103c）を載置した後、リフロー炉で加熱して各部品ランド 112 と各はんだ接合部とをはんだ付け固定する。一方、フローはんだ付け法を用いる場合は、まず各はんだ接合部が各部品ランド 112 の上に載るように面実装型半導体装置 110 を回路基板 111 に接着固定した後、溶融はんだの中に面実装型半導体装置 110 をくぐらせることにより、各部品ランド 112 と各はんだ接合部（即ち、リード端子 103 の先端部である第 3 部位 103c）とをはんだ付け固定する。

10

【0013】

ところで近年、高密度実装化に伴い、表面実装型半導体装置には多数のリード端子が非常に狭い間隔で設けられている。このため、表面実装型半導体装置のリード端子を回路基板の銅箔ランド上にはんだ付け固定する場合、一般的にはリフローはんだ付け法によりはんだ付け固定されるが、特に、同一回路基板に挿入型半導体装置もはんだ付け固定する場合には、フローはんだ付け法により表面実装型半導体装置も併せてはんだ付け固定する場合がある。

20

【0014】

リフローはんだ付け法を採用した場合には、はんだの塗布量を加減することは可能であるが、フローはんだ付け法を採用した場合には、溶融はんだを表面実装型半導体装置の全体にかけてはんだ付け固定するため、はんだの塗布量を加減することは困難である。

【0015】

そのため、リード端子が非常に狭い間隔で設けられている表面実装型半導体装置においては、フローはんだ付け法にてはんだ付け固定する場合、余分なはんだがリード端子間に入り込み、隣接するリード端子間ではんだブリッジが発生するといった問題があった。

30

【0016】

図 8 は、従来のリードフレームを用いて製造した面実装型半導体装置の一例を示す斜視図であり、フローはんだ付け法を行なった後の面実装型半導体装置において発生したブリッジの一例を示している。図示されているように、タイバーカット跡 117 が有る部分はリード端子間の間隔が狭くなっているため、タイバーカット跡 117 間ではんだブリッジ 116 が発生している。

【0017】

すなわち、前記リフローはんだ付け法を採用した場合には、クリームはんだを部品ランド 112 の上だけに塗布するため、リード端子間ではんだブリッジは発生しないが、フローはんだ付け法を採用した場合には、リード端子 103 全体に溶融はんだが塗布されるため、はんだブリッジが発生しやすい。そのため、フローはんだ付け法を採用した場合には、リード端子 103 が溶融はんだをくぐるスピードを調節したり、溶融はんだに入れるときの回路基板 111 の入射角度等を工夫したりすることにより、はんだブリッジが発生しにくい条件出しを行ない、はんだブリッジが発生しにくい条件にて面実装型半導体装置を部品ランド 112 上にはんだ付け固定している。

40

【特許文献 1】特開平 8 - 264702 号公報

【特許文献 2】特開平 10 - 50917 号公報

【発明の開示】

【発明が解決しようとする課題】

【0018】

50

しかし、はんだフロー法を採用した場合、各リード端子の間隔が非常に狭いときには、はんだブリッジが発生しにくい条件出しを行なうことが困難であり、はんだブリッジが発生してしまう。特に、リード端子間隔が、タイバーカット跡が無い部分よりもタイバーカット跡が有る部分の方が狭いため、リード端子のタイバーカット跡でははんだブリッジが発生しやすくなるといった問題があった。

【0019】

本発明は係る実情に鑑みてなされたもので、その目的は、リード端子に有るタイバーカット跡部分を隣接するリード端子間で重ならない位置に配置することにより、タイバー部のリード間隔を広げ、リード端子のタイバーカット跡部分ではんだブリッジの発生を低減するようにしたリードフレーム、このリードフレームを用いた面実装型半導体装置およびこの面実装型半導体装置を回路基板上に搭載した電子機器を提供することにある。

10

【課題を解決するための手段】

【0020】

上記課題を解決するため、本発明のリードフレームは、封止樹脂部より突出した複数のリード端子を備えた面実装型半導体装置用のリードフレームであって、各リード端子間に架けられた複数のタイバーが、互いに平行に、かつ、リード端子の幅方向に対して傾斜して設けられており、より具体的には、前記タイバーの一端部のリード端子接続位置と他端部のリード端子接続位置とがリード端子の幅方向から見たときに重ならないように、タイバーの傾斜角度が設定されている。このような構成とすれば、タイバーカット跡部分のリード端子間隔が従来のもより広がるため、フローはんだ付け法を採用して基板上に実装した場合でも、タイバーカット跡部分ではんだブリッジの発生を防止することが可能となる。

20

【発明の効果】

【0021】

本発明のリードフレームは、封止樹脂部より突出した複数のリード端子を備えた面実装型半導体装置用のリードフレームであって、各リード端子間に架けられた複数のタイバーが、互いに平行に、かつ、リード端子の幅方向に対して傾斜して設けられている。具体的には、前記タイバーの一端部のリード端子接続位置と他端部のリード端子接続位置とが重ならないように、タイバーの傾斜角度が設定されているので、タイバーカット跡部分のリード端子間隔が従来よりも広くなり、タイバー部ではんだブリッジの発生を防止することができる。

30

【0022】

本発明の面実装型半導体装置は、本発明のリードフレームを用いて製造されているので、リード端子間の狭ピッチ化が可能になり、回路基板に対するより高密度な部品実装が可能となる。

【0023】

本発明の電子機器は、本発明の面実装型半導体装置を回路基板上に搭載しているため、回路基板面積を縮小することができるため、表面実装型半導体装置を搭載する電子機器の小型化が可能になる。

【発明を実施するための最良の形態】

40

【0024】

以下、本発明の実施の形態について、図面を参照して説明する。

【0025】

[実施例]

図1は、本発明のリードフレームの一実施例およびこのリードフレームを用いた面実装型半導体装置の製造工程の一例を示す平面図であり、同図(a)はタイバーカット前の状態、同図(b)はタイバーカット後の状態を示している。また、同図(c)はタイバー部分の拡大図である。

【0026】

この面実装型半導体装置は、半導体素子1と、この半導体装置1を搭載する載置片2お

50

よび外部接続用のリード端子3からなるリードフレーム4と、各リード端子3と半導体素子1の各電極とを電氣的に接続しているボンディングワイヤ8とを備えており、半導体素子1を含む載置片2およびボンディングワイヤ8が接続されたリード端子3の先端部分が封止樹脂部5にて封止されている。

【0027】

また、リードフレーム4に関しては、リード端子3の後端部（封止樹脂部5にて封止されていない側の端部）がフレーム枠6に接続・支持されている。なお、図1においては面実装型半導体装置2個分のリードフレーム4しか図示されていないが、このフレーム枠6にはさらに複数のリードフレーム4が並設されている。

【0028】

本実施例のリードフレーム4では、互いに隣接するリード端子3間に架けられたタイバー9がリード端子3の幅方向に対して所定の角度だけ傾斜している。即ち、タイバー9の左側端部のリード端子接続位置と、右側端部のリード端子接続位置とが幅方向から見たときに重ならないように（幅方向に対向しないように）、タイバー9の傾斜角度が設定されており、図1に示すリードフレーム4では、タイバー9の右側端部のリード端子接続位置（後のタイバー根元29）が、左側端部のリード端子接続位置（後のタイバー根元19）よりも下方に位置するように傾斜している。

【0029】

なお、本実施例においては、全てのタイバー9が平行に傾斜（即ち、同方向に傾斜）して配置されており、図1に示すリードフレーム4では、全てのタイバー9がその左側端部が接続されているリード端子3からその右側端部が接続されているリード端子3に向けて下方に傾斜している。

【0030】

このようなリードフレーム4を用いて面実装型半導体装置を製造すると、タイバーカット後に1つのリード端子3に残るタイバー根元19とこの1つのリード端子3に隣接する他の1つのリード端子3に残るタイバー根元29とが幅方向から見て対向せず、タイバーカット跡部（タイバー根元19、29が残っている部分）のリード端子間の間隔A1が従来の面実装型半導体装置のタイバーカット跡部のリード端子間の間隔よりも広くなる。

【0031】

図2は、本発明の面実装型半導体装置の一例を示す斜視図であり、リードフォーミングが行なわれることにより各リード端子3が所定の角度に折り曲げられ、さらに、回路基板11上面に複数形成された部品ランド12に各リード端子3の先端部分がフローはんだ付け法やリフローはんだ付け法によってはんだ付け固定された状態を示している。

【0032】

本実施例の面実装型半導体装置10によれば、フローはんだ付け法を採用したときに、溶融はんだがリード端子3の全体にかかった場合においても、タイバーカット跡部のリード端子間の間隔A1が従来の面実装型半導体装置のタイバーカット跡部のリード端子間の間隔よりも広がっているため、タイバーカット跡部ではんだブリッジが発生しない。

【0033】

従って、このような面実装型半導体装置10を回路基板11上に搭載して電子機器を形成した場合、リード端子3間の狭ピッチ化が可能になり、回路基板11に対するより高密度な部品実装が可能となる。

【0034】

[参考例1]

次に、本発明の参考例1について、図3を参照して説明する。

【0035】

図3は、参考例1のリードフレームおよびこのリードフレームを用いた面実装型半導体装置の製造工程の一例を示す平面図であり、同図(a)はタイバーカット前の状態、同図(b)はタイバーカット後の状態を示している。

【0036】

参考例 1 のリードフレーム 4 は、各リード端子間に架けられた複数のタイバー 9 の傾斜方向が互い違いに設けられている点で、実施例のリードフレームと異なっている。

【 0 0 3 7 】

具体的には、第 1 のタイバー（例えば、図中最も左側に位置するタイバー）9 a は、一方の端部（図中、左側端部）9 a 1 から他方の端部（図中、右側端部）9 a 2 に向けて下方向に傾斜しており、この第 1 のタイバー 9 a の隣に設けられた第 2 のタイバー 9 b は、一方の端部（図中、左側端部）9 b 1 から他方の端部（図中、右側端部）9 b 2 に向けて上方向に傾斜している。つまり、1 つのリード端子 3 から見たとき、左右のタイバー 9 a , 9 b がリード端子 3 の中心線 L 1 に対して線対称の形状となるように設けられている。これは、第 2 のタイバー 9 b の隣に設けられた第 3 のタイバー 9 c 及びその隣に設けられた第 4 のタイバー 9 d についても同様である。

10

【 0 0 3 8 】

このようなリードフレーム 4 を用いて面実装型半導体装置を製造すると、図 3 (b) に示すように、タイバーカット後に 1 つのリード端子 3 に残るタイバー根元 1 9 とこの 1 つのリード端子 3 に隣接する他の 1 つのリード端子 3 に残るタイバー根元 2 9 とが、幅方向から見たときに重ならず（対向せず）、タイバーカット跡部（タイバー根元 1 9 , 2 9 が残っている部分）のリード端子間の間隔 A 1 が従来の面実装型半導体装置のタイバーカット跡部のリード端子間の間隔よりも広くなる。その結果、フローはんだ付け法を採用したときに、溶融はんだがリード端子 3 の全体にかかった場合においても、タイバーカット跡部ではんだブリッジが発生しない。

20

【 0 0 3 9 】

従って、このような面実装型半導体装置を回路基板上に搭載して電子機器を形成した場合、リード端子間の狭ピッチ化が可能になり、回路基板に対するより高密度な部品実装が可能となる。

【 0 0 4 0 】

[参考例 2]

次に、本発明の参考例 2 について、図 4 を参照して説明する。

【 0 0 4 1 】

図 4 は、参考例 2 のリードフレームおよびこのリードフレームを用いた面実装型半導体装置の製造工程の一例を示す平面図であり、同図 (a) はタイバーカット前の状態、同図 (b) はタイバーカット後の状態を示している。また、同図 (c) はタイバー部分の拡大図である。

30

【 0 0 4 2 】

参考例 2 のリードフレーム 4 は、リード端子間に架けられたタイバー 9 が、リード端子の幅方向から見て同方向を向いた階段状に設けられている点で、実施例のリードフレームと異なっている。

【 0 0 4 3 】

具体的には、図 4 (c) に詳細に図示されているように、各タイバー 9 は、このタイバー 9 が接続されている 2 本のリード端子 3 のうちの左側のリード端子 3 a から右横方向に突出した第 1 部位 9 1 と、右側のリード端子 3 b から左横方向に突出した第 2 部位 9 2 と、これら第 1 部位 9 1 および第 2 部位 9 2 を繋げる第 3 部位 9 3 とから構成されており、さらに、タイバー 9 の左側端部のリード端子接続位置（後のタイバー根元 1 9 ）とタイバー 9 の右側端部のリード端子接続位置（後のタイバー根元 2 9 ）とがリード端子の幅方向から見て重ならないように（対向しないように）タイバーの段の高さ（第 3 部位 9 3 の高さ幅）が設定されている。この例では、第 2 部位 9 2 が第 1 部位 9 1 よりも下方に位置している。

40

【 0 0 4 4 】

なお、参考例 2 においては、全てのタイバー 9 が同じ向きに階段状に配置されており、図 4 に示すリードフレーム 4 では、図中左側から見たとき、全てのタイバー 9 が第 2 部位 9 2 が第 1 部位 9 1 よりも下方に位置している下向きの階段状となっている。

50

【 0 0 4 5 】

このようなリードフレーム 4 を用いて面実装型半導体装置を製造すると、タイバーカット後に 1 つのリード端子 3 に残るタイバー根元 1 9 とこの 1 つのリード端子 3 に隣接する他の 1 つのリード端子 3 に残るタイバー根元 2 9 とが、リード端子の幅方向から見たときに重ならず（対向せず）、タイバーカット跡部（タイバー根元 1 9 , 2 9 が残っている部分）のリード端子間の間隔 A 1 が従来の面実装型半導体装置のタイバーカット跡部のリード端子間の間隔よりも広くなる。その結果、フローはんだ付け法を採用したときに、溶融はんだがリード端子 3 の全体にかかった場合においても、タイバーカット跡部ではんだブリッジが発生しない。

【 0 0 4 6 】

従って、このような面実装型半導体装置を回路基板上に搭載して電子機器を形成した場合、リード端子間の狭ピッチ化が可能になり、回路基板に対するより高密度な部品実装が可能となる。

【 0 0 4 7 】

[参考例 3]

次に、本発明の参考例 3 について、図 5 を参照して説明する。

【 0 0 4 8 】

図 5 は、参考例 3 のリードフレームおよびこのリードフレームを用いた面実装型半導体装置の製造工程の一例を示す平面図であり、同図 (a) はタイバーカット前の状態、同図 (b) はタイバーカット後の状態を示している。また、同図 (c) はタイバー部分の拡大図である。

【 0 0 4 9 】

参考例 3 のリードフレーム 4 は、各リード端子間に架けられた複数のタイバー 9 がリード端子の幅方向から見たときに互い違いに逆方向を向くように設けられている点で、参考例 2 のリードフレームと異なっている。

【 0 0 5 0 】

具体的には、図 5 (c) に詳細に図示されているように、第 1 のタイバー（例えば、図中最も左側に位置しているタイバー）9 a は、第 2 部位 9 2 が第 1 部位 9 1 よりも下方に位置している下向きの階段状であり、この第 1 のタイバー 9 a の隣に設けられた第 2 のタイバー 9 b は、第 2 部位 9 2 が第 1 部位 9 1 よりも上方に位置している上向きの階段状であり、この第 2 のタイバー 9 b の隣に設けられた第 3 のタイバー 9 c は、第 2 部位 9 2 が第 1 部位 9 1 よりも下方に位置している下向きの階段状であり、この第 3 のタイバー 9 c の隣に設けられた第 4 のタイバー 9 d は、第 2 部位 9 2 が第 1 部位 9 1 よりも上方に位置している上向きの階段状である。

【 0 0 5 1 】

このようなリードフレーム 4 を用いて面実装型半導体装置を製造すると、タイバーカット後に 1 つのリード端子 3 に残るタイバー根元 1 9 とこの 1 つのリード端子 3 に隣接する他の 1 つのリード端子 3 に残るタイバー根元 2 9 とがリード端子の幅方向から見て重ならず（対向せず）、タイバーカット跡部（タイバー根元 1 9 , 2 9 が残っている部分）のリード端子間の間隔 A 1 が従来の面実装型半導体装置のタイバーカット跡部のリード端子間の間隔よりも広くなる。その結果、フローはんだ付け法を採用したときに、溶融はんだがリード端子 3 の全体にかかった場合においても、タイバーカット跡部ではんだブリッジが発生しない。

【 0 0 5 2 】

従って、このような面実装型半導体装置を回路基板上に搭載して電子機器を形成した場合、リード端子間の狭ピッチ化が可能になり、回路基板に対するより高密度な部品実装が可能となる。

【 図面の簡単な説明 】

【 0 0 5 3 】

【 図 1 】 本発明の一実施例に係るリードフレームおよびこのリードフレームを用いた面実

10

20

30

40

50

装型半導体装置の製造工程の一例を示す平面図である。

【図2】本発明の面実装型半導体装置の一例を示す斜視図である。

【図3】本発明の参考例1に係るリードフレームおよびこのリードフレームを用いた面実装型半導体装置の製造工程の一例を示す平面図である。

【図4】本発明の参考例2に係るリードフレームおよびこのリードフレームを用いた面実装型半導体装置の製造工程の一例を示す平面図である。

【図5】本発明の参考例3に係るリードフレームおよびこのリードフレームを用いた面実装型半導体装置の製造工程の一例を示す平面図である。

【図6】従来のリードフレームの一例を示す説明図である。

【図7】従来の表面実装型半導体装置の一例を示す斜視図である。

10

【図8】従来のリードフレームを用いて製造した面実装型半導体装置の一例を示す斜視図である。

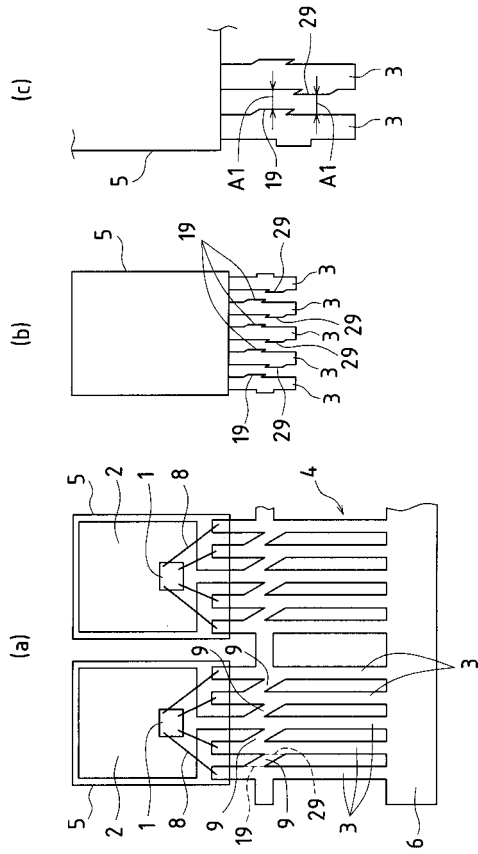
【符号の説明】

【0054】

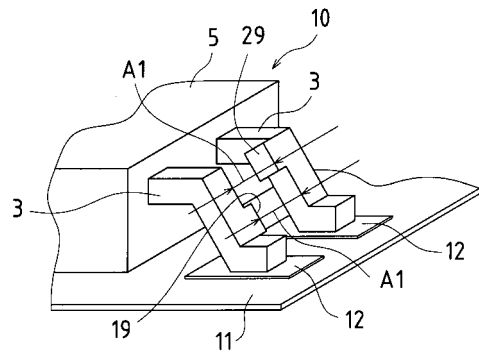
- 1 半導体素子
- 2 載置片
- 3 リード端子
- 4 リードフレーム
- 5 封止樹脂部
- 6 横枠
- 8 ボンディングワイヤ
- 9 タイバー
- 10 半導体装置
- 11 回路基板
- 12 部品ランド
- 19, 29 タイバー根元
- 9a1, 9b1 タイバーの一方の端部(左側端部)
- 9a2, 9b2 タイバーの他方の端部(右側端部)

20

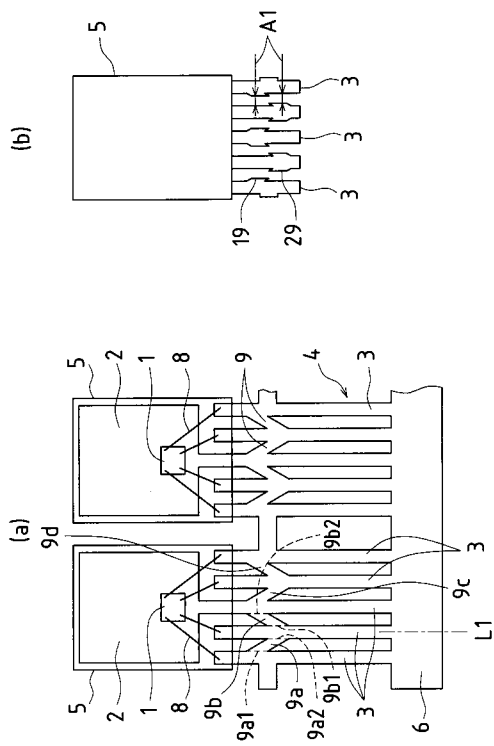
【図1】



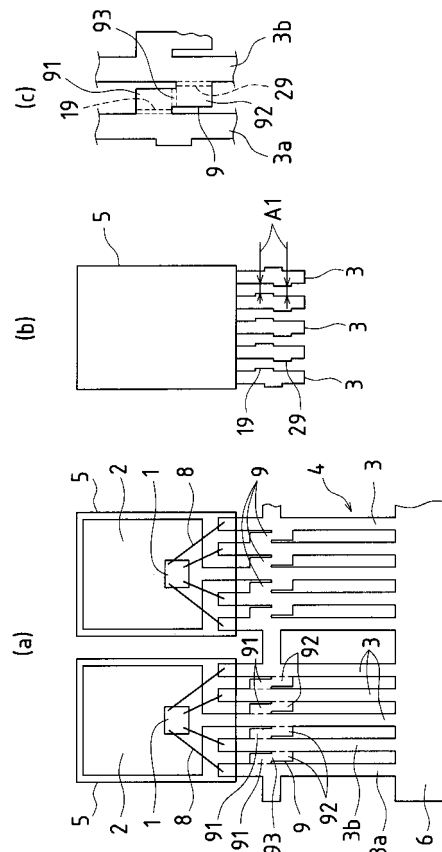
【図2】



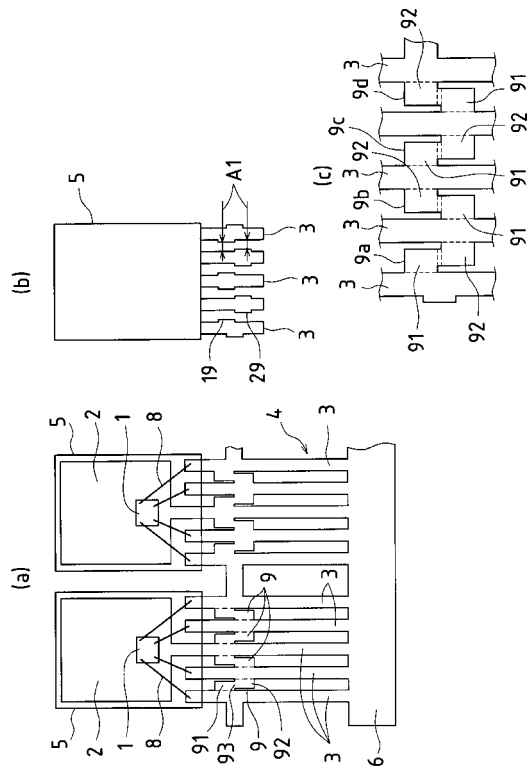
【図3】



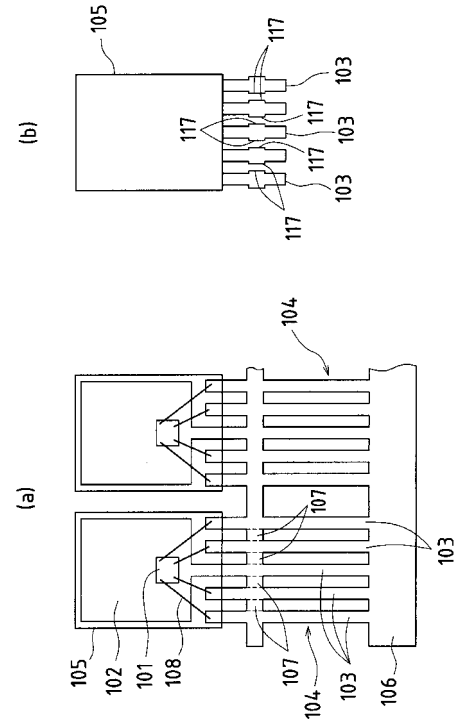
【図4】



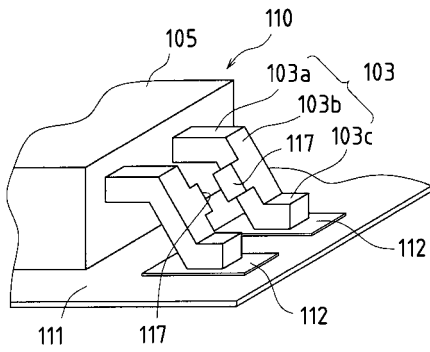
【 図 5 】



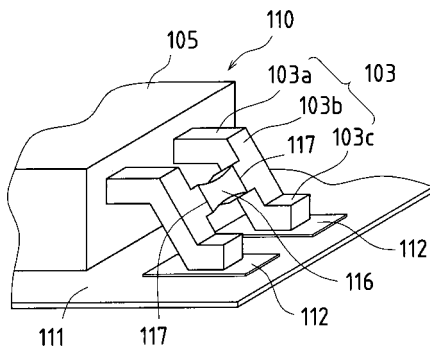
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(56)参考文献 特開2000-311978(JP,A)
特開2000-150762(JP,A)
特開2002-334964(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 23/50