

(19) 世界知的所有権機関
国際事務局



(10) 国際公開番号

W O 2012/002212

A 1

(43) 国際公開日

2012 年 1 月 5 日 (05.01.2012)

PCT

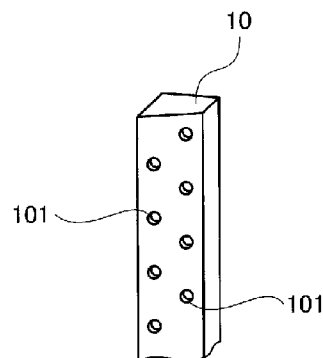
- (51) 国際特許分類 :
H01L 21/673 (2006.01) H01L 21/306 (2006.01)
H01L 21/304 (2006.01) H01L 31/04 (2006.01)
- (21) 国際出願番号 : PCT/JP20 1 1/064242
- (22) 国際出願日 : 201 1 年 6 月 2 2 日 (22.06.201 1)
- (25) 国際出願の言語 : 日本語
- (26) 国際公開の言語 : 日本語
- (30) 優先権データ :
特願 2010-147039 2010 年 6 月 2 9 日 (29.06.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): 三洋電機株式会社 (SANYO ELECTRIC CO., LTD.)
[JP/JP]: 〒 5708677 大阪府守口市 5 番 5 号 Osaka (JP).
- (72) 発明者 ; および
- (75) 発明者 / 出願人 (米国についてのみ): 山崎 敦子 (YAMAZAKI Atsuko) [JP/JP]: 〒 5708677 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内 Osaka (JP). 島 正樹 (SHIMA Masaki) [JP/JP]: 〒 5708677 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内 Osaka (JP). 増成 良則 (MASUNARI Yoshinori) [JP/JP]: 〒 5708677 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内 Osaka (JP).
- (74) 代理人 : 鳥居 洋 , 外 (Ri Hiroshi et al.); 〒 5410056 大阪府大阪市中央区久太郎町 3 丁目 1 - 2 9 本町武田ビル パトリオ特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, ML, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE AND SUBSTRATE CASSETTE USED THEREFOR

(54) 発明の名称 : 半導体装置の製造方法及びそれに用いられる基板カセット

[図 4A]



(57) Abstract: Disclosed is a method for manufacturing a semiconductor device, wherein sticking between a rib and a semiconductor substrate is prevented and uniform etching can be performed by smoothly flowing a cleaning liquid and an etching liquid over the surface of the semiconductor substrate. Specifically disclosed is a method for manufacturing a semiconductor device, wherein a single crystal silicon substrate is arranged between a plurality of ribs (10) that are provided on a substrate cassette and the substrate cassette is immersed into an etching liquid that is contained in a bath, thereby performing a surface treatment of the single crystal silicon substrate. The surface of each rib (10) of the substrate cassette is provided with a hole (101) for reducing the contact area between the rib surface and the single crystal silicon substrate.

(57) 要約 :

[続葉有]

2 12/ 02212 A1



(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).

添付公開書類：

- 国際調査報告 (条約第 21 条(3))

リブと半導体基板との間の張り付きを防止し、洗浄液、エッチング液を半導体基板表面にスムーズに流し、均一なエッチングが実現できる方法を提供する。この発明は、基板カセットに設けられた複数のリブ (10) の間に、単結晶シリコン基板を配置し、基板カセットをエッチング液が収容された槽内に浸漬し、単結晶シリコン基板の表面処理を行う半導体装置の製造方法であって、基板カセットのリブ (10) の表面に単結晶シリコン基板との接触面積を低下させる穴部 (101) が設けられている。

明 細 書

発 明 の 名 称 ：

半 導 体 装 置 の 製 造 方 法 及 び そ れ に 用 い ら れ る 基 板 カ セ ッ ト

技 術 分 野

[0001] この発明は、基板の表面処理を行う半導体装置の製造方法に関し、より詳しくは半導体製造プロセスにおける半導体基板の表面処理を行う方法及びそれに用いられる基板カセットに関するものである。

背 景 技 術

[0002] 近年、エネルギーの枯渇問題や地球環境問題などから再生可能エネルギーの開発が望まれている。特に、太陽電池を用いた太陽光発電が新しいエネルギー源として注目されている。

[0003] ところで、太陽電池などの半導体素子において、その表面はスライスダメージ層の除去等を行い基板表面の品質確保する点、或いは表面形状の形成の点で重要な要素である。基板表面の処理の方法としては、気相や液相における化学反応が利用されることが多い。特に、太陽電池の分野では、エッチング等の表面処理が、スライスされた半導体基板表面のダメージ層の除去や受光面のテクスチャー形成において用いられる。

[0004] 従来、このエッチング処理は、複数の半導体基板をカセットに入れ、カセットとともに複数の半導体基板がエッチング槽内のエッチング液に浸漬される。太陽電池のエッチング処理に用いられるカセットとしては、特許文献１に記載されているように、複数の半導体基板を収容するために、複数のリブ（または溝）が設けられたものが知られている。

[0005] 前記リブ（または溝）は、エッチング並びにエッチングの前後の洗浄処理において、半導体基板同士の距離をある程度保持し、良好な洗浄面を得ることにある。

先 行 技 術 文 献

特 許 文 献

[0006] 特許文献1 :特開平 1 0 — 3 0 3 4 4 3 号公報

発明の概要

発明が解決しようとする課題

[0007] しかしながら、従来の方法では、半導体基板の厚さが薄くなるにつれ、エツチング処理時に、リブ（または溝）に半導体基板が張り付くことがある。また、リブ（または溝）があることにより洗浄液やエツチング液が半導体基板表面に十分に流れず、リブ（または溝）部分にエツチングのムラが発生することがある。

[0008] この発明は、リブと半導体基板との間の張り付きや、洗浄液、エツチング液を半導体基板表面にスムーズに流し、均一なエツチングが実現できる方法及びそれに用いる基板カセットを提供することにある。

課題を解決するための手段

[0009] この発明は、基板カセットに設けられた複数のリブの間に、半導体基板を配置し、前記基板カセットを処理液が収容された槽内に浸漬し、前記半導体基板の表面処理を行う半導体装置の製造方法であって、前記基板カセットのリブ表面に前記半導体基板との接触面積を低下させる凹部または凸部が設けられていることを特徴とする。

[001 0] また、この発明は、複数の半導体基板を保持して表面処理を行う槽内に浸漬される基板カセットであって、前記基板カセットに設けられた複数のリブと、前記リブ表面に設けられ前記半導体基板との接触面積を低下させる凹部または凸部と、を備えたことを特徴とする。

[001 1] 前記リブ表面に上下方向に延びる凸部を形成すればよく、また、前記リブ表面に溝部を形成すればよい。

[001 2] また、前記溝部は前記リブ表面に上下方向に沿って形成すればよい。

発明の効果

[001 3] この発明によれば、エツチング液や洗浄液等の処理液がリブと半導体基板との間に回り込み、半導体基板とリブとの間の張り付きが抑制され、処理液

を半導体基板表面にスムーズに流し、均一な基板表面処理が実現できる。

図面の簡単な説明

[0014] [図1] この発明の実施形態に係る基板表面処理に用いられる基板カセットを示す斜視図である。

[図2] この発明の実施形態に係る基板表面処理に用いられる基板カセットを示す概略断面図である。

[図3] この発明の実施形態に係る基板表面処理装置の概略図である。

[図4A] この発明の基板カセットのリブの第1の実施例を示す斜視図である。

[図4B] この発明の基板カセットのリブの第1の実施例を示す断面図である。

[図5A] この発明の基板カセットのリブの第2の実施例を示す斜視図である。

[図5B] この発明の基板カセットのリブの第2の実施例を示す断面図である。

[図6A] この発明の基板カセットのリブの第3の実施例を示す斜視図である。

[図6B] この発明の基板カセットのリブの第3の実施例を示す断面図である。

[図7A] この発明の基板カセットのリブの第4の実施例を示す斜視図である。

[図7B] この発明の基板カセットのリブの第4の実施例を示す断面図である。

[図8A] この発明の基板カセットのリブの第5の実施例を示す斜視図である。

[図8B] この発明の基板カセットのリブの第5の実施例を示す断面図である。

[図9A] この発明の基板カセットのリブの第6の実施例を示す斜視図である。

[図9B] この発明の基板カセットのリブの第6の実施例を示す断面図である。

[図10A] この発明の基板カセットのリブの第7の実施例を示す斜視図である。

[図10B] この発明の基板カセットのリブの第7の実施例を示す断面図である。

[図11A] この発明の基板カセットのリブの第8の実施例を示す斜視図である。

[図11B] この発明の基板カセットのリブの第8の実施例を示す断面図である。

[図12A] この発明の基板カセットのリブの第9の実施例を示す斜視図である。

[図12B] この発明の基板カセットのリブの第9の実施例を示す断面図である。

[図13A] この発明の基板カセットのリブの第10の実施例を示す斜視図である。

[図13B] この発明の基板カセットのリブの第10の実施例を示す断面図である。

。

[図14] この発明の第10の実施例に係る基板カセットを示す概略断面図である。

[図15] この発明を用いて製造した太陽電池の工程別の概略断面図である。

[図16] この発明を用いて製造した太陽電池の工程別の概略断面図である。

[図17] この発明を用いて製造した太陽電池の工程別の概略断面図である。

[図18] この発明を用いて製造した太陽電池の工程別の概略断面図である。

発明を実施するための形態

[001 5] この発明の実施の形態について図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付し、説明の重複を避けるためにその説明は繰返さない。

[001 6] この発明の基板カセットに保持される基板として、単結晶シリコン、多結晶シリコン等の半導体基板が挙げられる。

[001 7] この実施の形態においては、住宅用太陽光発電システムとして最も普及しており、より一層の低コスト化が望まれる太陽電池用の単結晶シリコン基板を用いた。前記単結晶シリコン基板は、通常、n型或いはp型の極性を有しているが、どちらの極性を有していてもよい。シリコン基板において、p型を与える不純物としては、ホウ素のようなⅢ族元素又はその化合物が挙げられ、n型を与える不純物としては、リン、砒素等のⅤ族元素が挙げられる。

[001 8] この発明に係るエッチングプロセスの概略について、図を参照して説明する。図1は、この発明の実施形態に係る基板表面処理に用いられる基板カセットを示す斜視図、図2は、この発明の実施形態に係る基板表面処理に用いられる基板カセットを示す概略断面図、図3は、この発明の実施形態に係る基板表面処理装置の概略図である。

[001 9] インゴットからスライスされた状態（アズスライス状態）の単結晶シリコン基板2は、エッチング液であるNaOHなどのアルカリ溶液30の入ったエッチング槽3に投入され、エッチングされる。一般的に、大量生産にて自

動搬送装置を用いる場合は、アズスライス状態の単結晶シリコン基板 2 を基板カセット 1 に複数枚保持させ、基板カセット 1 ごとエッチング槽 3 に投入して一括してエッチングするバッチ処理が行われる。

[0020] この実施形態では、基板カセット 1 の材質は、PPS（ポリフエニレンサルファイド）としたが、PTFE（ポリテトラフルオロエチレン）、PFA（テトラフルオロエチレン・パーフルオロアルキルビニルエーテル共重合体）、FEP（テトラフルオロエチレン・ヘキサフルオロプロピレン共重合体）等の各種フッ素樹脂やポリプロピレン、ポリエチレン等の合成樹脂材料を用いても良い。エッチング終了後、基板カセット 1 ごとエッチング槽 3 からエッチングされた単結晶シリコン基板 2 が取り出される。その後、水洗、乾燥が行われる。

[0021] 図 1 及び図 2 に示すように基板カセット 1 の上部は開口し、基板 2 を挿入できる構造となっている。図示するように、基板カセット 1 の側面には、複数のリブ 10 が設けられ、このリブ 10、10 間の収容凹所 11 に単結晶シリコン基板 1 が挿入され、保持される。

[0022] この基板カセット 1 のリブ 10 には、単結晶シリコン基板 2 との接触面積を低下させ、両者が張り付くのを防止するために、凹部または凸部が設けられている。

[0023] 図 4 A、図 4 B は、基板カセット 1 のリブ 10 の第 1 の実施例を示し、図 4 A は斜視図、図 4 B は断面図である。図 4 A 及び図 4 B に示すように、この第 1 の実施例では、リブ 10 の表面には、複数個の凹部としての穴 101 が設けられている。リブ 10 の表面に複数個の穴 101 を設けることで、リブ 10 と基板 2 との接触面積が低下し、両者の張り付きが抑制される。さらに、エッチング液や洗浄液がリブ 10 と単結晶シリコン基板 2 の表面との間に回り込み、単結晶シリコン基板 2 とリブ 10 との間の張り付きがより一層抑制される。この結果、リブ 10 周辺のエッチング液や洗浄液の流れが全体的に改善し、均一なエッチングが実現できる。さらに、後のエッチング液の洗浄も容易に行なうことができる。

[0024] 図 5 A、図 5 B は、基板カセット 1 のリブ 10 の第 2 の実施例を示し、図 5 A は斜視図、図 5 B は断面図である。図 5 A 及び図 5 B に示すように、この第 2 の実施例では、リブ 10 の表面には、複数個の突起 102 が設けられている。リブ 10 の表面に複数個の凸部としての突起 102 を設けることで、リブ 10 と基板 2 との接触面積が低下し、両者の張り付きが抑制される。さらに、エッチング液や洗浄液がリブ 10 と単結晶シリコン基板 2 表面との間に回り込み、単結晶シリコン基板 2 とリブ 10 との間の張り付きがより一層抑制される。

[0025] 図 6 A、図 6 B は、基板カセット 1 のリブ 10 の第 3 の実施例を示し、図 6 A は斜視図、図 6 B は断面図である。図 6 A 及び図 6 B に示すように、この第 3 の実施例では、リブ 10 の表面には、複数個のリブの上下方向に延びる立て溝 103 が設けられている。リブ 10 の表面に複数個の立て溝 103 を設けることで、リブ 10 と基板 2 との接触面積が低下し、両者の張り付きが抑制される。さらに、エッチング液や洗浄液がリブ 10 と単結晶シリコン基板 2 表面との間に回り込み、単結晶シリコン基板 2 とリブ 10 との間の張り付きがより一層抑制される。

[0026] 図 7 A、図 7 B は、基板カセット 1 のリブ 10 の第 4 の実施例を示し、図 7 A は斜視図、図 7 B は断面図である。図 7 A 及び図 7 B に示すように、この第 4 の実施例では、リブ 10 の表面には、複数個の高さ方向と略垂直に横溝 104 が設けられている。リブ 10 の表面に複数個の横溝 104 を設けることで、リブ 10 と基板 2 との接触面積が低下し、両者の張り付きが抑制される。さらに、エッチング液や洗浄液がリブ 10 と単結晶シリコン基板 2 表面との間に回り込み、単結晶シリコン基板 2 とリブ 10 との間の張り付きがより一層抑制される。

[0027] 図 8 A、図 8 B は、基板カセット 1 のリブ 10 の第 5 の実施例を示し、図 8 A は斜視図、図 8 B は断面図である。図 8 A 及び図 8 B に示すように、この第 5 の実施例では、リブ 10 の表面には、複数個の横溝 105 が設けられている。この横溝 105 は、リブ 10 の両面を貫通して形成されている。表

面に複数個の横溝 105 を設けることで、リブ 10 と基板 2 との接触面積が低下し、両者の張り付きが抑制される。さらに、エッチング液や洗浄液がリブ 10 と単結晶シリコン基板 2 表面との間に回り込み、単結晶シリコン基板 2 とリブ 10 との間の張り付きがより一層抑制される。

[0028] 図 9 A、図 9 B は、基板カセット 1 のリブ 10 の第 6 の実施例を示し、図 9 A は斜視図、図 9 B は断面図である。図 9 A 及び図 9 B に示すように、この第 6 の実施例では、リブ 10 の先端部に、上下に連なる突出部 106 が設けられている。リブ 10 の先端部に突出部 106 を設けることで、リブ 10 と基板 2 との接触面積が低下し、両者の張り付きが抑制される。さらに、エッチング液や洗浄液がリブ 10 と単結晶シリコン基板 2 表面との間に回り込み、単結晶シリコン基板 2 とリブ 10 との間の張り付きがより一層抑制される。

[0029] 図 10 A、図 10 B は、基板カセット 1 のリブ 10 の第 7 の実施例を示し、図 10 A は斜視図、図 10 B は断面図である。図 10 A 及び図 10 B に示すように、この第 7 の実施例では、リブ 10 の中央部分に、上下に連なる突出部 107 が設けられている。リブ 10 の中央部分に突出部 107 を設けることで、リブ 10 と基板 2 との接触面積が低下し、両者の張り付きが抑制される。さらに、エッチング液や洗浄液がリブ 10 と単結晶シリコン基板 2 表面との間に回り込み、単結晶シリコン基板 2 とリブ 10 との間の張り付きがより一層抑制される。

[0030] 図 11 A、図 11 B は、基板カセット 1 のリブ 10 の第 8 の実施例を示し、図 11 A は斜視図、図 11 B は断面図である。図 11 A 及び図 11 B に示すように、この第 8 の実施例では、リブ 10 の先端部と中央部分に、上下に連なる突出部 108 がそれぞれ設けられている。リブ 10 の先端部と中央部に突出部 108 を設けることで、リブ 10 と基板 2 との接触面積が低下し、両者の張り付きが抑制される。さらに、エッチング液や洗浄液がリブ 10 と単結晶シリコン基板 2 表面との間に回り込み、単結晶シリコン基板 2 とリブ 10 との間の張り付きがより一層抑制される。

[0031] 図 12 A、図 12 B は、基板カセット 1 のリブ 10 の第 9 の実施例を示し、図 12 A は斜視図、図 12 B は断面図である。図 12 A 及び図 12 B に示すように、この第 9 の実施例では、リブ 10 の表面に、上下に連なる段部 109 が設けられている。リブ 10 の表面に段部 109 を設けることで、リブ 10 と基板 2 との接触面積が低下し、両者の張り付きが抑制される。さらに、エッチング液や洗浄液がリブ 10 と単結晶シリコン基板 2 表面との間に回り込み、単結晶シリコン基板 2 とリブ 10 との間の張り付きがより一層抑制される。

[0032] 図 13 A、図 13 B は、基板カセット 1 のリブ 10 の第 10 の実施例を示し、図 13 A は斜視図、図 13 B は断面図、図 14 は、この第 10 の実施例に係る基板カセットを示す概略断面図である。図 13 A、図 13 B、図 14 に示すように、この第 10 の実施例では、リブ 10 がカセット 1 の側面側が狭く中央に向かって広くなる逆台形状に形成されている。この逆台形状に形成されたリブ 10 の先端部が凸部 110 を構成することになる。逆台形状のリブ 10 に形成して先端部が凸部 110 を構成することで、リブ 10 と基板 2 との接触面積が低下し、両者の張り付きが抑制される。さらに、エッチング液や洗浄液がリブ 10 と単結晶シリコン基板 2 表面との間に回り込み、単結晶シリコン基板 2 とリブ 10 との間の張り付きがより一層抑制される。

[0033] 上記した基板カセット 1 のリブ 10、10 の収容凹所 11 間に単結晶シリコン基板 2 を配置して、単結晶シリコン基板 2 を保持させる。そして、図 3 に示すように、単結晶シリコン基板 2 を複数枚保持した基板カセット 1 を処理液としてエッチング液 30 が収容されたエッチング槽 3 に投入し、単結晶シリコン基板 2 の表面をエッチングする。この処理で単結晶シリコン基板 2 にテクスチャーを形成する表面処理が行なえ、かつダメージ層の除去も同時に行える。さらに、単結晶シリコン基板 2 は、リブ 10 に張り付くことなくエッチングが行え、均一なエッチング処理が行える。そして、後のエッチング液の洗浄も容易に行なうことができる。

[0034] 上記した実施形態においては、単結晶シリコン基板 2 の表面処理について

説明したが、多結晶シリコン基板に対しても同様の処理を行うことができる。尚、多結晶シリコン基板において、テクスチャー形成を行う際には、エッチング液として、沸酸と硝酸の混酸溶液を用いればよい。

[0035] 次に、この発明の基板の表面処理を用いて太陽電池を作成するプロセスにつき説明する。

[0036] まず、図15に示すように、約 $1\Omega\cdot\text{cm}$ の抵抗率と約 $150\mu\text{m}$ の厚みとを有する η 型単結晶シリコン基板2をこの発明にかかる基板カセット1に保持し、洗浄することにより不純物を除去し、エッチング槽に浸漬してエッチングを行い、テクスチャー構造を形成する。

[0037] 続いて、図16に示すように、RFプラズマCVD法を用いて、 η 型単結晶シリコン基板2の上面上に約 5nm の厚みを有する i 型非晶質シリコン層22と、約 5nm の厚みを有する p 型非晶質シリコン層23とをこの順番で形成する。

[0038] そして、 n 型単結晶シリコン基板2の下面上に約 5nm の厚みを有する i 型非晶質シリコン層26と、約 5nm の厚みを有する n 型非晶質シリコン層27とをこの順番で形成する。

[0039] 尚、非晶質シリコン層の形成方法としては、蒸着法、スパッタ法、マイクロ波プラズマCVD法、ECR法、熱CVD法、LPCVD法等の公知手法を用いることができる。又、非晶質シリコン層としては、水素、フッ素の少なくとも一方を含む、非晶質又は微結晶の Si 、 SiGe 、 SiGeC 、 SiC 、 SiN 、 SiGeN 、 SiSn 、 SiSnN 、 SiSnO 等が用いられる。

[0040] 次に、図17に示すように、 p 型非晶質シリコン層4及び n 型非晶質シリコン層8の各々の上に、 $30\sim 100\text{nm}$ の厚みを有する酸化インジウムからなる透明導電膜24及び28をそれぞれ形成する。具体的には、 WO_3 粉末を3wt%混入した In_2O_3 粉末の焼結体をターゲットとして用い、イオンプレーティング法により、形成する。形成条件としては、 Ar と O_2 の混合ガスを流して圧力を $1.2\sim 2.0\text{Pa}$ に保ち、形成する。尚、 Ar 分圧は、1

、 OPa と一定とする。 Ar の他に、 He 、 Ne 、 Kr 、 Xe 等の不活性ガス又はこれらの混合気体を用いることもできる。

[0041] そして、透明導電膜24及び28の各々の上の所定領域にスクリーン印刷法を用いて、エポキシ樹脂に銀 (Ag) を練り込んだ Ag ペーストを、高さ $10 \sim 30 \mu\text{m}$ 、幅 $100 \sim 500 \mu\text{m}$ に形成する。その後、 200°C で80分焼成して銀ペーストを硬化させる。これにより、集電極25及び29を形成する。このようにして、図18に示すこの実施形態に係る太陽電池が形成される。

[0042] 次に、多結晶シリコン基板を用いた太陽電池作製プロセスについて、以下に簡単に説明する。

[0043] まず、 p 型多結晶シリコン基板をエッチング処理し、表面に緻密な凹凸を形成する。この基板表面エッチング工程に本発明が適用される。

[0044] 続いて、リンを含む液体を表面に塗布し、 $800^\circ\text{C} \sim 900^\circ\text{C}$ の気相雰囲気中に60分間前記基板を放置し、リンを浸透させて、 $n+$ 層を形成する。

[0045] 続いて、受光面側に TiO_2 の反射防止膜 $800 \text{ \AA}$ を形成する。

[0046] 続いて、裏面に Al ペーストを印刷し、 750°C で焼成することにより裏面の表面層に $P+$ 層を形成する (BSF 処理)。

[0047] 続いて、受光面、裏面の前記 TiO_2 膜および前記 Al 印刷焼成面上に銀ペーストを印刷して 700°C で焼成し銀電極を形成して BSF 型太陽電池が製造される。

[0048] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。この発明の範囲は、上記した実施の形態の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

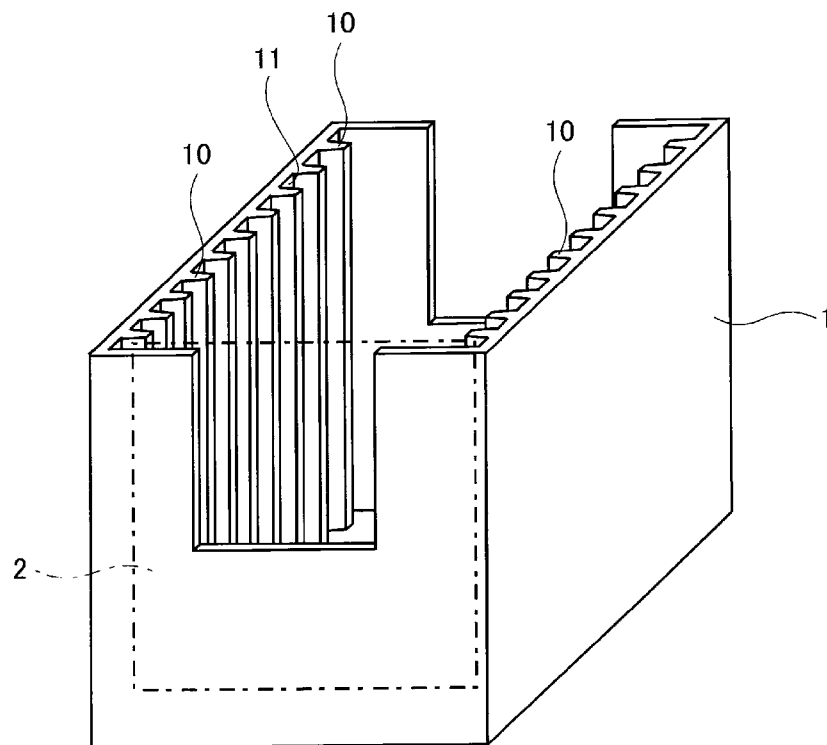
符号の説明

- [0049] 1 基板カセット
 2 単結晶シリコン基板
 10 リブ

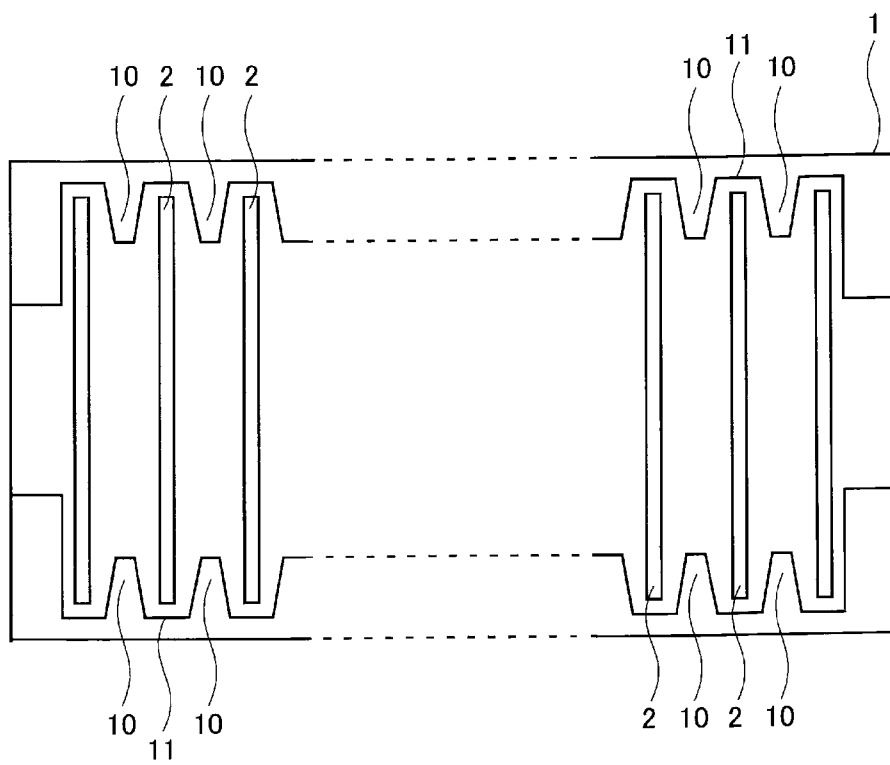
請求の範囲

- [請求項 1] 基板カセットに設けられた複数のリブの間に、半導体基板を配置し、前記基板カセットを処理液が収容された槽内に浸漬し、前記半導体基板の表面処理を行う半導体装置の製造方法であつて、前記基板カセットのリブ表面には、前記半導体基板との接触面積を低下させる凹部または凸部が設けられていることを特徴とする半導体装置の製造方法。
- [請求項 2] 前記基板カセットのリブ表面に上下方向に延びる凸部が形成されていることを特徴とする請求項 1 に記載の半導体装置の製造方法。
- [請求項 3] 前記基板カセットのリブ表面に溝部が形成されていることを特徴とする請求項 1 に記載の半導体装置の製造方法。
- [請求項 4] 前記溝部は前記リブ表面に上下方向に沿って形成されていることを特徴とする請求項 3 に記載の半導体装置の製造方法。
- [請求項 5] 複数の半導体基板を保持して表面処理を行う槽内に浸漬される基板カセットであつて、
 前記基板カセットに設けられた複数のリブと、
 前記リブ表面に設けられ前記半導体基板との接触面積を低下させる凹部または凸部と、を備えたことを特徴とする基板カセット。
- [請求項 6] 前記リブ表面に上下方向に延びる凸部が形成されていることを特徴とする請求項 5 に記載の基板カセット。
- [請求項 7] 前記リブ表面に溝部が形成されていることを特徴とする請求項 5 に記載の基板カセット。
- [請求項 8] 前記溝部は前記リブ表面に上下方向に沿って形成されていることを特徴とする請求項 7 に記載の基板カセット。

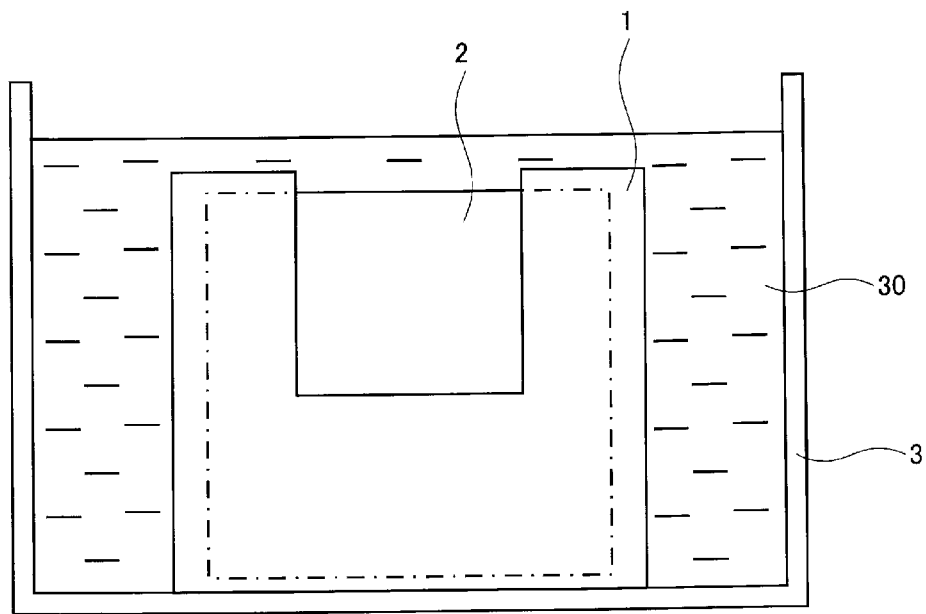
[図1]



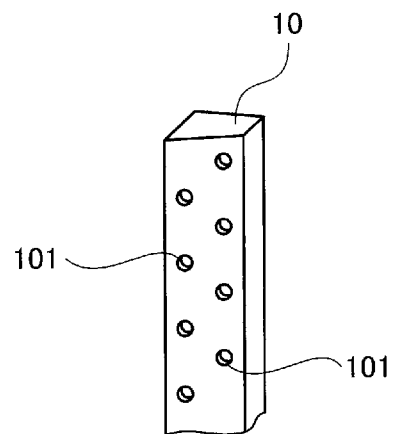
[図2]



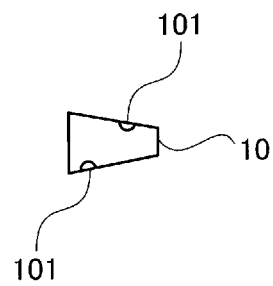
[図3]



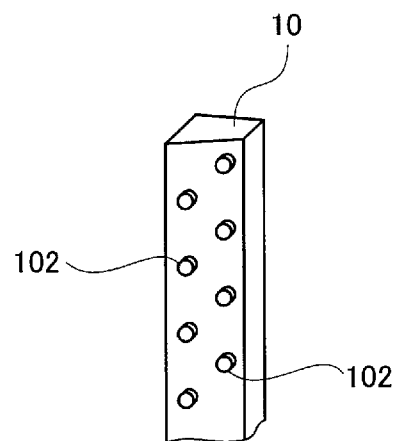
[図4A]



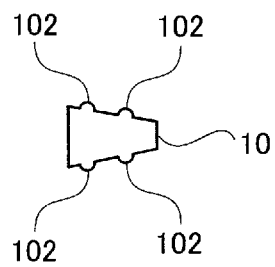
[図4B]



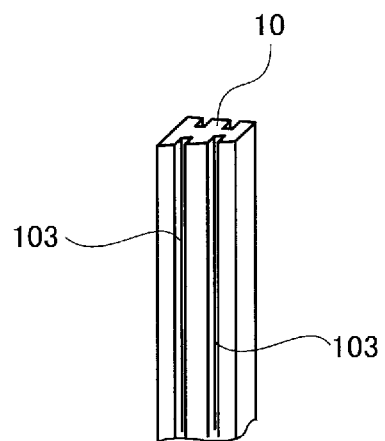
[図5A]



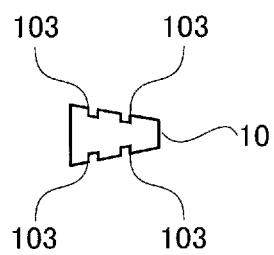
[図5B]



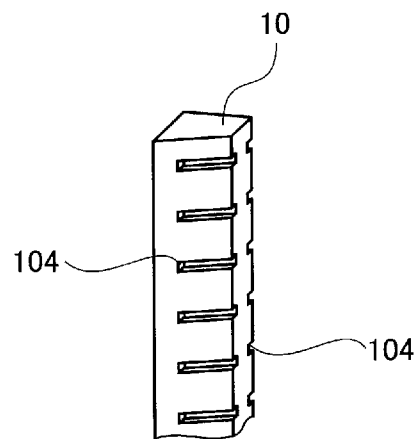
[図6A]



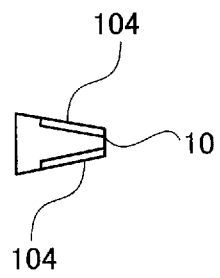
[図6B]



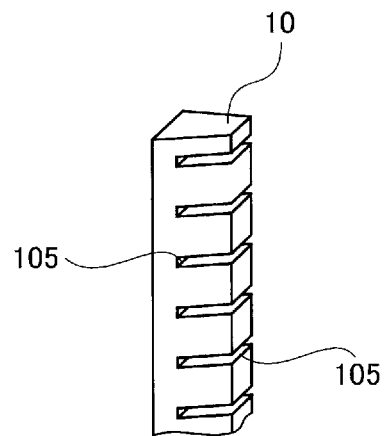
[図7A]



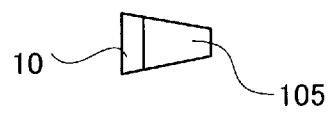
[図7B]



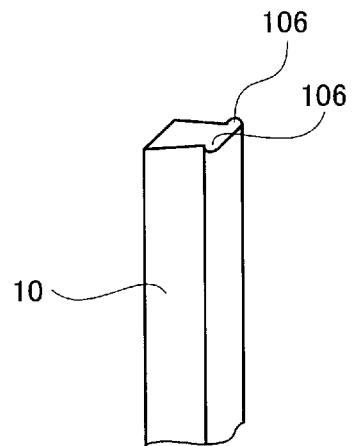
[図8A]



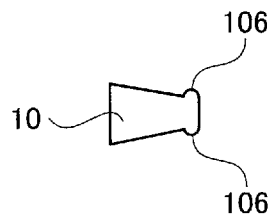
[図8B]



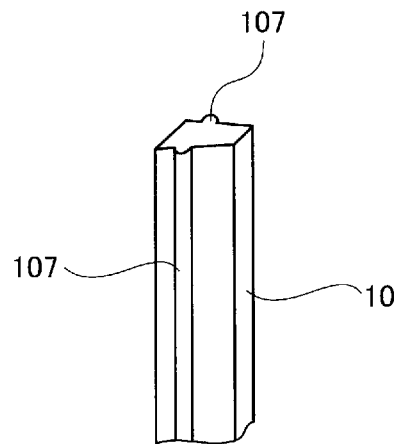
[図9A]



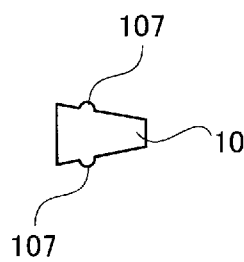
[図9B]



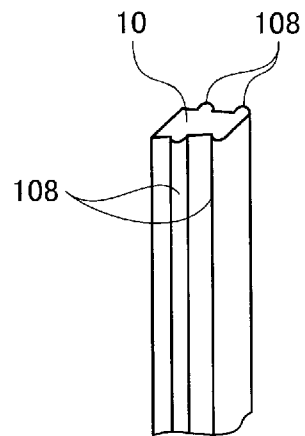
[図10A]



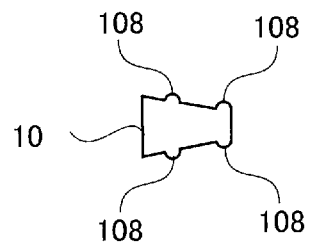
[図10B]



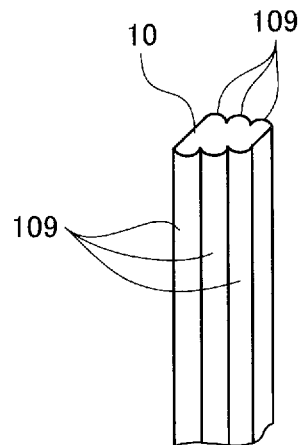
[図11A]



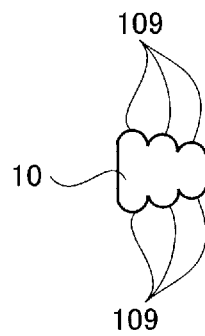
[図11B]



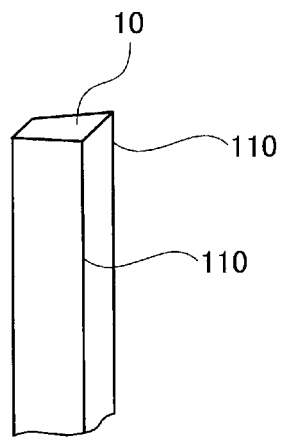
[図12A]



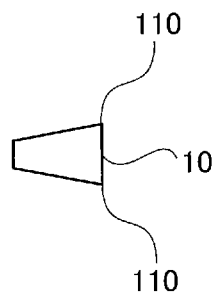
[図12B]



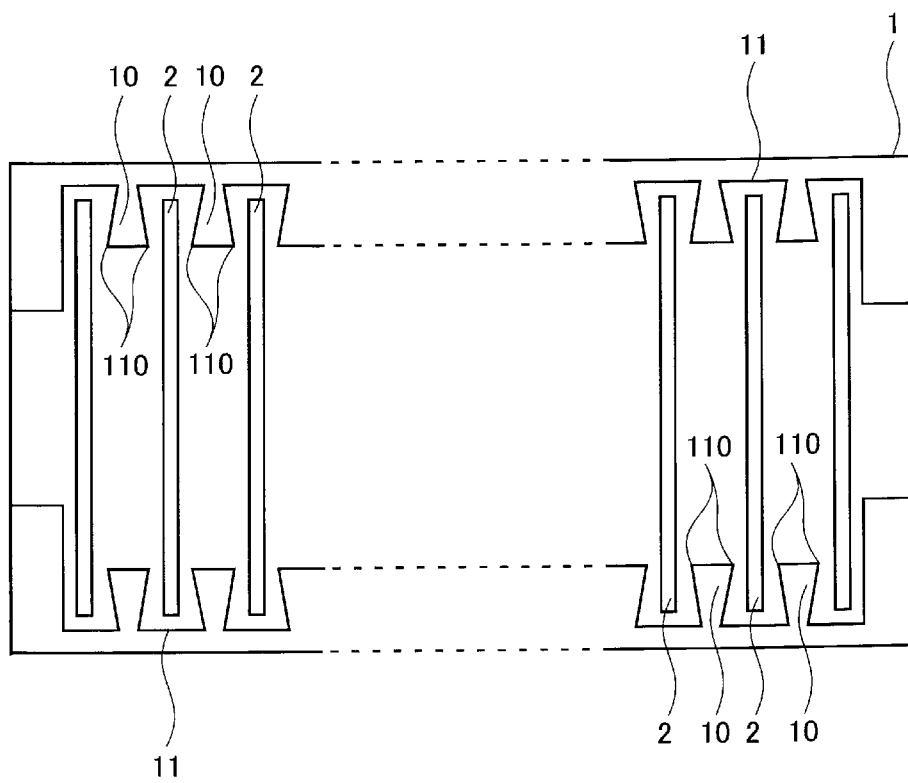
[図13A]



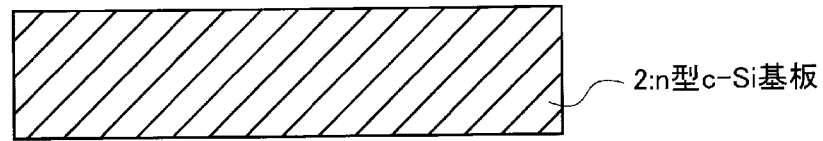
[図13B]



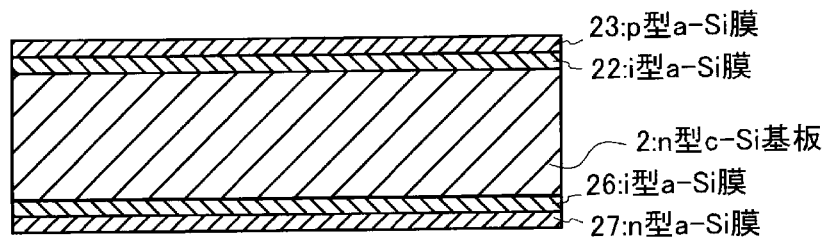
[図14]



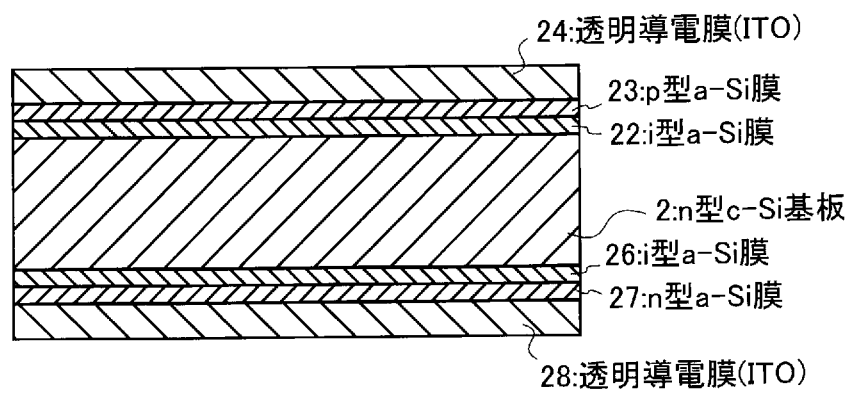
[図15]



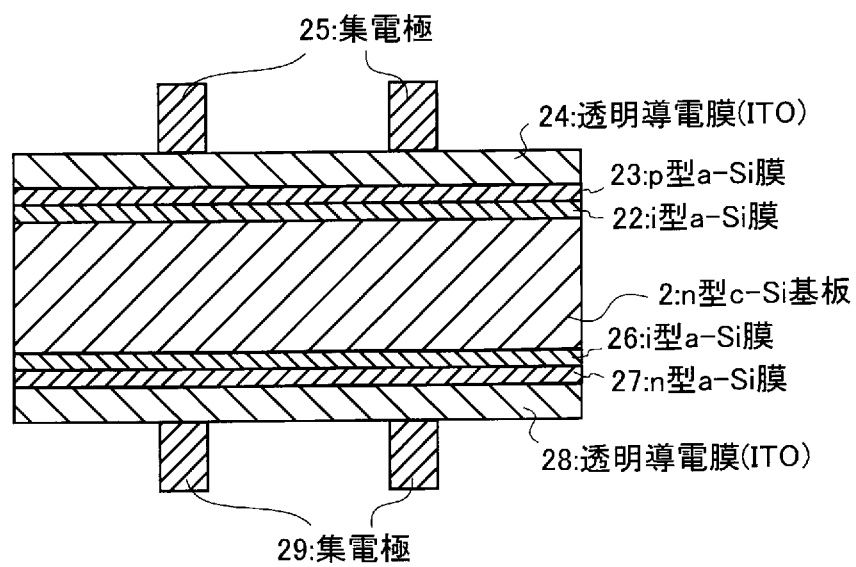
[図16]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT / JP2 011 / 064242

A. CLASSIFICATION OF SUBJECT MATTER

主 12 2 673 (2006.01) i, H01L21 / 304 (2006.01) i, H01L21 / 306 (2006.01) i,
H01L31 / 04 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21 / 67-21 / 687, B65G49 / 00-49 / 08, H01L21 / 304, H01L21 / 306-21 / 3063,
H01L21 / 308, H01L21 / 465-21 / 467, H01L31 / 04-31 / 06, H01L51 / 42

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo	Shinan	Koho	1922-1	996	Jitsuyo	Shinan	Toroku	Koho	1996-2011
Kokai	Jitsuyo	Shinan	Koho	1971-2011	Toroku	Jitsuyo	Shinan	Koho	1994 - 2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	J P 2 - 161745 A (NEC Corp.), 21 June 1990 (21.06.1990), page 1, lower left column, line 16 to page 2, lower left column, line 3; fig. 1 (Family: none)	1-8
Y	J P 8 - 203992 A (Sony Corp.), 09 August 1996 (09.08.1996), paragraphs [0001], [0007], [0017] to [0018]; fig. 4 to 5 (Family: none)	1-8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19 July, 2011 (19.07.11)

Date of mailing of the international search report
30 August, 2011 (30.08.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT / JP2 011 / 064242

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 6318389 B1 (MEMC Electronic Materials, Inc.), 20 November 2001 (20.11.2001), column 4, line 15 to column 7, line 31; fig. 5 to 7 & WO 2001/033609 A2 & WO 2001/033609 B	1-8
Y	JP 5-291386 A (Hitachi, Ltd.), 05 November 1993 (05.11.1993), paragraphs [0016] to [0021]; fig. 3 to 4 (Family: none)	1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))

IntCl. H01L21/673 (2006. 01) i, H01L21/304 (2006. 01) i, H01L21/306 (2006. 01) i, H01L31/04 (2006. 01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

IntCl. H01L21/67- 21/687, B65G49/00- 49/08, H01L21/304, H01L21/306- 21/3063, H01L21/308, H01L21/465- 21/467, H01L31/04- 31/06, H01L51/42

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922—1996年
日本国公開実用新案公報	1971—2011年
日本国実用新案登録公報	1996—2011年
日本国登録実用新案公報	1994—2011年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2-161745 A (日本電気株式会社) 1990. 06. 21, 第1頁左下欄第16行—第2頁左下欄第3行, 第1図 (ファミリーなし)	1—8
Y	JP 8-203992 A (ソニー株式会社) 1996. 08. 09, 段落 [0001]; [0007], [0017]—[0018], 図4—5 (ファミリーなし)	1—8

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

IA「特に関連のある文献ではなく、一般的技術水準を示すもの」

IE「国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの」

「優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)」

IF「口頭による開示、使用、展示等に言及する文献」

IP「国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

け」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

X「特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの」

Y「特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの」

Z「同一パテントファミリー文献」

国際調査を完了した日

19. 07. 2011

国際調査報告の発送日

30. 08. 2011

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100—8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

沼生 泰伸

電話番号 03-3581-1101 内線 3324

3U

3825

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	US 6318389 BI (MEMC Electronic Materials, Inc.) 2001. 11. 20, 第 4 欄 第 1 5 行 — 第 7 欄 第 3 1 行 , F I G . 5 - 7 & WO 2001/033609 A2 & WO 2001/033609 B	1 - 8
Y	JP 5-291386 A (株式会社日立製作所) 1993. 11. 05, 段落 【 0 0 1 6 】 — 【 0 0 2 1 】 , 図 3 — 4 (フアミリーなし)	1 — 8