

PŘIHLÁŠKA VYNÁLEZU

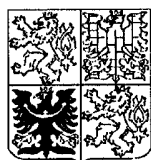
zveřejněná podle § 31 zákona č. 527/1990 Sb.

(21) Číslo dokumentu:

2110-97

(19)

ČESKÁ
REPUBLIKA



ÚŘAD
PRŮMYSLOVÉHO
VLASTNICTVÍ

(22) Přihlášeno: **03. 07. 97**

(32) Datum podání prioritní přihlášky: **03.07.96**

(31) Číslo prioritní přihlášky: **96/675854**

(33) Země priority: **US**

(40) Datum zveřejnění přihlášky vynálezu: **18. 03. 98**
(Věstník č. 3/98)

(13) Druh dokumentu: **A3**

(51) Int. Cl.⁶:

G 06 F 13/38
G 06 F 13/42

(71) Přihlášovatel:

INTEL CORPORATION, Santa Clara, CA, US;

(72) Původce:

Fisch Matthew A., Beaverton, OR, US;

Jacobson James E. Jr., West Linn, OR, US;

(74) Zástupce:

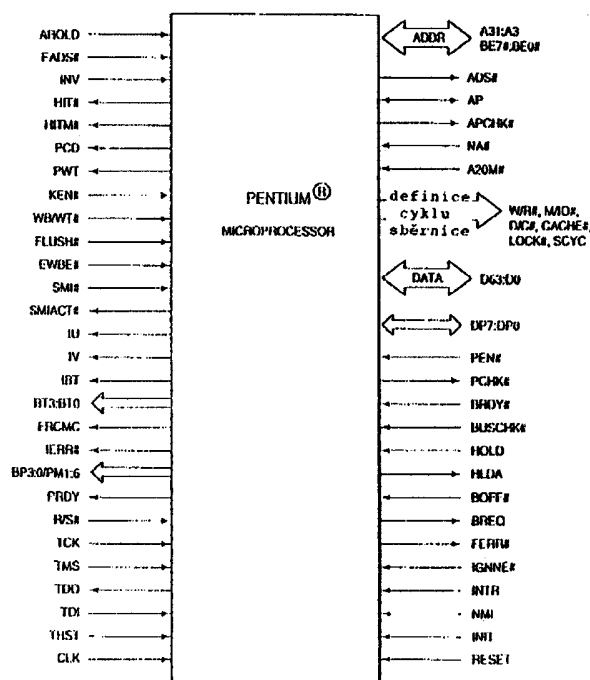
PATENTSERVIS PRAHA a.s., Jivenská 1273,
Praha 4, 14021;

(54) Název přihlášky vynálezu:

**Procesorový subsystém pro použití s uni-
verzální počítačovou architekturou**

(57) Anotace:

Procesorový subsystém obsahující procesor (11) a můstkové zařízení pro konverzi sběrnice (15) k vložení do slotu hostitelského počítačového systému. Procesor (11) pracuje podle signalizačního protokolu, který se odlišuje od signalizačního protokolu systémové sběrnice (101) počítače. Zařízení pro konverzi sběrnice (15) převádí signalizační protokol systémové sběrnice (101) do signalizačního protokolu procesoru (11) a vice versa. Zařízení pro konverzi sběrnice (15) obsahuje logiku pro převod rozhodování sběrnice, převod blokování sběrnice a řízení koherence rychlé vyrovnávací paměti (12). Rovněž je obsažena logika, která převádí příchozí a odchozí požadavky tak, že deska (200) může provádět příslušné transakce s jinými prostředky připojenými ke sběrnici (101).



CZ 2110-97 A3

Procesorový subsystém pro použití s univerzální počítačovou architekturou

Oblast techniky

Tento vynález se celkově týká oblasti vysoce výkonných počítačových systémů, obzvláště signalizačních protokolů a provozních požadavků spojených se sběrnici pro používání u pokročilých mikroprocesorů.

Dosavadní stav techniky

Vývoj stále více pokročilejších mikroprocesorů a sdružených sběrniceových architektur pokračuje rychlým tempem. Například, firma Intel Corporation of Santa Clara, California, nedávno uvedla svůj nejnovější procesor, Pentium Pro™, v době, kdy poptávka trhu po procesoru Pentium^R předchozí generace stále ještě rostla. Procesor Pro™ nabízí velké zvětšení výkonu oproti procesoru předchozí generace Pentium^R a zavádí novou, vysoce výkonnou architekturu zřetězené systémové sběrnice.

Pro systémové projektanty, kteří si přejí navrhovat systémy založené na nejnovější sběrniceové architektuře, ale stále ještě chtějí umístit procesorové designy založené na procesorech předchozí generace anebo procesory mající alternativní sběrniceové architektury, vzniká dilema. Například, mnoho systémových projektantů by rádo navrhovalo své počítačové systémy tak, aby byly kompatibilní se sběrnici nového Pentia Pro™ Intelu, aby využily přednosti

charakteristických rysů nejnovější techniky, ale stále ještě se musejí vyrovnávat se současnou poptávkou trhu po kompatibilitě s architekturou Pentia^R. Toto obecně znamená, že určitý systémový procesor musí mít stejný vývod a/nebo pracovat v souladu s architekturou sběrnice navrženou pro procesor Pentium^R.

Naneštěstí, signalizační protokol sběrnice procesoru Pentium ProTM se významně odlišuje od signalizačního protokolu procesoru Pentium^R. Výsledkem pak je, že systémoví projektanti jsou ponecháni s nelibou volbou buď udržovat kompatibilitu s běžnými procesorovými designy - při vzdání se výhod spojených se sběrnicovou architekturou nejnovější techniky - anebo navrhovat své systémy v souladu se signalizačním protokolem pokročilé architektury sběrnice procesoru Pentium ProTM, ovšem na úkor omezené přijatelnosti trhem v důsledku širší zákaznické základny pro systémy založené na procesorech Pentium^R. Tudíž, to co je potřeba je architektura počítačového systému, která je přizpůsobena pro použití s rozmanitostí procesorových typů, s každým typem procesoru potenciálně používajícím alternativní (náhradní) sběrnicovou architekturu.

Jak bude pochopeno, tento vynález překonává problémy vlastní předchozí technice prostřednictvím zajištění procesorového subsystému v podobě zastrkovací karty (desky s plošnými spoji) anebo modulu, připojených k hostiteli pomocí normalizovaného rozhraní sběrnice počítače. Tento vynález nabízí slučitelnost se širokou rozmanitostí typů procesorů, zatímco činí zbytečnou potřebu modifikovat architekturu základního systému. Přítomný vynález výhodně umožňuje procesoru předcházející generace (například, procesor Pentium^R) aby přenášel plynulým způsobem informace do/z jiných prostředků, spřažených s vysokovýkonnou sběrnicí systému (t.j., procesor Pentium ProTM).

Podstata vynálezu

Tento vynález se týká procesorového subsystému, který obsahuje procesor a zařízení pro konverzi (převod) sběrnice k použití s hostitelským počítačovým systémem, který podporuje normalizovanou systémovou sběrnici. Normalizované rozhraní sběrnice zajišťuje připojení k systémové sběrnici a dovolu je komunikaci mezi procesorovým subsystémem a hostitelem. Hostitelský systém obsahuje komponenty jako je hostitelský (základní) procesor, hlavní paměť, periferní zařízení atd. Procesor uvnitř subsystému pracuje v souladu se specifickým sběrnice rozhraním, které se odlišuje od normalizovaného rozhraní sběrnice hostitelského systému. Zařízení pro konverzi sběrnice zajišťuje převod mezi normalizovaným rozhraním sběrnice hostitelského systému a specifickým rozhraním sběrnice daného procesoru.

V jednom ztvárnění je procesorový subsystém umístěn na desce (kartě), která může být zastrčena anebo vsunuta do slotu (úseku či bloku) daného hostitelského počítačového systému. Tato deska obsahuje procesorový subsystém mající procesor pracující podle specifického signalizačního protokolu, který se odlišuje od signalizačního protokolu systémové sběrnice. Zařízení pro konverzi sběrnice je připojeno k vývodům procesoru a normalizovaného rozhraní sběrnice desky, která spojuje do systémové sběrnice. Zařízení pro konverzi sběrnice převádí signalizační protokol systémové sběrnice do signalizačního protokolu procesorového subsystému a obráceně.

Hostitelský počítačový systém, který propojuje do procesorového subsystému, může podporovat rozmanitost autonomních prostředků. Tyto autonomní prostředky mohou zahrnovat dodatečné procesory, různá dobře známá zařízení jako jsou zařízení přímého přístupu do paměti (DMA) anebo jiné podsystémy. Tyto prostředky spolu vzájemně komunikují prostřednictvím zřetězené sběrnice architektury v jedné

implementaci. Prostředky (prvky) připojené ke zřetězené sběrnici jsou tříděny buď jako symetrické prostředky anebo jako prioritní prostředky. Symetrické prostředky podporují rozložené schéma rozhodování podle algoritmu cirkulární priority.

Procesorový subsystém je klasifikován jako symetrický prostředek na zřetězené sběrnici a požaduje vlastnictví sběrnice jménem daného procesoru v souladu s algoritmem cirkulární priority. Ve specifické implementaci může být použito algoritmu cyklické obsluhy. Ve většině případů mohou prioritní prostředky nabývat okamžitého vlastnictví sběrnice před jakýmkoli symetrickým prostředkem prostřednictvím odeslání signálu prioritního požadavku na sběrnici.

Přehled obrázků na výkresech

Vynález bude lépe pochopen z následujícího podrobného popisu a příslušných doprovodných výkresů, jež by však neměly být chápány jako omezení vynálezu na tato znázorněná konkrétní ztvárnění, ale spíše jenom pro jeho vysvětlení a pochopení.

Obr. 1 - znázorňuje vývod procesoru Pentium[®].

Obr. 2 - znázorňuje vysokoúrovňové, blokové schéma jednoho ztvárnění tohoto vynálezu.

Obr. 3 - znázorňuje ztvárnění tohoto vynálezu v počítačovém systému, který obsahuje násobné prostředky spřažené přes vysokovýkonnou sběrnici.

Obr. 4 - znázorňuje konceptuální, blokové schéma jednoho ztvárnění zařízení na konverzi sběrnice zobrazeného na Obr. 2.

Obr. 5 - znázorňuje jedno ztvárnění obvodu převodníku rozhodování zobrazeného na Obr. 4.

Obr. 6 - znázorňuje blokové schéma jednoho ztvárnění obvodu převodníku odchozího požadavku uvedeného na Obr. 4.

- Obr. 7 - znázorňuje ztvárnění převodníku blokování sběrnice, zobrazeného na Obr. 4.
- Obr. 8 - znázorňuje ztvárnění převodníku příchozího požadavku zobrazeného na Obr. 4.
- Obr. 9 - znázorňuje blokové schéma jednoho ztvárnění řídicí jednotky koherence rychlé vyrovnávací paměti, znázorněné na Obr. 4.
- Obr. 10 - znázorňuje jednotku logiky konverze protokolu požadavku sběrnice, využívanou v jednom ztvárnění tohoto vynálezu.

Příklady provedení vynálezu

Je popisován procesorový subsystém pro univerzální počítačovou architekturu, který obsahuje procesor umístěný na zastrkovací desce (kartě), či modulu, spolu se zařízením pro konverzi sběrnice, které převádí signalizační protokol daného procesoru do signalizačního protokolu vysokovýkonné systémové sběrnice. V následujícím popisu jsou uváděny četné specifické podrobnosti, jako například typy prostředků, bloky logiky, spojení signálů, atd., aby se poskytlo důkladné pochopení tohoto vynálezu. Praktici mající běžnou kvalifikaci v oblasti zpracovávání dat chápou, že tento vynález může být praktikován bez mnoha těchto specifických podrobností. V jiných případech nebyla popisována dobře známá časování signálu, komponenty a obvody, aby došlo k vyhnutí se zamlžení tohoto vynálezu.

Ti kvalifikovaní v počítačových oblastech dále ocení, že popis, který následuje, obsahuje různé pojmy, které mají specifický, určitý význam v rámci příslušné oblasti. Například, pojem "normalizované sběrnicové rozhraní" je znám kvalifikovaným praktikům jako znamenající, že přenos signálu mezi nějakým prostředkem a sběrnicí sleduje běžně používaný signalizační protokol, který se aplikuje v rámci celého

daného systému. Navíc, normalizované sběrníkové rozhraní se nezbytně netýká průmyslového standardu typu podporovaného rozmanitými profesionálními organizacemi. Spíše příslušné rozhraní může být zvoleno na základě jednoho anebo množství měřítek. Pomocí příkladu je uvedeno ztvárnění tohoto vynálezu, ve kterém je normalizované rozhraní sběrnice založeno na architektuře vysokovýkonné sběrnice, která zajišťuje zpětnou kompatibilitu s předchozími procesorovými generacemi. V jiných příkladech může být normalizované rozhraní sběrnice založeno na relativně jednoduché sběrníkové architektuře, aby se snížily náklady anebo podpořil většího objem trhu pomocí zmenšené složitosti komponentu.

Obr. 1 znázorňuje rozhraní signálu mikroprocesoru Pentium[®] firmy Intel. Pokud jde o pozadí, podrobné vysvětlení práce a funkcí signálu uvedené na Obr. 1, stejně jako signalizační protokol spojený s mikroprocesorem Pentium[®], je možno nalézt v četných publikacích. Například, tento popis obsahuje příručka s názvem "Pentium Processor System Architecture, Second Edition", Don Anderson a Tom Shanley, Addison-Wesley Publishing Company (1995).

Ačkoli se následující pojednání týká mikroprocesoru Pentium[®] v příkladných ztvárněních tohoto vynálezu, mělo by být srozuměno, že v současnosti existují - anebo budou v budoucnu existovat - jiné mikroprocesory, které používají alternativní vnitřní architektury, ač zůstávají vývody kompatibilními s mikroprocesorem Pentium[®]. Stejně tak jiné procesory poskytují signály mající podobné funkce a jsou navrženy s odlišným vývodem, ale které si zachovávají svou kompatibilitu s architekturou sběrnice definované pro mikroprocesor Pentium[®].

Tudíž, odkaz na mikroprocesor Pentium[®] v přítomné aplikaci by měl zahrnovat i tyto ekvivalenty. Jinak řečeno, tento vynález není omezen na mikroprocesor Pentium[®], spíše může být tento vynález praktikován s jakoukoli rozmanitostí

data zpracovávajících zařízení. Navíc, ačkoli je tento vynález popsán v kontextu nějakého hostitelského systému založeného na architektuře procesoru Pentium Pro™, ti kvalifikovaní v příslušné oblasti by měli chápat, že procesory mající odlišné architektury mohou být snadno adaptovány, aby využívaly přednosti výhod nabízených tímto vynálezem.

Odkazuje nyní na Obr. 2, kde je znázorněno vysokoúrovňové, blokové schéma jednoho ztvárnění tohoto vynálezu. Ve ztvárnění na Obr. 2 je na kartě (či modulu) desky 200 s tištěnými spoji (PCB) namontována či zabudována mnohost zařízení integrovaných obvodů. Deska 200 obsahuje procesor 11, připojený k jedné či více rychlých vyrovnávacích pamětí (cache) 12 podél vedení (spojů, dále v textu též pouze "linek") 17. Na desce 200 je rovněž zařízení pro konverzi sběrnice 15, které je spojeno s procesorem 11 přes linky 18. Zařízení pro konverzi sběrnice 15 je, opět, připojeno ke sběrnici systému 101. V popsaném ztvárnění systémová sběrnice 101 obsahuje vysokovýkonnou zřetězenou sběrnici mající normalizované sběrníkové rozhraní.

Data, adresa a řídicí linky 19, 13 a 16, respektive, mohou být připojovány přímo z procesoru 11 k systémové sběrnici 101 (jak znázorněno), či alternativně spojovány přes převodníkové (konverzní) zařízení 15.

Jak bude krátce podrobněji popsáno, funkcemi zařízení pro konverzi sběrnice 15 je převádění signalizačního protokolu sběrnice a elektrických charakteristik spojených s procesorem 11 do signalizačního protokolu a elektrických charakteristik spojených se systémovou sběrní 101 a vice versa. Tímto způsobem mohou být přenášeny informace mezi procesorem a jinými prostředky připojenými k systémové sběrnici 101. (Všimněte si, že se signálovými linkami 14 se počítá jako s představujícími, že zde mohou být jiné linky vstupů/výstupů do procesoru 101, připojené k jiným zařízením obsaženým na desce 200. Například, linky 14 mohou obsahovat

vstupní signály hodin, napájecí linky pracovního napětí, přípojky k dodatečným integrovaným obvodům atd.)

S odkazem nyní na Obr. 3, tento znázorňuje ztvárnění tohoto vynálezu v počítačovém systému, který obsahuje vícenásobné prostředky připojené k vysokovýkonné sběrnici 101. Ve ztvárnění na Obr. 3, tato sběrnice 101 obsahuje zřetězenou sběrnici, mající architekturu takovou jaká je navržena pro procesor Pentium Pro™. Deska 200 procesoru je zobrazena jako mající mnohost propojovacích vývodů (koncovek), uspořádaných podél jednoho okraje. Tyto vývody se zastrkují do přijímajícího konektoru 201, majícího slot se souborem korespondujících koncových spojení. Například, tato konfigurace může představovat dceřinnou desku, která připojuje k hlavní desce přes použitelný slot uvnitř daného počítačového systému. Tato struktura dovoluje vysokovýkonné sběrnici 101 aby propojovala do množství procesorových desek, z nichž každá může obsahovat jakoukoli rozmanitost odlišných procesorů.

Jak je vidět, procesorová deska 200 zahrnuje procesor (P_A)11, spojený s rychlými vyrovnávacími paměťmi 12a a 12c, a rovněž propojený ke sběrnici 101 přes zařízení pro konverzi sběrnice 15. Jiná zařízení zpřažená se sběrnici 101 obsahují mastera sběrnice 205, zařízení přímého přístupu do paměti (DMA) 202, zařízení vstupu/výstupu (I/O) 207, rozšiřovací zařízení 203, a skupinu procesorů (P_B) uspořádaných do bloku 206. Příkladně, procesory P_B mohou obsahovat procesory Pentium Pro™, kompatibilní se sběrníkovou architekturou zřetězené sběrnice 101. Tudíž, v počítačovém systému znázorněném na Obr. 3 je zobrazen multiprocesorový (MP) systém.

Pro účely následujícího pojednání může být vzata vysokovýkonná sběrnice 101, označující sběrnici procesoru Pentium Pro™ společnosti Intel. Signalizační protokol sdružený se sběrnici procesoru Pentium Pro™ je dále stanoven v publikaci názvu "Pentium Pro™ Processor Family

Developer's Manual, Volume 1: Specifications" (1966), kterážto publikace je k dispozici od Intel Corporation prostřednictvím zavolání na číslo 1-800-879-4683, a tato publikace je zde zapracována referencí. K lepšímu pochopení určitých aspektů tohoto vynálezu však bude pojednáno o různých attributech procesoru Pentium Pro™, pokud se tyto dotýkají tohoto vynálezu.

Na začátek by mělo být pochopeno, že podle protokolu rozhodování sběrnice sběrnice procesoru Pentium Pro™ existují dvě třídy sběrnicových prostředků: symetrické prostředky a prioritní prostředky. Symetrické prostředky podporují stejnoměrné rozložené rozhodování používající algoritmu cyklické obsluhy (t.j., cirkulární priorita). Každý symetrický prostředek má unikátní identifikaci prostředku (ID), která je přidělována v RESETu.; hodnotu ID rotace odrážející symetrický prostředek s nejnižší prioritou pro událost příštího rozhodování; a indikátor stavu symetrického vlastnictví, indikující buď stav "činný" anebo "nečinný". Ve ztvárnění na Obr. 3, například, se procesorová deska 200 jeví jako jeden z několika symetrických prostředků spřažených se sběrnici 101.

V typické konfiguraci systému, jaká je znázorněna na Obr. 3, mohou symetrické prostředky obsahovat zařízení jako jsou procesory P_B, uspořádané jednotlivě anebo do bloku 206, sběrnicový master 205, a různá rozšiřovací zařízení 203, zobrazená jako připojená ke sběrnici 101. V počítačovém systému na Obr. 3 může zařízení 202 přímého přístupu k paměti (DMA) fungovat jako prostředek s vysokou prioritou, protože normálně vyžaduje přímou cestu do paměti. V jiných konfiguracích může prioritní prostředek(y) zahrnovat řadič s vysokou prioritou, který rozhoduje za násobná zařízení vstupu/výstupu, jak jsou tato zařízení I/O znázorněna jejich blokem 207 na Obr. 3.

Událostí rozhodování je postup, jehož prostřednictvím

je určován a měněn nový symetrický vlastník sběrnice. Při každé události rozhodování se symetrickým vlastníkem stává symetrický prostředek s nejvyšší prioritou. Všimněte si, že symetrický vlastník není nezbytně vlastníkem celé sběrnice, protože prioritní prostředek mající vyšší prioritu než jakýkoli symetrický vlastník, se může zmocnit sběrnice od symetrického vlastníka. Jakmile se prioritní prostředek rozhodne pro směrnici, brání symetrickému vlastníkovu vstoupit do nové fáze požadavku, pokud nová transakce není součástí probíhající sběrnici blokující operace. Sběrnici blokující operace jsou atomické operace, které nemohou být přerušeny. Příkladem takovéto sběrnice operace je cyklus čtení-modifikace-zápis.

Odkazuje na Obr. 4, tento znázorňuje konceptuální, blokové schéma jednoho ztvárnění zařízení 15 pro konverzi sběrnice, dříve znázorněného na Obr. 2 a 3. Čárkované linie 10 a 100 představují rozhraní signálu sběrnice mezi převodníkem (konvertorem) 15 jak v procesoru 11, tak sběrnici 101, v tomto pořadí. Praktici v příslušné technice chápou, že každé z propojení 10 a 100 může obsahovat data a adresové registry, obvody překladů napětí, logiku převodu signálu, atd., jako nezbytné pro překládání a převádění napěťových a logických úrovní, sdružených s každým z těchto příslušných rozhraní.

V případě rozhraní sběrnice 100, které propojuje do zřetězené sběrnice 101, je v něm obsažena pořadová fronta (IOQ) 70. Tato IOQ 70 je standardní blok logiky sdružený se sběrnici procesoru Pentium Pro™, který sleduje současný stav sběrnice 101. Všechny sběrnice prostředky si udržují identický statut IOQ ke sledování každé transakce, jež je vyslána do sběrnice. Když je do sběrnice vyslána nějaká transakce (změna), tato rovněž vstupuje do IOQ každého tohoto prostředku.

Hloubka IOQ 70 je limitem toho, jak mnoho transakcí pořadové fronty může být na sběrnici simultánně neodbavených.

Protože transakce získávají své odpovědi a data ve stejném pořadí jak jsou vysílány, transakce na vršku IOQ 70 je příští transakcí ke spuštění příslušné odpovědi a fází dat. Po ukončení fáze odpovědi je transakce z IOQ odstraněna. IOQ je rovněž odpovědná za posílání signálů jako je HIT#/HITM#, DRDY#, DBSY#, stejně jako jiných signálů sběrnicevého protokolu. Hloubka defaultu IOQ je osm; avšak sběrnicevé prostředky prostřednictvím aktivace vývodu A7# na RESET# mohou konfigurovat IOQ 70 na hloubku jedna.

V zařízení pro konverzi sběrnice 15 je převodník rozhodování sběrnice (BAC) 60, který převádí signály řadiče spojené s různými sběrnicevými protokoly. Například BAC 60 umožňuje procesoru 11 aby získal řízení či vlastnictví nad zřetězenou sběrnicí 101 tím, že bude mít signály svého řadiče patřičně převedeny do protokolu sběrnice spojeného se sběrnicí 101.

Podrobné blokové schéma převodníku 60 řadiče sběrnice je znázorněno na Obr. 5. BAC 60 obsahuje v sobě zařízení 61 stavu určení identifikace prostředku (ID), zařízení 62 stavu určení symetrického vlastníka, logiku 63 uplatnění pozastavení, a logiku 64 požadavku sběrnice. Uznává se, že ve schématu symetrického rozhodování systémové sběrnice 101 každý prostředek požadující přístup ke sběrnicí musí uplatnit signál příslušného požadavku (BREQ#]. Například, procesor 11 může indikovat svůj úmysl zaslat požadavek sběrnicí 101 jetím linky signálu BREQ# v souladu s protokolem sběrnice procesoru 11.

Signály BREQ, LOCK#, a HLDA jsou vstupem do procesoru 11 z logiky 64 požadavku sběrnice. (Všimněte si, že každý signál, který přejímá logicky nízký (resp. počáteční či nulový, pozn.) stav když je uplatněn, je následován znakem #. Příkladně, když procesor 11 provádí nějakou atomickou transakci, signál LOCK# si stojí nízko.)

Signál BREQ je výstup požadavku sběrnice uplatňovaný procesorem 11 k informování logiky 64 požadavku sběrnice, že

potřebuje získat vlastnictví sběrnice 101 za účelem provedení sběrnicového cyklu. Signál HLDA je výstup (čekající) potvrzení držení uplatňovaný procesorem 11 k informování jiných požadujících zařízení, že déle nevlastní sběrnici. Podle sběrnice protokolu spojeného s procesorem 11, HLDA není uplatněn, dokud nejsou všechny nevyřízené sběrnicové cykly (t.j., jež byly před tím zřetězeny) dokončeny. Logika 64 požadavku sběrnice převádí signál požadavku sběrnice, generovaný procesorem 11 do signálu $BREQ\#[0]$ kompatibilního se signálem požadavku sběrnice spojeného s protokolem systémové sběrnice 101.

V jednom ztvárnění převodník 60 řadiče sběrnice získává vlastnictví sběrnice 101 jako symetrický prostředek v souladu se schématem rozhodování cyklické obsluhy, prováděném na sběrnici procesoru Pentium Pro™. Aby se patřičně připojil ke sběrnici 101, každému symetrickému prostředku musí být přidělena identifikace (ID) symetrického prostředku. Toto je účelem zařízení 61 určování konečného stavu ID prostředku. Na základě zapnutí anebo vynulování, toto zařízení 61 stavu určování (stanovení) ID symetrického prostředku přijímá linky signálu $BREQ\#[3:0]$ tak aby stanovilo přidělení ID prostředku procesorové desky 200. Informace o ID prostředku je poskytována do zařízení 62 určování stavu ID symetrického vlastníka.

K získání vlastnictví systémové sběrnice 101 je uplatněn signál symetrického prostředku $BREQ\#[0]$ a zařízení 62 určování stavu symetrického vlastníka zkoumá stav dané sběrnice k výpočtu, kdy může být vlastnictví získáno jako symetrický prostředek v souladu se sběrnicovým protokolem sběrnice procesoru Pentium Pro™. Signály rozhodování sběrnice sdružené se systémovou sběrnici 101 obsahují $BREQ\#[3:0]$, $BPRI\#$, $LOCK\#$ (znázorněn na Obr. 7), a $RESET\#$. Signály sběrnice $BREQ\#[3:0]$ jsou připojovány k symetrickým prostředkům - včetně zařízení 15 konverze sběrnice a procesorové desky 200 - rotačním způsobem. Toto uspořádání spouští každý symetrický prostředek s unikátním ID prostřed-

ku v průběhu zapnutí anebo RESETu. Signály požadavku sběrnice BREQ#[3:0] poskytují mechanismus, prostřednictvím něhož individuální symetrické prostředky zasílají a přijímají požadavky na vlastnictví sběrnice k rozhodování o vlastnictví systémové sběrnice 101.

Signál BPRI# je signálem prioritního požadavku, pomocí něhož symetrický prostředek přijímá požadavky vlastnictví sběrnice od prostředku sběrnice s vysokou prioritou. Například, BPRI# může být uplatněn prioritním prostředkem tak, že se může rozhodnout pro okamžité vlastnictví sběrnice 101. Symetrické prostředky připojené ke sběrnici 101 získávají signál BPRI# jako indikaci toho, že prioritní prostředek požaduje vlastnictví dané sběrnice.

Na základě události rozhodování na sběrnici 101 se procesorová deska 200 může stát symetrickým vlastníkem sběrnice jestli-že má současně nejvyšší prioritu v systému. Prioritní prostředek může následně požadovat sběrnici a získat vlastnictví nad procesorovou deskou 200. Například, zařízení I/O 207 (viz. Obr. 3) může získat vlastnictví sběrnice od dceřinné desky 200 prostřednictvím uplatnění BPRI#, pokud ovšem procesorová deska 200 neprovádí nějakou atomickou transakci a neuplatnila signál LOCK#. V alternativním ztvárnění může být ovšem procesorová deska 200 označena jako prioritní prostředek.

Logika 63 uplatnění pozastavení je připojena k získání signálu BPRI# ze sběrnice 101 a generování vstupu signálů HOLD a AHOLD do procesoru 11. Když je signál BPRI# uplatněn na sběrnici 101 znamená to, že prostředek s vysokou prioritou intervenuje k získání vlastnictví sběrnice. V reakci na signál BPRI# logika 63 uplatnění pozastavení informuje procesor 11 aby nevydával žádné další požadavky.

Všimněte si, že signál AHOLD (address hold) způsobuje, že procesor 11 přestává jet svou adresovou sběrnici, takže daný procesor není schopen řídit sběrnicové cykly. Tudiž, buzení signálů HOLD a AHOLD umožňuje zařízení na konverzi

sběrnice 15 pracovat na sběrnici 101 s jinými symetrickými prostředky. Toto nutí procesor 11 aby nevlastnil sběrnici prostřednictvím defaultu, na rozdíl od sběrnice architektury procesoru Pentium^R, kde procesor takto sběrnici vlastní. V konfiguraci systému s násobnými procesory nebo prostředky, použití signálů HOLD a AHOLD eliminuje možnost dvou anebo více procesorů ustupujících si navzájem, tímto vedoucí k situaci "živého blokování".

Logika 64 požadavku sběrnice rovněž generuje vstup signálu BOFF# do procesoru 11 k okamžitému uvolnění řízení sběrnice v případě, kdy prostředek s vysokou prioritou požaduje vlastnictví sběrnice použitím signálu BPRI#. Potom co je signál BOFF# odstraněn, procesor 11 znova spouští celý sběrniceový cyklus.

V alternativním ztvárnění procesorová deska 200 funguje v počítačovém systému jako prostředek s vysokou prioritou, namísto jako symetrický prostředek.

Odkazuje nyní na Obr. 4 a 6, zařízení 15 na konverzi sběrnice dále obsahuje převodník 20 odchozího požadavku (OCR), který převádí požadavky generované procesorem 11 k vyslání na systémovou sběrnici 101. V příkladném ztvárnění, jakmile jednou bylo získáno vlastnictví sběrnice 101 procesorem Pentium^R, zakódování odchozího požadavku musí být přeloženo z protokolu procesoru Pentium^R do signalizačního protokolu sběrnice procesoru Pentium ProTM. Dále, sběrnice procesoru Pentium ProTM provádí dvoutaktní cyklus požadavku, kdežto procesor Pentium^R operuje pouze s cyklem jednoho taktu. Tudiž, ORC 20 je odpovědný za patřičné zřetězení požadavků vydávaných procesorem 11, stejně jako převádění do různých vývodů typu požadavku z procesoru Pentia^R na sběrnici procesoru Pentium ProTM.

Převodník odchozího požadavku 20 obsahuje zařízení 21 konečného stavu cyklování požadavku, kódéry požadavku 22 a 23, a kódér 26 atributu (vlastnosti). Zařízení 21 stavu cyklování požadavku přijímá signál na lince 66 z BAC 60,

jenž indikuje, že procesor 11 získal vlastnictví sběrnice 101. V tomto bodě může procesor 11 uplatnit svůj výstupní signál ADS# (status adresy) k indikaci, že je přítomna platná adresa a definice cyklu sběrnice.

Zařízení 21 stavu využívá tuto informaci ke generování řídicích signálů připojených k obvodům 24 a 25 soustavy obvodů multiplexoru pro rozmanité změny požadavku s kódování tak, že jednocyklové procesorové požadavky mohou být na systémové sběrnici 101 patřičně zřetězeny jako dva oddělené cykly taktu. Kódování pro tyto dva cykly požadavku je prováděno pomocí bloků 22 a 23, které přijímají jako vstupy signál čtení/zápis (W/R#), signál paměti nebo transakce I/O (M/IO#), a signál definice cyklu sběrnice (CACHE#) z procesoru 11. Signál CACHE# je uplatněn procesorem během cyklů zápisu zpět, a rovněž k notifikaci externí paměti, že procesor chce provést plnění linky rychlé vyrovnávací paměti použitím nárazového cyklu sběrnice.

Navíc, kódér požadavku 22 přijímá signál D/C# (data/kód) k indikaci příslušného typu požadované operace čtení (snímání).

Kódované výstupní signály produkované bloky 22 a 23 jsou vstupem do multiplexoru 24. Výstup vybraný z multiplexoru 24 je řízen zařízením 21 stavu cyklování požadavku, jak je znázorněno na Obr. 6. Když je na sběrnici 101 vyslán signál ADS# prostřednictvím zařízením 21 stavu cyklování požadavku, různé typy požadavků z procesoru 11 jsou během prvního cyklu kódovány kódérem 22. V této době jsou signály adres poskytované procesorem 11 vybírány pro výstup do adresových vodičů systémové sběrnice, A#[35:3], přes multiplexor 25. Základní informace o typu požadavku jsou rovněž umístěny na systémovou sběrnici 101 přes linky REQ#[4:0] během prvního cyklu. Kódér požadavku 22 může být implementován použitím běžné kombinatorní logiky, která převádí typové vývody Pentia^R do příslušných signálů typů požadavku na sběrnici procesoru Pentium ProTM, podle jednoho

ztvárnění tohoto vynálezu.

Během druhého cyklu taktu multiplexor 24 vybírá výstup Req_b[4:0] kóděru 23 pro výstup do systémové sběrnice 101. Během druhého cyklu jsou rovněž adresové signální vodiče využívány k posílání dodatečných informací o daném typu požadavku do zřetězené sběrnice. Tyto informace obsahují různé atributy typu požadavku jako jsou linky signálu umožnění slabiky (BE#[7:0]); signál cyklu dělení (SCYC#), který oznamuje logice, že blokováná žádost přenosu má dvojnásobek očekávaných cyklů sběrnice; signál write-through (PWT) strany, který specifikuje, zda by cache L2 měla použít pro řádek, do něhož se zapisuje, postupu write-through anebo zápisu zpět; a signál CACHE#. Tyto informace jsou během druhého cyklu vybírány jako výstup na adresové vodiče systémové sběrnice 101 prostřednictvím multiplexoru 25.

V konfiguraci systému, která obsahuje reagující prostředek schopný odložení nějaké transakce (t.j., působící, že ukončí poruchový stav), ORC 20 by měl obsahovat logiku, která odnárokovává (de-assert) linku signálu DEN# s každým požadavkem vyslaným na sběrnici 101. Signál DEN# je signál umožnění odložení, a je buzen na druhé časové základně fáze (taktu) požadavku na vývodu EXF1#/Ab4# (t.j., bit 4 druhého cyklu adresových vývodů). Tato signalizační logika může být, například, obsažena v běžné kombinatorní logice stavového zařízení 21. Odnárokování signálu DEN# u každého odchozího požadavku zabraňuje jakémukoli odpovídajícímu prostředku aby odložil nějakou transakci.

Parita adresy a signály parity požadavku jsou rovněž generovány prostřednictvím bloků 27, 28, v uvedeném pořadí, na sběrnici 101 jako součást odchozího požadavku.

Zařízení pro konverzi sběrnice 15 dále obsahuje obvod 50 převodníku blokování sběrnice (BLC), který umožňuje aby byla sběrnice blokována během atomické transakce; to jest transakcí přes několik taktů cyklu, jež nemohou být

přerušeny. Ačkoli protokol blokování pro procesor Pentium^R je podobný blokovacímu signalizačnímu protokolu realizovaném na sběrnici procesoru Pentium ProTM, přesně když může být blokovací mechanismus prosazen ve vztahu k příslušné sběrnici, protokoly se mění.

Obr. 7 znázorňuje převodník blokování sběrnice obsahující zařízení 51 konečného stavu blokování sběrnice, které přijímá signál LOCK# z procesoru 11, stejně jako vstup z ORC 20. V systémové sběrnici 101 je signál LOCK# dvojsměrným signálem sbíraným mezi všemi prostředky. Podle protokolu rozhodování sběrnice procesoru Pentium ProTM, současný vlastník sběrnice musí k definici nedělitelné blokovací operace sběrnice uplatnit (prosadit) LOCK#.

Krátce potom co procesor 11 uplatní svůj signál LOCK#, systémová sběrnice 11 přijímá přeložený signál LOCK# od zařízení stavu konverze blokování podle signalizačního protokolu sběrnice 101. Stavové zařízení 51 v podstatě implementuje proměnitelné zpoždění - čekající na signály jako ADS# atd., ke generaci prostřednictvím ORC 20 předtím, než uplatní korespondující signál LOCK# na sběrnici 101. Signál LOCK# na sběrnici 101 trvá po dobu serií atomických operací a pak je odnárokován potom, co byly dané transakce ukončeny. Opět je provedeno odnárokování v souladu s příslušným signalizačním protokolem sběrnice 101.

Jak je vidět na Obr. 4, zařízení pro konverzi sběrnice 15 rovněž obsahuje převodník příchozího požadavku (IRC) pro přeměnu signálových požadavků na systémové sběrnici do signálů, jež mohou být vstupem do procesoru 11. Podle signalizačního protokolu procesoru Pentium^R, je uplatněn signál impulsu volby (strobe) vnější adresy (EADS#), aby oznámil procesoru, že na jeho sběrnici místní adresy je přítomna platná adresa, a že tato adresa může být vyhledána. Když je tento snoop aktivován, procesor přenáší adresu paměti ze sběrnice do adresářů cache (rychlé vyrovnávací paměti) a dochází k vyhledávání. Protože ale sběrnice procesoru Pentium ProTM neobsahuje signál EADS#, či jeho

ekvivalent, dochází tímto vynálezem k implementaci následujícího schématu.

Protože je zřetězená sběrnice 101 běžně sběrnici víceprostředkového systému, signál ADS# na sběrnici indikuje požadavek jednoho z těchto vícenásobných prostředků. Všechny prostředky připojené k této sběrnici jednoduše zachovávají tyto požadavky a, v závislosti na typu požadavku, stanovují zda je vhodné zkoumat sběrnici, a rovněž co udělat s danou informací.

Jak je znázorněno na Obr. 8, IRC 30 obsahuje blok 31 logiky konverze příchozího požadavku, který přijímá signály požadavku REQ#[4:0] ze systémové sběrnice 101. Blok 31 logiky rovněž přijímá signál ADS# ze sběrnice 101. Blok 31 logiky konverze příchozího požadavku funguje ke stanovení toho, zda je žádost na sběrnici 101 vyhledatelná procesorem 11. Pokud je současná transakce na systémové sběrnici 101 vyhledatelná, blok logiky 31 způsobí, že je do procesoru buzen EADS# spolu s informací o adrese. Všimněte si, že blok logiky 31 IRC řídí vyrovnávací paměti 33 a 34 se třemi stavy k uplatnění/odnárokování signálu EADS# a adresové vývody procesoru 11.

Blok 31 logiky konverze příchozího požadavku rovněž generuje signál zrušení platnosti (invalidace (INV)) k řízení procesoru 11, aby nechal linku cache (rychlé vyrovnávací paměti) platnou anebo ji označil jako neplatnou, v případě úspěšného porovnání dat hledání (snoop hit). V případě kdy linka cache obsahuje platná data je linka umístěna do stavu koherence sdílené cache. Povšimněte si, že blok logiky 31 by měl zajistit, že bude prosazen signál pozastavení na adrese (AHOLD), aby procesor 11 mohl patřičně projet adresovou sběrnici. Toto zajišťuje, že je udržována konsistence cache.

V tomto bodě by mělo být pochopeno, že implementace

IRC 31, znázorněná na Obr. 8, předpokládá, že systémová sběrnice 101 byla odřetězena pro účely signální konvence.

V alternativním ztvárnění tohoto vynálezu může být žádoucí neodřetězovat sběrnici 101. V takové implementaci by zařízení pro konverzi sběrnice 15 mělo dále obsahovat mechanismus frontování, který posílá všechna zjištění (snoopy) do procesoru 11 při současném periodickém blokování systémové sběrnice 101.

Všimněte si také, že IRC 31 obsahuje logiku řízení hledání, která brání 36-ti bitovým požadavkům na systémové sběrnici 101 aby byly odesílány do rozhraní procesoru. Například, procesor Pentium[®] je omezen na požadavky 32 bitů. Tudíž, blok 31 logiky IRC zajišťuje, že požadavky, které jsou delší než 32 bitů, nejsou procesorem 11 vyhledávány.

Obr. 9 je podrobným schematem jednotky 40 řízení koherence cache (CCC), znázorněné v zařízení pro konverzi sběrnice 15 na Obr. 3. Ztvárnění na Obr. 9 znázorňuje CCC 40 obsahující zařízení 41 stavu konverze výsledku hledání, připojenou k vyrovnávací paměti 42 neaktualizovaných dat (dirty data), jež zase prohání daná data přes vyrovnávací paměti 43 se třemi stavy. Jakmile již IRC 31 signalizoval stavovému zařízení 41, že byl snoop odeslán do procesoru 11, o několik taktů později procesor poskytuje signály do CCC 40 indikující, že došlo buď k úspěšnému porovnání cache (hit), úspěšnému porovnání cache do neaktualizované linky anebo neúspěšnému porovnání cache. Tato informace je signalizována přes signální linky HIT/HITM a ADS.

Zařízení 41 stavu konverze výsledku vyhledávání (snoopy) rovněž komunikuje se vstupní pořadovou frontou (IOQ) spojenou se sběrnici 101. IOQ monitoruje systémovou sběrnici a zasílá příslušné signály do stavového zařízení a vyrovnávací trojstavové paměti 43 tak, že data mohou být převedena na sběrnici 101 v souladu se signalizačním protokolem sběrnice 101. V jednom ztvárnění IOQ zahrnuje běžnou logiku sledování stavu sběrnice. Tato logika

sledování stavu sběrnice jednoduše prezentuje stavové informace ve správný čas přes systémovou sběrnici 101.

V jednom ztvárnění IOQ zahrnuje mnohost záznamů, v níž se každý záznam překládá do běžné transakce na zřetězené sběrnici. Každý záznam IOQ sleduje rovněž příslušný stav dané transakce. Tímto způsobem mohou všechny sběrnice prostředky sledovat průběh každé transakce jak prochází příslušným zřetězením na sběrnici. Pro zde popisované ztvárnění má IOQ hloubku "1", protože sběrnice je odřetězena pro konverzi (převedení) do procesoru 11.

Stavové zařízení 41 rovněž komunikuje některé informace z události vyhledání (snoopy) do logiky sledování sběrnice systémové sběrnice 101. V události hitu do bezchybné linky, či neúspěšnému porovnání cache, stavové zařízení 41 jednoduše hlásí v příslušném čase tento statut do systémové sběrnice 101. Pokud ale dojde k hitu do neaktualizované linky (t.j., procesor uplatní signál HITM#), tato situace vyžaduje zvláštní zacházení, protože procesor 11 je navržen okamžitě provádět výstup neaktualizovaných dat.

Když je stavovým zařízením 41 zaznamenán signál ADS# následující úspěšné porovnání snoopy (hit), znamená to, že neaktualizovaná data budou procesorem 11 okamžitě odeslána. Protože signalizační protokol systémové sběrnice 101 nedovoluje datům aby byla vypsána tímto způsobem, vyrovnávací paměť 42 shromažďuje tato data jako by byla výstupem z procesoru 11 tak, aby mohla být ve vhodnou dobu odeslána na sběrnici 101. Tento proces je, ovšem, pod řízením zařízení stavu konverze snoopy 41. Logika sledování stavu sběrnice v IOQ je rovněž připojena k vyrovnávací paměti 42 neaktualizovaných dat v implementaci na Obr. 9, protože ta má informaci indikující, kdy mohou být neaktualizovaná data odeslána na sběrnici 101 k dokončení určité transakce.

Alternativně může zařízení 41 stavu konverze výsledku

hledání (snoopy) použít signál BRDY# k regulování dat, jejichž výstup je prováděn prostřednictvím procesoru 11. V této alternativní implementaci může být vyrovnávací paměť 42 eliminována a linky sběrnice dat z procesoru 11 mohou jednoduše být třístavové prostřednictvím třístavových zařízení 43, před tím než jsou připojeny k systémové sběrnici 101. Povšimněte si, že v tomto ztvárnění je signál BRDY# použit k indikaci toho, že současně adresované zařízení přijalo data z procesoru Pentium^R v reakci na zápis. Jinými slovy, stavové zařízení 41 pracuje tak, aby umožňovalo přímé převedení dat do systémové sběrnice 101 prostřednictvím zajištění příslušného relačního signálu.

Opět řečeno, blok 41 logiky bere výsledek snoopy z procesoru 11 a předává ho do IOQ, jenž je zapracován v rozhraní sběrnice 101. V případě, kdy je procesorem 11 uplatněn signál HITM#, stavové zařízení 41 čeká dokud není procesorem 11 odeslán příští signál ADS#, protože to signalizuje výpis neaktualizovaných dat.

Obr. 10 znázorňuje jednotku 70 logiky konverze protokolu žádosti sběrnice, která obsahuje běžné stavové zařízení a kombinatoriální logiku. Jak je znázorněno, jednotka logiky 70 obsahuje zařízení 72 konečného stavu konverze protokolu směrnice a pořadovou frontu 71. Stavové zařízení 71 provádí požadovanou konverzi signálu protokolu mezi procesorem 11 a systémovou sběrnici 101. Pořadová fronta 71 je využívána ke sledování průběhu stavu obou sběrnic, na protilehlých stranách rozhraní. IOQ 71 obsahuje běžnou logiku a paměť registru pro udržování informací o stavu sběrnice, jak jsou specifikovány v souladu s protokolem systémové sběrnice 101.

Navíc ke sledování stavu signálů znázorněných na obou stranách rozhraní sběrnice, jednotka 70 logiky rovněž poskytuje nezbytné signály pro navázání spojení (relaci), například, korespondenční přenos dat. (Všimněte si toho, že v některých případech sběrnice signály na protilehlých

stranách tohoto rozhraní mají těsně (uzavřené) vztažené funkce. Například, signál ADS# připojený k procesoru 11 je jednosměrový signál vybíracího impulsu adresy. Odpovídající převod je do signálu ADS# systémové sběrnice 101, který je svou povahou obousměrný.)

Jak je vidět, jednotka 70 logiky sledování sběrnice převádí rozmanité signály přenášené mezi systémovou sběrnicí 101 a procesorem 11. V této skupině je obsažen signál AERR# chyby parity adresy v souladu s jedním ztvárněním tohoto vynálezu. Prostředek zaznamenávající chybu parity uplatňuje signál AERR# během chybové fáze dané transakce. Všechny prostředky sběrnice zachovávají AERR# a na dalším cyklu ruší určitou chybnou transakci prostřednictvím jejího odstranění z pořadové fronty, a ruší všechny zbývající fáze sdružené s touto transakcí. Korešpondující signál adresové parity na procesorové straně rozhraní je APCHK#. V případě chyby adresové parity procesor 11 aktivuje APCHK#.

Rovněž obsaženy na straně systémové sběrnice rozhraní jednotky 70 logiky jsou signály HIT#/HITM#. Signály HIT#/HITM# jsou používány k indikování toho, že linka ve vyhledávacím prostředku je platná anebo neplatná, zda je linka v modifikovaném (neaktualizovaném) stavu v prostředku rychlé vyrovnávací paměti (cache), či zda je třeba provést fáze vyhledávání (snoopy). Signály HIT#/HITM# jsou používány k udržování koherence rychlé vyrovnávací paměti na úrovni systému. Jak bylo vysvětleno dříve, když hledající prostředek uplatní HIT#, tento prostředek přejímá odpovědnost za zápis zpátky modifikované linky během datové fáze (implicitní write-back). Ve vyhledávací fázi je rovněž buzen signál DEFER#. DEFER# je odnárokován k indikaci toho, že transakce může být garantována v řádném dokončení. Prostředek uplatňující DEFER# zajišťuje patřičné odstranění dané transakce z IOQ 71 prostřednictvím generování vhodné odpovědi. Skupina signálu odpovědi transakce nastává po vyhledávací fázi téže transakce a obsahuje signály RS#[2:0],

kteře zajišťují kódování popisující výsledek požadovaného vyhledávání. Odpovídajícím prostředkem je prostředek odpovědný za ukončení transakce na vršku IOQ 71. Pro transakce zápisu je uplatněn TRDY# odpovídajícím prostředkem k indikování toho, že je připraven k přijetí dat zápisu nebo zpětného zápisu.

Skupina signálů přenosu dat obsahuje signály buzené v datové fázi a obsahuje DBSY#/DRDY# (sběrnice dat činná a připravená pro data). DRDY# indikuje, že na sběrnici jsou platná data a musí být blokována. Vlastník datové sběrnice uplatňuje DRDY# pro každý takt, ve kterém mají být platná data přenesena. DBSY# je používán k zadržení sběrnice před prvním DRDY# a mezi uplatněními (jednotkovými logickými funkcemi) DRDY# pro vícenásobný taktovací přenos dat. Vyhledávání (snoop), odezva, a signály datové fáze jsou všechny sledovány přes IOQ 71.

Zařízení 72 stavu konverze protokolu sběrnice poskytuje výstupy do procesoru 11, jež obsahují vstup příští adresy (NA#). Vstup NA# je uplatňován zařízením, jež požaduje aby příští sběrniceový cyklus byl odeslán na sběrnice před skončením aktuálního cyklu. Procesoru 11 je poskytnut prázdný signál externí správné vyrovnávací paměti (EWBE#), k ujištění toho, aby operace v paměti nastaly v pořadí provedení (t.j., pevné uspořádání setříděním paměti). Toto zajišťuje, že všechny vyrovnané zápisy jsou dokončeny vykonáním příští instrukce. Jak bylo dříve pojednáno, signál BRDY# indikuje, že současně adresované zařízení prezentovalo platná data na vývody datové sběrnice v reakci na čtení (snímání), či že aktuálně adresované zařízení akceptovalo data z procesoru v reakci na zápis. Podobně, KEN# je signál řízení vyrovnávací paměti, indikující zdali snímaná lokace je uvnitř prostoru adresy v cache. Pokud adresa není umístitelná v cache, linka KEN# je neaktivní, oznamující procesoru neprovádět plnění linky cache.

15.12.97

- 25 -

P A T E N T O V É N Á R O K Y

1. Procesorový subsystém mající rozhraní pro připojení ke sběrnici hostitelského počítačového systému, která pracuje podle prvního signalizačního protokolu, zahrnuje:
 - procesor, který pracuje podle druhého signalizačního protokolu, jenž se odlišuje od prvního signalizačního protokolu,
 - zařízení pro konverzi sběrnice, připojené k tomuto procesoru a rozhraní, jež převádí první signalizační protokol sběrnice do druhého signalizačního protokolu procesoru a vice versa.
2. Procesorový subsystém podle nároku 1, dále zahrnující alespoň jednu vyrovnávací paměť připojenou k procesoru.
3. Procesorový subsystém podle nároku 2, v němž procesor, zařízení pro konverzi sběrnice a alespoň jedna rychlá vyrovnávací paměť, jsou obsaženy uvnitř jednoho modulu, tento modul je klasifikován buď jako symetrický prostředek anebo jako prioritní prostředek podle rozloženého schématu rozhodování sběrnice.
4. Procesorový subsystém podle nároku 3, v němž zařízení pro konverzi sběrnice obsahuje logiku konverze rozhodování, jež získává vlastnictví sběrnice pro procesor podle algoritmu cirkulární priority.
5. Procesorový subsystém podle nároku 4, v němž zařízení pro konverzi sběrnice dále zahrnuje:
 - převodník odchozího požadavku, jenž převádí požadavky z procesoru do prvních a druhých cyklů požadavku na sběrnici.

6. Procesorový subsystém podle nároku 5, v němž sběrnice zahrnuje zřetěženou sběrnici.
7. Procesorový subsystém podle nároku 6, v němž zařízení pro konverzi sběrnice dále zahrnuje:
 - převodník příchozího požadavku, který identifikuje transakci na sběrnici, jež je vyhledatelná procesorem, tato transakce je prostřednictvím převodníku příchozího požadavku vstupem do procesoru .
8. Procesorový subsystém podle nároku 7, v němž zařízení pro konverzi sběrnice dále zahrnuje:
 - jednotku řízení koherence rychlé vyrovnávací paměti (cache), která přijímá signál z procesoru indikující buď aktivní záznam cache, aktivní záznam cache do modifikované linky, anebo chybějící záznam v cache, jednotka řízení koherence cache odpovídá na aktivní záznam cache do modifikované linky uplatněním/odnárokováním připraveného signálu, který reguluje neaktualizovaná data z výstupu modifikované linky prostřednictvím procesoru do sběrnice.
9. Procesorový subsystém podle nároku 8, v němž zařízení pro konverzi sběrnice dále zahrnuje:
 - jednotku řízení koherence rychlé vyrovnávací paměti (cache), která přijímá signál z procesoru indikující buď aktivní záznam cache, aktivní záznam cache do modifikované linky, anebo chybějící záznam v cache, jednotka řízení koherence cache obsahuje vyrovnávací paměť, která ukládá neaktualizovaná data odpovídající na aktivní záznam cache do výstupu modifikované linky z procesoru, tato neaktualizovaná data jsou odesílána na sběrnici prostřednictvím jednotky řízení koherence rychlé vyrovnávací paměti (cache) v souladu s prvním signalizačním protokolem.

10. Procesorový subsystém podle nároku 9, v němž zařízení pro konverzi sběrnice dále zahrnuje:

- převodník blokování sběrnice, jenž převádí první blokovací signál, generovaný prostřednictvím procesoru ve spojení s nějakou atomickou transakcí, do druhého blokovacího signálu dodávaného na sběrnici v souladu s prvním signalizačním protokolem.

11. Deska pro vsunutí do slotu počítačového systému, který obsahuje hostitelský procesor připojený ke zřetězené sběrnici, jež pracuje podle prvního signalizačního protokolu, tato deska zahrnuje:

- mnohost vývodů (svorek) rozhraní, uspořádaných podél alespoň jednoho okraje desky, tyto vývody jsou přizpůsobeny ke vsunutí do slotu tak, aby zajišťovaly elektrické spojení do zřetězené sběrnice,
- mnohost polovodičových zařízení upevněných na desce, jež obsahuje:
 - procesor, jenž pracuje podle druhého signalizačního protokolu, který se odlišuje od prvního signalizačního protokolu zřetězené sběrnice,
 - zařízení pro konverzi sběrnice, jež převádí první signalizační protokol zřetězené sběrnice do druhého signalizačního protokolu procesoru a vice versa, zařízení pro konverzi sběrnice má první rozhraní připojené k vývodům, jež jsou kompatibilní s prvním signalizačním protokolem zřetězené sběrnice, a druhé rozhraní připojené k procesoru, který je kompatibilní s druhým signalizačním protokolem procesoru

12. Deska podle nároku 11, v němž první signalizační protokol obsahuje schéma rozhodování, které obsahuje symetrické a prioritní třídění, ve kterém je deska klasifikována jako symetrický prostředek na zřetězené sběrnici.

13. Deska podle nároku 11, v níž zařízení pro konverzi sběrnice dále zahrnuje:

- logiku požadavku sběrnice, jež převádí signály požadavků sběrnice procesoru do signálů požadavků sběrnice zřetězené sběrnice v souladu s prvním signalizačním protokolem,
- zařízení stavu ID prostředku připojené k logice požadavku sběrnice, jež stanovuje ID prostředku pro zařízení pro konverzi sběrnice v reakci na RESET na zřetězené sběrnici.
- zařízení stavu symetrického vlastníka, připojené k zařízení stavu ID prostředku a logice požadavku sběrnice, jež monitoruje současný stav zřetězené sběrnice a stanovuje kdy procesor už získal vlastnictví zřetězené sběrnice,
- logiku uplatnění pozastavení, připojenou k zařízení stavu symetrického vlastníka, jež generuje vstup signálu pozastavení do procesoru, signál pozastavení požaduje procesor aby uvolnil vlastnictví zřetězené sběrnice.

14. Počítačový systém podle nároku 13, v němž zařízení pro konverzi sběrnice dále obsahuje:

- převodník odchozího požadavku, jenž převádí požadavky z procesoru do prvních a druhých cyklů požadavku na zřetězené sběrnici, a
- převodník příchozího požadavku, který identifikuje transakci na zřetězené sběrnici, jež je vyhledatelná procesorem, tato transakce je vstupem do procesoru prostřednictvím převodníku příchozího požadavku.

15. Deska podle nároku 14, v níž zařízení pro konverzi sběrnice dále obsahuje:

- jednotku řízení koherence rychlé vyrovnávací paměti (cache), která přijímá signál z procesoru indikující aktivní záznam cache do modifikované linky, jednotka řízení koherence cache odpovídá na tento signál regulováním neaktualizovaných dat z výstupu modifikované linky prostřednictvím procesoru do zřetězené sběrnice.

16. Deska podle nároku 15, v níž zařízení pro konverzi sběrnice dále obsahuje:

- jednotku řízení koherence rychlé vyrovnávací paměti (cache), která přijímá signál z procesoru indikující aktivní záznam cache do modifikované linky, jednotka řízení koherence cache rovněž obsahuje vyrovnávací paměť, která ukládá neaktualizovaná data, tato neaktualizovaná data jsou výstupem z modifikované linky prostřednictvím procesoru, jenž je uložen v této vyrovnávací paměti a následně odesílán jednotkou řízení koherence cache do zřetězené sběrnice cache v souladu s prvním signalizačním protokolem.

17. Deska podle nároku 16, v níž zařízení pro konverzi sběrnice dále obsahuje:

- převodník blokování sběrnice, jenž převádí první blokovací signál, generovaný prostřednictvím procesoru ve spojení s nějakou atomickou transakcí, do druhého blokovacího signálu, dodávaného na systémovou sběrnici v souladu s prvním signalizačním protokolem.

18. Počítačový systém podle nároku 17, v němž převodník odchozího požadavku zahrnuje:

- zařízení stavu cyklování požadavku, které generuje signál vybíracího impulsu adresy sběrnice a řídicí signály, jakmile procesor jednou získal vlastnictví zřetězené

sběrnice a uplatnil signál vybíracího impulsu adresy procesoru.

- multiplexorové obvody mající mnohost vstupů a výstupů, vybíraných řídicími signály,
- soustavu obvodů kódování požadavku, která převádí signály rozmanitých typů požadavků z procesoru do zřetěžené sběrnice, obvody typu požadavků jsou připojeny k obvodům multiplexoru tak, že požadavek jednoduchého cyklu procesoru je zřetěžen do požadavku dvojitého cyklu na zřetěžené sběrnici.

(titulky do legendy k výkresům 1-10,
navíc k uvedeným normalizovaným signálům)

(předchozí technika)

rychlá vyrovnávací paměť	můstek sběrnice/ převodník	sběrnice/můstek převodník
--------------------------------	-------------------------------	------------------------------

definice cyklu sběrnice	rozšiřovací zařízení	sběrnicový master
-------------------------------	-------------------------	----------------------

systémová sběrnice 101 vysokovýkonná sběrnice 101 sběrnicový

Stanovení ID prostředku	Stanovení vlastníka	Logika uplatnění pozastavení	Logika požadavku sběrnice	Systémová sběrnice <u>101</u>
----------------------------	------------------------	------------------------------------	---------------------------------	-------------------------------------

Sběrnice <u>101</u>	Sběrnice <u>101</u>	Sběrnice <u>101</u>	Systémová sběrnice <u>101</u>
---------------------	---------------------	---------------------	-------------------------------------

Řízení koherence cache (CCC)	Převodník příchozího požadavku (IRC)	Převodník odchozího požadavku (ORC)	Převodník blokování sběrnice (BLC)	Převodník rozhodování sběrnice (BAC)
---------------------------------------	---	--	---	---

Jednotka logiky sledování sběrnice	Systémová sběrnice <u>101</u>
--	-------------------------------------

FSM
cyklování požadavku

kódér požadavku	kódér požadavku	kódér atributu	gener. parity adresy	gener. parity požadav.
--------------------	--------------------	-------------------	-------------------------	---------------------------

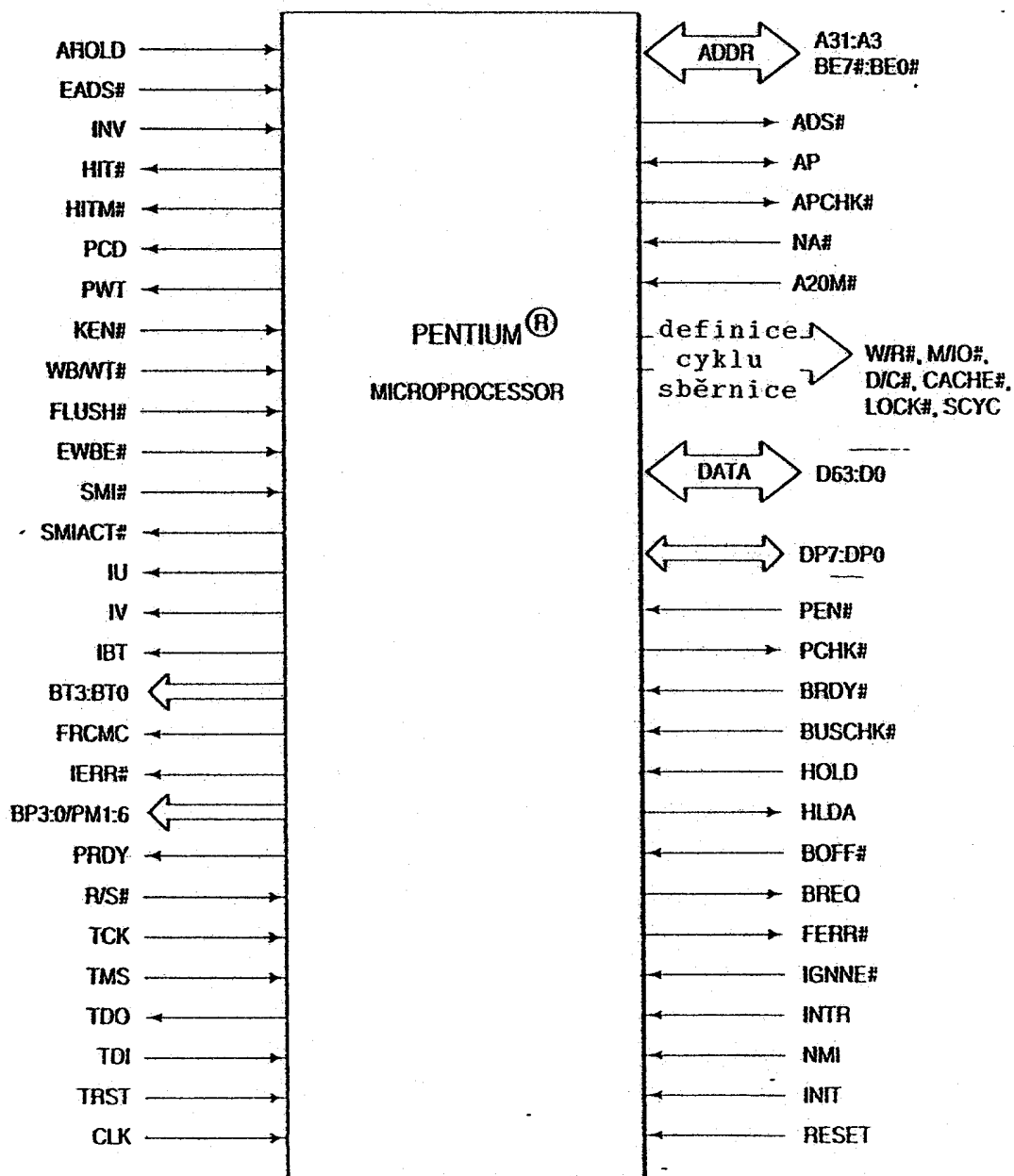
převodník blok. sběrnice z ORC z/od IOQ

FSM převodu blokování	sběrnice dat	sběrnice dat
--------------------------	-----------------	-----------------

logika konverze příchozího požadavku	Systémová sběrnice <u>101</u>
--	-------------------------------------

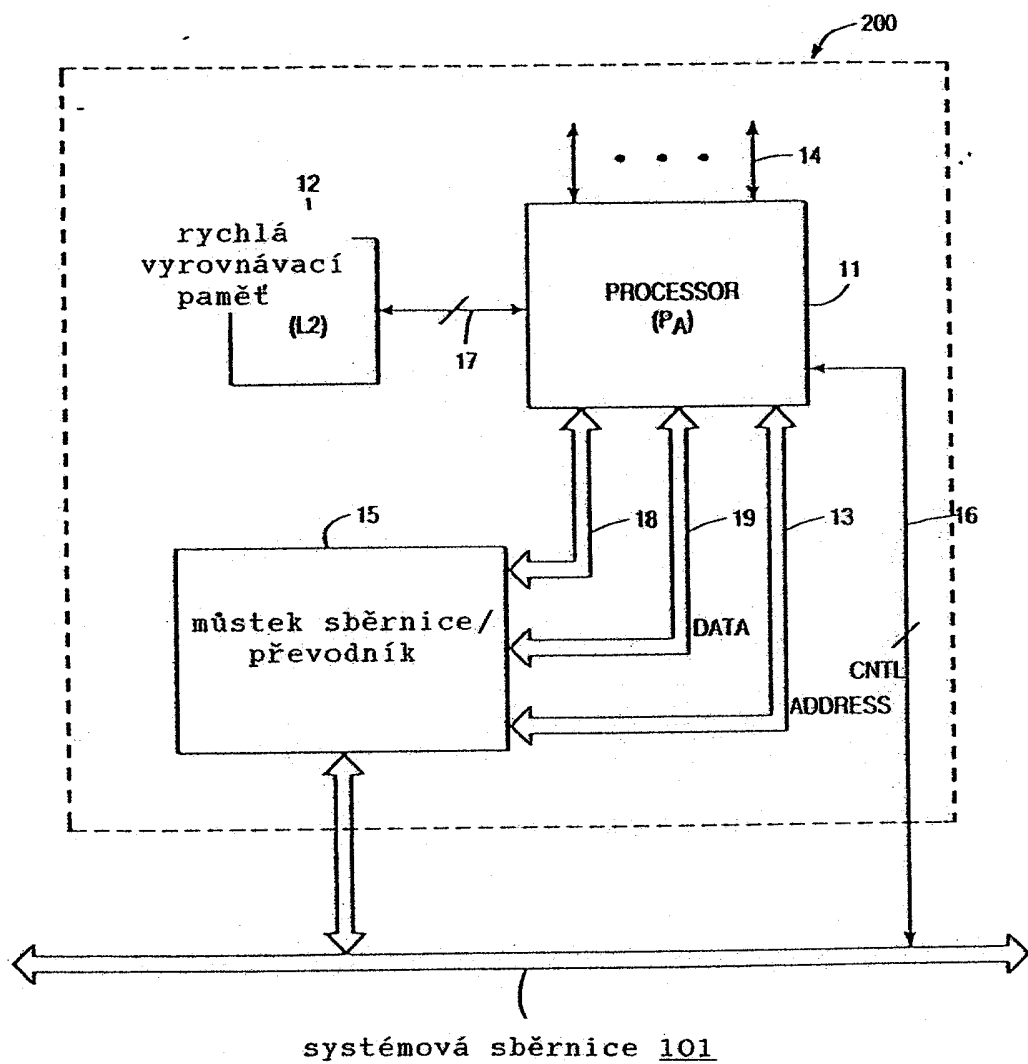
FSM konverze výsledku vyhledávání	FSM konverze protokolu sběrnice	Systémová sběrnice <u>101</u>
---	---------------------------------------	-------------------------------------

15.12.97



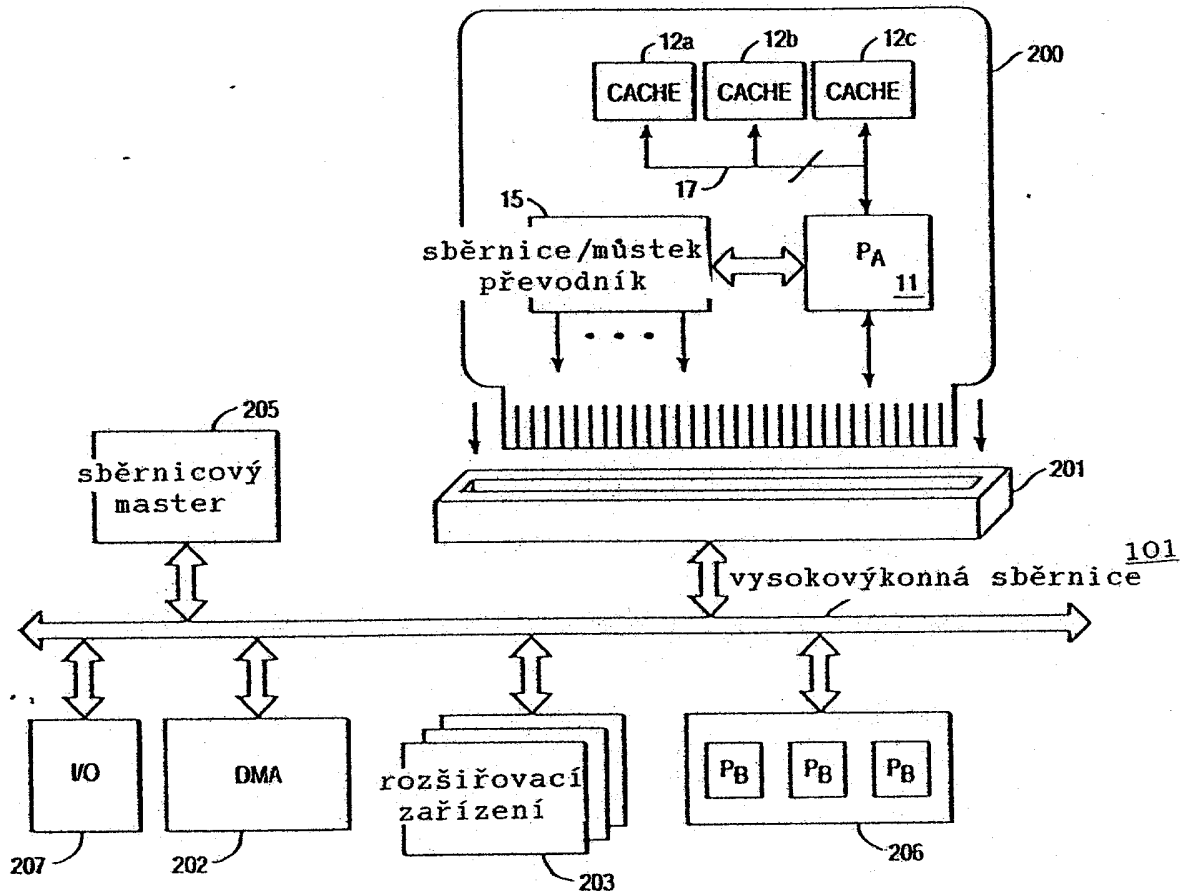
obr. 1

15.10.97

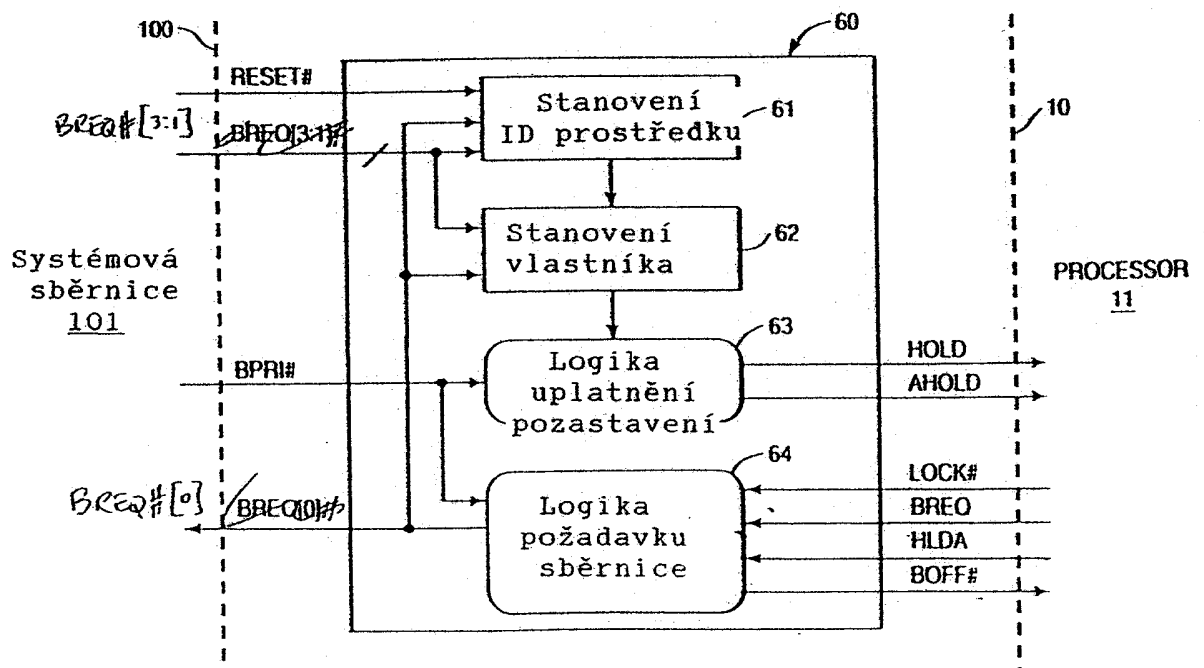


obr. 2

15.10.97



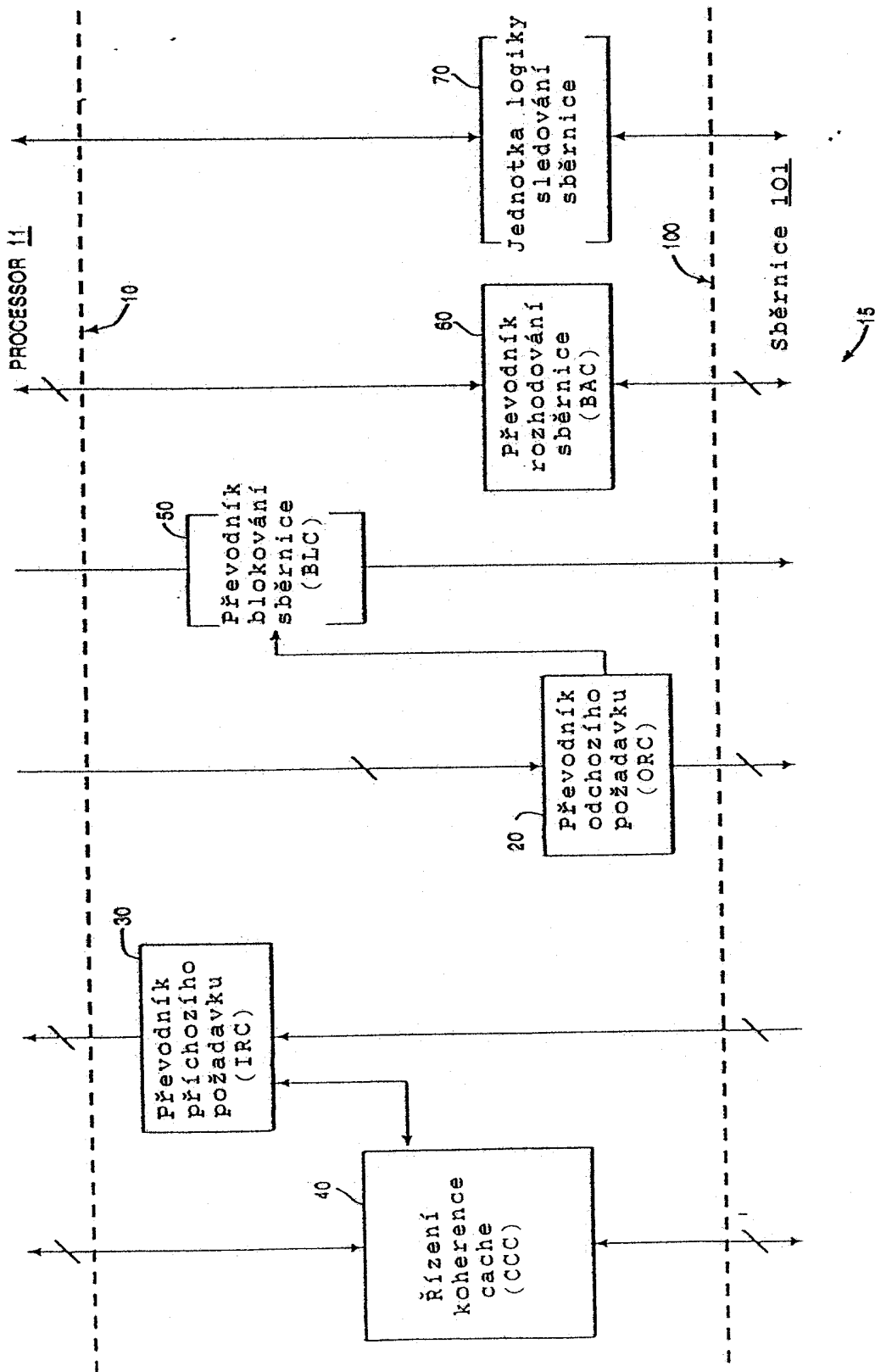
obr. 3



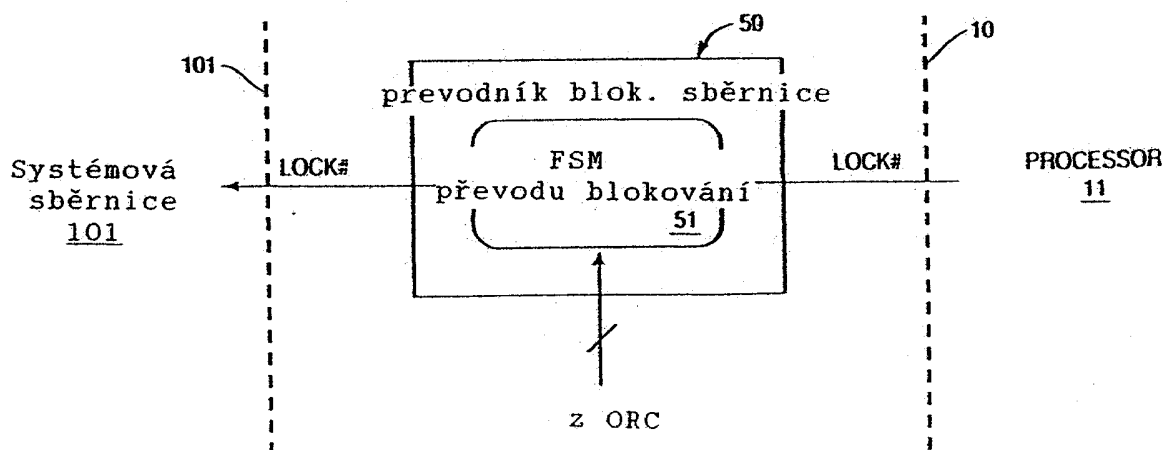
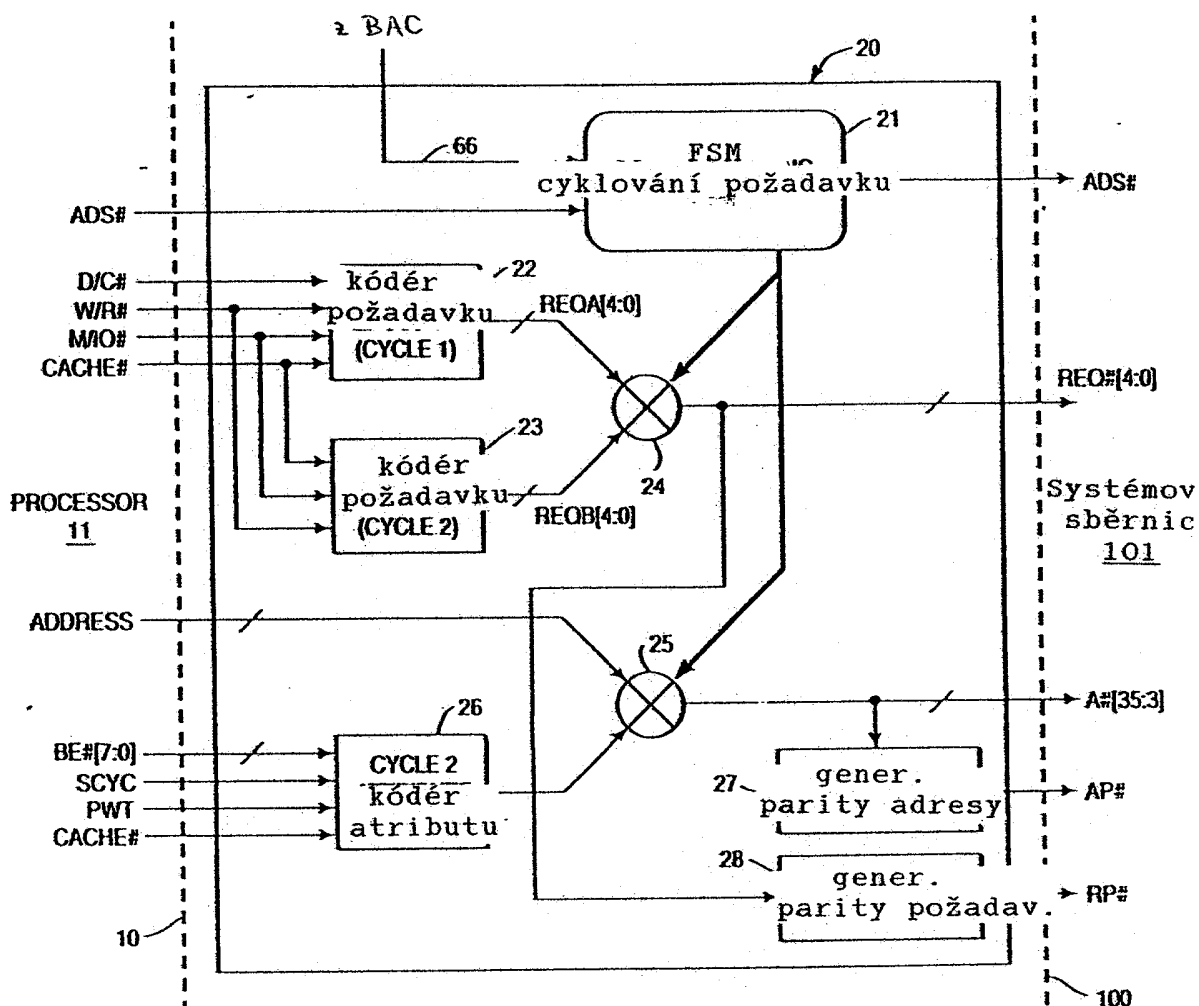
obr. 5

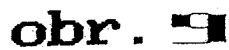
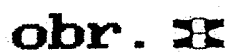
15.10.97

PV 2110-97

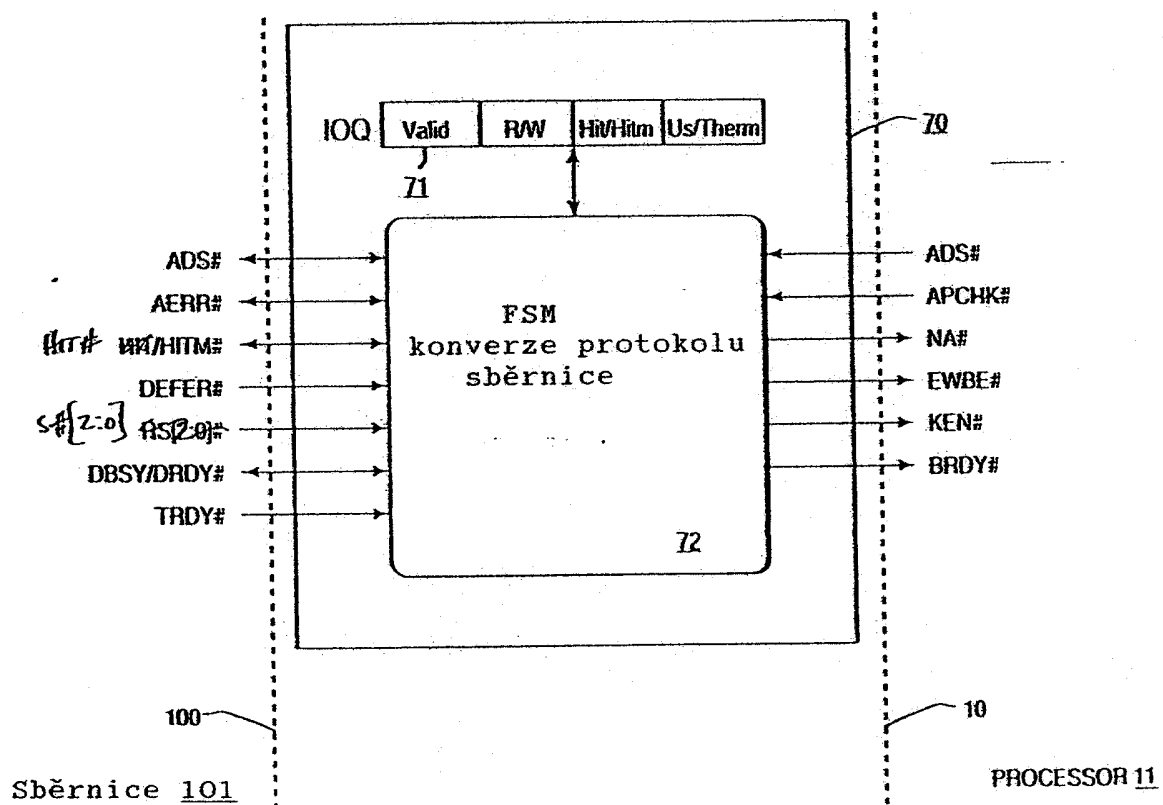


obr. 41





15.10.97



obr. 10