

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-114319

(P2012-114319A)

(43) 公開日 平成24年6月14日(2012.6.14)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/66 (2006.01)	H O 1 L 21/66	E 4 M 1 0 6
H O 1 L 21/3205 (2006.01)	H O 1 L 21/88	J 5 F 0 3 3
H O 1 L 23/522 (2006.01)		
H O 1 L 21/768 (2006.01)		

審査請求 未請求 請求項の数 21 O L (全 23 頁)

(21) 出願番号	特願2010-263253 (P2010-263253)	(71) 出願人	000002369
(22) 出願日	平成22年11月26日 (2010.11.26)		セイコーエプソン株式会社
			東京都新宿区西新宿2丁目4番1号
		(74) 代理人	100095728
			弁理士 上柳 雅誉
		(74) 代理人	100107261
			弁理士 須澤 修
		(74) 代理人	100127661
			弁理士 宮坂 一彦
		(72) 発明者	依田 剛
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		Fターム(参考)	4M106 AA01 AA02 AD01 AD02 AD09 AD10 AD23
		最終頁に続く	

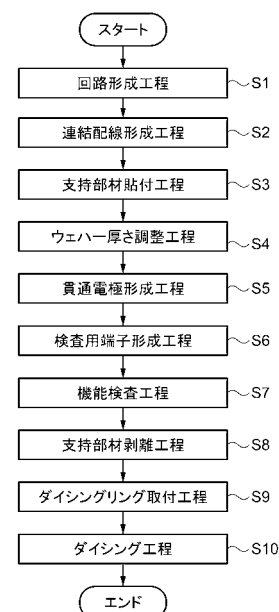
(54) 【発明の名称】 マザー基板、電子部品の検査方法、電子部品、及び電子部品の製造方法、並びに電子機器

(57) 【要約】

【課題】電子部品の貫通電極において、基板の両面から貫通電極に接触することが必要であることに起因して高度な検査技術が必要である貫通電極の検査を容易にすることができる、マザー基板、電子部品の検査方法、電子部品、及び電子部品の製造方法、並びに電子機器を提供する。

【解決手段】電子部品の製造方法は、マザー基板に区画形成された電子部品の製造方法であって、基板の第1面における複数の区画領域に回路を形成する回路形成工程と、区画領域にて、第1面と第1面の反対面である第2面とを電氣的に接続する貫通電極を形成する貫通電極形成工程と、互いに異なる区画領域に位置する貫通電極を第1面にて連結配線で電氣的に接続する連結配線形成工程と、第2面にて、連結配線形成工程で電氣的に接続された複数の貫通電極に検査プローブを電氣的に接続させることによって、貫通電極の機能を検査する機能検査工程と、を有する。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

回路を備える区画領域を第 1 面に複数有する基板と、
前記区画領域に位置し、前記第 1 面と前記第 1 面の反対面である第 2 面とを電氣的に接続する貫通電極と、

互いに異なる前記区画領域に位置する前記貫通電極を前記第 1 面にて電氣的に接続している連結配線と、を備えることを特徴とするマザー基板。

【請求項 2】

前記貫通電極に接続している検査用端子を前記第 2 面に備えることを特徴とする請求項 1 に記載のマザー基板。

10

【請求項 3】

前記基板は、除去が可能な除去領域を有し、

前記連結配線の一部は前記除去領域に位置することを特徴とする請求項 1 または 2 に記載のマザー基板。

【請求項 4】

前記除去領域は前記マザー基板を前記区画領域毎に分割する際のダイシングラインであることを特徴とする請求項 3 に記載のマザー基板。

【請求項 5】

前記連結配線は 3 つ以上の前記貫通電極と接続されていることを特徴とする請求項 4 に記載のマザー基板。

20

【請求項 6】

マザー基板に複数の電子部品が区画形成され、回路が形成された第 1 面と前記第 1 面の反対面である第 2 面とを電氣的に接続する貫通電極を備える電子部品の検査方法であって、

互いに異なる前記電子部品に位置する前記貫通電極を電氣的に接続する連結配線を前記第 1 面に形成する連結配線形成工程と、

前記第 2 面にて、前記連結配線形成工程で電氣的に接続された複数の前記貫通電極に検査プローブを接触させて前記貫通電極の機能を検査する機能検査工程と、を有することを特徴とする電子部品の検査方法。

【請求項 7】

30

前記貫通電極に接続する検査用端子を前記第 2 面に形成する検査用端子形成工程を有し、

前記機能検査工程においては、前記検査用端子に前記検査プローブを接触させることを特徴とする請求項 6 に記載の電子部品の検査方法。

【請求項 8】

前記第 1 面に支持部材を貼りつける支持部材貼付工程を有し、

前記支持部材貼付工程を、前記機能検査工程に先立って実施することを特徴とする請求項 6 または 7 に記載の電子部品の検査方法。

【請求項 9】

前記機能検査工程では、前記連結配線形成工程で電氣的に接続された複数の前記貫通電極と前記連結配線との電気抵抗及び静電容量を考慮した検査プログラムを用いることを特徴とする請求項 6 ～ 8 のいずれか一項に記載の電子部品の検査方法。

40

【請求項 10】

前記検査プログラムでは、検査結果の判定基準値または検査時に印加する印加電圧値の少なくとも一方の値が、前記連結配線形成工程で電氣的に接続された複数の前記貫通電極と前記連結配線との電気抵抗及び静電容量を考慮した値であることを特徴とする請求項 9 に記載の電子部品の検査方法。

【請求項 11】

第 1 面に回路素子及び回路配線を備える基板と、

前記回路素子及び前記回路配線の少なくとも一部に電氣的に接続しており、前記第 1 面

50

と前記第 1 面の反対面である第 2 面とを電氣的に接続している貫通電極と、
前記第 1 面にて前記貫通電極と電氣的に接続する連結配線と、を有し、
前記連結配線が前記基板側面に露出していることを特徴とする電子部品。

【請求項 1 2】

前記貫通電極に接続する検査用端子を前記第 2 面に備えることを特徴とする請求項 1 1
に記載の電子部品。

【請求項 1 3】

マザー基板に区画形成された電子部品の製造方法であって、
基板の第 1 面における複数の区画領域に回路を形成する回路形成工程と、
前記区画領域にて、前記第 1 面と前記第 1 面の反対面である第 2 面とを電氣的に接続す
る貫通電極を形成する貫通電極形成工程と、

10

互いに異なる前記区画領域に位置する前記貫通電極を前記第 1 面にて連結配線で電氣的
に接続する連結配線形成工程と、

前記第 2 面にて、前記連結配線で電氣的に接続された複数の前記貫通電極に検査プロ
ブを電氣的に接続させることによって、前記貫通電極の機能を検査する機能検査工程と、
を有することを特徴とする電子部品の製造方法。

【請求項 1 4】

前記貫通電極に接続する検査用端子を前記第 2 面に形成する検査用端子形成工程を有し
、

前記機能検査工程においては、前記検査用端子に前記検査プローブを接触させることを
特徴とする請求項 1 3 に記載の電子部品の製造方法。

20

【請求項 1 5】

前記機能検査工程の後に、前記連結配線の結線部を除去する配線結線部除去工程を有す
ることを特徴とする請求項 1 3 または 1 4 に記載の電子部品の製造方法。

【請求項 1 6】

前記連結配線の結線部を、前記マザー基板における除去が可能な除去領域に形成するこ
とを特徴とする請求項 1 3 ～ 1 5 のいずれか一項に記載の電子部品の製造方法。

【請求項 1 7】

前記除去領域は、前記マザー基板を個別の前記電子部品に分割する際のダイシングライ
ンであることを特徴とする請求項 1 6 に記載の電子部品の製造方法。

30

【請求項 1 8】

前記第 1 面に支持部材を貼りつける支持部材貼付工程を有し、
前記支持部材貼付工程を、前記機能検査工程に先立って実施することを特徴とする請求
項 1 3 ～ 1 7 のいずれか一項に記載の電子部品の製造方法。

【請求項 1 9】

前記機能検査工程では、前記連結配線形成工程で電氣的に接続された複数の前記貫通電
極と前記連結配線との電気抵抗及び静電容量を考慮した検査プログラムを用いることを特
徴とする請求項 1 3 ～ 1 8 のいずれか一項に記載の電子部品の製造方法。

【請求項 2 0】

前記検査プログラムでは、検査結果の判定基準値または検査時に印加する印加電圧値の
少なくとも一方の値が、前記連結配線形成工程で電氣的に接続された複数の前記貫通電極
と前記連結配線との電気抵抗及び静電容量を考慮した値であることを特徴とする請求項 1
9 に記載の電子部品の製造方法。

40

【請求項 2 1】

請求項 1 1 または 1 2 に記載の電子部品、請求項 6 ～ 1 0 のいずれか一項に記載の電子
部品の検査方法を用いて検査した電子部品、請求項 1 ～ 5 のいずれか一項に記載のマザー
基板を分割して形成された電子部品及び請求項 1 3 ～ 2 0 のいずれか一項に記載の電子部
品の製造方法を用いて製造した電子部品のうち少なくとも一つを備えることを特徴とする
電子機器。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、マザー基板、電子部品の検査方法、電子部品、及び電子部品の製造方法、並びに電子機器にかかわり、特に、貫通電極を備える電子部品の検査に関する。

【背景技術】

【0002】

近年、携帯電話機やノート型パーソナルコンピューター等の電子機器は、携帯性のさらなる向上を求められており、小型、軽量化が要求されている。この要求に応えるために、電子機器が備える各種の電子部品の小型化が図られている。高密度の実装を実現するために、基板の表裏を電氣的に接続する貫通電極を形成した電子部品が用いられている。電子部品には多数の精密な回路素子や配線が形成されている。そして、総ての回路素子や配線が適切に形成されたことにより、所定の機能を実現することができていることを検査する機能検査が実施される。貫通電極についても所定の機能を実現することができるように適切に形成されているかの検査が実施される。

10

【0003】

電子部品は検査プローブを用いて検査が行われる。半導体装置の検査プローブが特許文献1に開示されている。これによると、検査プローブは樹脂製の蒲鉾状の突起を備え、突起上に金属からなる端子が形成されている。端子は狭いピッチ間隔にて形成されている。これにより高精細な半導体装置にも対応可能な検査プローブとなっている。

20

【0004】

貫通配線のある電子部品に検査プローブをあてても配線の断線を抑制する方法が特許文献2に開示されている。これによると、貫通配線と電氣的に接触させるための導電部を覆い、一部を露出させる第二絶縁部を設けている。これにより、プローバテストによって導電部にプローバ針跡が発生するときにも、断線や接触不良の発生を抑制している。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2006-322876号公報

【特許文献2】特開2007-288150号公報

【発明の概要】

30

【発明が解決しようとする課題】

【0006】

電子部品の機能検査と貫通電極の機能検査とを実施するためには、それぞれ個別の検査工程を実施する必要がある。貫通電極の検査は、基板の表面側及び裏面側の両面から貫通電極に接触することが必要である。このとき、基板の両面に検査プローブを設置し、検査プローブを電極に接触させる機構が必要となる。従って、複雑な検査装置や高度な検査技術が必要となり、検査時間が増大することがあった。そこで、簡易に貫通電極の検査が行える方法が望まれていた。

【課題を解決するための手段】

【0007】

40

本発明は、上記課題の少なくとも一部を解決するためになされたものであり、以下の形態または適用例として実現することが可能である。

【0008】

〔適用例1〕

本適用例にかかるマザー基板は、回路を備える区画領域を第1面に複数有する基板と、前記区画領域に位置し、前記第1面と前記第1面の反対面である第2面とを電氣的に接続する貫通電極と、互いに異なる前記区画領域に位置する前記貫通電極を前記第1面にて電氣的に接続する連結配線と、を備えることを特徴とする。

【0009】

本適用例にかかるマザー基板によれば、回路を備える区画領域の第1面とその反対側で

50

ある第2面とを貫通電極が電氣的に接続している。マザー基板は区画領域を複数有し、各区画領域に貫通電極が位置している。そして、互いに異なる区画領域に位置する貫通電極同士が第1面にて連結配線とで電氣的に接続している。この電氣的に接続された一対の貫通電極を第2面側から接触して導通検査することにより各貫通電極の導通性を検査することができる。従って、第1面と第2面との両面から接触して導通検査するとき比べて、簡易に貫通電極の検査を行うことができる。

【0010】

〔適用例2〕

上記適用例にかかるマザー基板は、前記貫通電極に接続している検査用端子を前記第2面に備えることが好ましい。

10

【0011】

このマザー基板によれば、第2面には貫通電極に接続する検査用端子が形成されている。これにより、検査プローブを検査用端子に接触させることができる。そして、貫通電極が検査プローブと比べて小さく検査プローブ等を貫通電極に接触させることが難しいときにも、容易且つ確実に、検査プローブと貫通電極とを接続させることができる。従って、検査用端子は検査プローブ等のように機器の接続用端子として容易且つ確実に接続することができる。

【0012】

〔適用例3〕

上記適用例にかかるマザー基板では、前記基板は、除去が可能な除去領域を有し、前記連結配線の一部は除去領域に位置することが好ましい。

20

【0013】

このマザー基板によれば、第1面にて複数の貫通電極を電氣的に接続する連結配線の一部がマザー基板における除去領域に形成されている。除去領域は、マザー基板が個別の電子部品に分割される際に、マザー基板から除去される部分である。連結配線の一部が除去領域に形成されているため、除去領域を除去することで連結配線が分断される。そして、隣り合う電子部品同士の連結配線による電氣的導通が遮断される。これにより、完成後の電子部品においては連結配線によって接続された貫通電極同士が完全に分離される。従って、機能検査工程において使用される使用目的以外に連結配線が機能することで不具合が発生することを防止することができる。

30

【0014】

〔適用例4〕

上記適用例にかかるマザー基板において、前記除去領域は前記マザー基板を前記区画領域毎に分割する際のダイシングラインであることが好ましい。

【0015】

このマザー基板によれば、連結配線の一部は、マザー基板におけるダイシングラインに形成されている。ダイシングラインは、マザー基板が個別の電子部品に分割される際に、ダイシング用のブレードによって削り取られる部分である。連結配線の一部をダイシングラインに形成することで、マザー基板を個別の電子部品に分割する際に、確実に連結配線を切断することができる。

40

【0016】

〔適用例5〕

上記適用例にかかるマザー基板において、前記連結配線は3つ以上の前記貫通電極と接続されていることが好ましい。

【0017】

このマザー基板によれば、3つ以上の貫通電極が連結配線によって電氣的に接続されている。2つの貫通電極間の検査を行った結果が導通不良となることがある。このとき、他の貫通電極と導通不良の疑いのある貫通電極との間で導通検査を行う。これにより、導通不良の疑いのある貫通電極のうちどちらの貫通電極が導通不良であるかを検出することができる。

50

【0018】

〔適用例6〕

本適用例にかかる電子部品の検査方法は、マザー基板に複数の電子部品が区画形成され、回路が形成された第1面と前記第1面の反対側である第2面とを電氣的に接続する貫通電極を備える電子部品の検査方法であって、互いに異なる前記電子部品に位置する前記貫通電極を電氣的に接続する連結配線を前記第1面に形成する連結配線形成工程と、前記第2面にて、前記連結配線形成工程で電氣的に接続された複数の前記貫通電極に検査プローブを接触させて前記貫通電極の機能を検査する機能検査工程と、を有することを特徴とする。

【0019】

本適用例にかかる電子部品の検査方法によれば、マザー基板は回路を備える第1面とその反対側である第2面とを電氣的に接続する貫通電極を備えている。連結配線形成工程では複数の電子部品に位置する貫通電極を電氣的に接続する連結配線を第1面に形成している。これにより、複数の貫通電極が、第1面にて連結配線とで電氣的に接続される。機能検査工程では連結配線によって電氣的に接続された複数の貫通電極に第2面にて検査プローブを接触させて貫通電極の機能を検査している。従って、貫通電極の導通性を第1面及び第2面から検査プローブを接触させて検査するときに比べて簡易に貫通電極の導通性を検査することができる。

【0020】

〔適用例7〕

上記適用例にかかる電子部品の検査方法は、前記貫通電極に接続する検査用端子を前記第2面に形成する検査用端子形成工程を有し、前記機能検査工程においては、前記検査用端子に前記検査プローブを接触させることが好ましい。

【0021】

この電子部品の検査方法によれば、ある区画領域に位置する貫通電極と別の区画領域に位置する貫通電極とを接続する検査用端子が、回路を備える区画領域の第1面の反対側である第2面に形成されている。これにより、機能検査工程においては、検査プローブ等を検査用端子に接触させることで、検査プローブ等を貫通電極に直接接触させる場合に比べて、容易且つ確実に、検査プローブ等の貫通電極への接続を実施することができる。

【0022】

〔適用例8〕

上記適用例にかかる電子部品の検査方法は、前記第1面に支持部材を貼りつける支持部材貼付工程を有し、前記支持部材貼付工程を、前記機能検査工程に先立って実施することが好ましい。

【0023】

この電子部品の検査方法によれば、支持部材貼付工程において回路形成面に支持部材を貼りつけている。これにより、マザー基板を補強することができる。支持部材貼付工程を機能検査工程に先立って実施している。その結果、機能検査工程においてマザー基板が取り扱われることにより電子部品が損なわれることを抑制することができる。

【0024】

〔適用例9〕

上記適用例にかかる電子部品の検査方法は、前記機能検査工程では、前記連結配線形成工程で電氣的に接続された複数の前記貫通電極と前記連結配線との電気抵抗及び静電容量を考慮した検査プログラムを用いることが好ましい。

【0025】

この電子部品の検査方法によれば、機能検査工程ではある区画領域の貫通電極と別の区画領域に位置する貫通電極と連結配線との電気抵抗及び静電容量を考慮した検査プログラムが使用される。貫通電極と第1面にて貫通電極同士を電氣的に接続している連結配線は、導体であるが微小な電気抵抗を有している。また、電子部品の母材が導体または半導体の場合は、電子部品に対して絶縁膜を介して形成されることで微少な静電容量を有してい

10

20

30

40

50

る。本適用例ではこれらの微少な電気抵抗や静電容量を考慮した検査プログラムを用いている。これにより、異なる区画領域に位置する貫通電極と第1面にて貫通電極同士を電氣的に接続する連結配線とを介することによる検査結果への影響を抑制して機能検査を実施している。従って、微少な電気抵抗や静電容量を考慮しない検査プログラムを用いる場合に比べて、より正確な機能検査を実施することができる。

【0026】

〔適用例10〕

上記適用例にかかる電子部品の検査方法は、前記検査プログラムでは、検査結果の判定基準値または検査時に印加する印加電圧値の少なくとも一方の値が、前記連結配線形成工程で電氣的に接続された複数の前記貫通電極と前記連結配線との電気抵抗及び静電容量を考慮した値であることが好ましい。

10

【0027】

この電子部品の検査方法によれば、ある区画領域の貫通電極と別の区画領域に位置する貫通電極と第1面にて貫通電極同士を電氣的に接続する連結配線とに電圧を印加して検査している。このときの検査結果の判定基準値は、貫通電極と第1面にて貫通電極同士を電氣的に接続している連結配線との電気抵抗及び静電容量を考慮した判定基準値としている。もしくは、検査時に印加する印加電圧値は貫通電極と第1面にて貫通電極同士を電氣的に接続している連結配線との電気抵抗及び静電容量を考慮した印加電圧値を用いている。従って、判定基準値を貫通電極と連結配線との電気抵抗及び静電容量に配慮した値にすることで、正確な検査結果の判定を実施することができる。

20

【0028】

〔適用例11〕

本適用例にかかる電子部品は、第1面に回路素子及び回路配線を備える基板と、前記回路素子及び前記回路配線の少なくとも一部に電氣的に接続しており、前記第1面と前記第1面の反対面である第2面とを電氣的に接続している貫通電極と、前記第1面にて前記貫通電極と電氣的に接続する連結配線と、を有し、前記連結配線が前記基板側面に露出していることを特徴とする。

【0029】

本適用例にかかる電子部品によれば、区画領域の第1面とその反対側である第2面とを電氣的に接続している貫通電極と電氣的に接続する連結配線の一部が、第1面の基板側面に露出している。従って、一对の電子部品を接続して配置した状態では各電子部品の連結配線が接続された状態にすることができる。この状態では、一对の貫通電極が連結配線にて電氣的に接続されている。そして、一对の電子部品を切断する前に第2面から2つの貫通電極に通電して貫通電極の導通検査を行うことができる。従って、基板の両面から貫通電極に電氣的に接続して検査をするときに比べて簡易に検査を行うことができる。

30

【0030】

〔適用例12〕

上記適用例にかかる電子部品は、前記貫通電極に接続する検査用端子を前記第2面に備えることを特徴とする。

【0031】

この電子部品によれば、貫通電極に接続する検査用端子が区画領域を有する第1面の反対側である第2面に形成されている。これにより、検査プローブ等を検査用端子に接触させることで、検査プローブ等を貫通電極に基板の両面から直接接触させる場合に比べて、容易且つ確実に、検査プローブ等を貫通電極に接続させることができる。従って、検査用端子は検査プローブ等のように機器の接続用端子として容易且つ確実に接続することができる。

40

【0032】

〔適用例13〕

本適用例にかかる電子部品の製造方法は、マザー基板に区画形成された電子部品の製造方法であって、基板の第1面における複数の区画領域に回路を形成する回路形成工程と、

50

前記区画領域にて、前記第1面と前記第1面の反対面である第2面とを電氣的に接続する貫通電極を形成する貫通電極形成工程と、互いに異なる前記区画領域に位置する前記貫通電極を前記第1面にて連結配線で電氣的に接続する連結配線形成工程と、前記第2面にて、前記連結配線で電氣的に接続された複数の前記貫通電極に検査プローブを電氣的に接続させることによって、前記貫通電極の機能を検査する機能検査工程と、を有することを特徴とする。

【0033】

本適用例にかかる電子部品の製造方法によれば、回路形成工程及び貫通電極形成工程及び連結配線形成工程が行われる。これらの工程において、回路を備える区画領域の第1面とその反対側である第2面とを電氣的に接続している貫通電極が形成される。そして、互いに異なる区画領域に位置する貫通電極が、第1面にて連結配線により電氣的に接続される。これにより、機能検査工程においては第2面側から区画領域に位置する貫通電極と互いに異なる区画領域に位置する貫通電極とに検査プローブを接触させることにより貫通電極の導通性を検査することができる。従って、基板の両面から貫通電極に電氣的に接続して検査をするときに比べて簡易に検査を行うことができる。

【0034】

[適用例14]

上記適用例にかかる電子部品の製造方法は、前記貫通電極に接続する検査用端子を前記第2面に形成する検査用端子形成工程を有し、前記機能検査工程においては、前記検査用端子に前記検査プローブを接触させることが好ましい。

【0035】

この電子部品の製造方法によれば、検査用端子形成工程において、ある区画領域の貫通電極と別の区画領域に位置する貫通電極とを接続する検査用端子が第2面に形成されている。これにより、機能検査工程においては検査プローブ等を検査用端子に接触させることで、検査プローブ等を貫通電極に直接接触させる場合に比べて、容易且つ確実に、検査プローブ等の貫通電極への接続を実施することができる。従って、検査用端子は検査プローブ等のように機器の接続用端子として容易且つ確実に接続することができる。

【0036】

[適用例15]

上記適用例にかかる電子部品の製造方法は、前記機能検査工程の後に、前記連結配線の結線部を除去する配線結線部除去工程を有することが好ましい。

【0037】

この電子部品の製造方法によれば、機能検査工程の後に配線結線部除去工程が実施される。配線結線部除去工程においてある区画領域の貫通電極と別の区画領域に位置する貫通電極とを電氣的に接続する連結配線が除去される。機能検査工程において使用される連結配線を機能検査工程の後で削除することにより、連結配線が使用目的以外に機能することで不具合が発生することを抑制することができる。

【0038】

[適用例16]

上記適用例にかかる電子部品の製造方法は、前記連結配線の結線部を、前記マザー基板における除去が可能な除去領域に形成することが好ましい。

【0039】

この電子部品の製造方法によれば、第1面にて複数の貫通電極を電氣的に接続する連結配線の一部がマザー基板における除去領域に形成されている。除去領域は、マザー基板が個別の電子部品に分割される際にマザー基板から除去される部分である。連結配線の一部が除去領域に形成されているため、除去領域を除去することで連結配線が分断される。そして、隣り合う電子部品同士の連結配線による電氣的導通が遮断される。これにより、完成後の電子部品においては連結配線によって接続された貫通電極同士が完全に分離される。従って、機能検査工程において使用される使用目的以外に連結配線が機能することで不具合が発生することを防止することができる。

【0040】

〔適用例17〕

上記適用例にかかる電子部品の製造方法では、前記除去領域は、前記マザー基板を個別の前記電子部品に分割する際のダイシングラインであることが好ましい。

【0041】

この電子部品の製造方法によれば、連結配線の一部はマザー基板におけるダイシングラインに形成されている。ダイシングラインは、マザー基板が個別の電子部品に分割される際に、ダイシング用のブレードによって削り取られる部分である。つまり、ダイシングラインは除去領域となっている。連結配線の一部をダイシングラインに形成することで、マザー基板を個別の電子部品に分割する際に、確実に連結配線を切断することができる。

10

【0042】

〔適用例18〕

上記適用例にかかる電子部品の製造方法は、前記第1面に支持部材を貼りつける支持部材貼付工程を有し、前記支持部材貼付工程を、前記機能検査工程に先立って実施することが好ましい。

【0043】

この電子部品の製造方法によれば、支持部材貼付工程において、回路形成面に支持部材を貼りつけている。これにより、マザー基板を補強することができる。支持部材貼付工程を、機能検査工程に先立って実施することで、機能検査工程においてマザー基板が取り扱われるときに電子部品が損なわれることを抑制することができる。

20

【0044】

〔適用例19〕

上記適用例にかかる電子部品の製造方法は、前記機能検査工程では、前記連結配線形成工程で電氣的に接続された複数の前記貫通電極と前記連結配線との電気抵抗及び静電容量を考慮した検査プログラムを用いることが好ましい。

【0045】

この電子部品の製造方法によれば、機能検査工程では、ある区画領域の貫通電極と別の区画領域に位置する貫通電極と連結配線との電気抵抗及び静電容量を考慮した検査プログラムが使用される。貫通電極と第1面にて貫通電極同士を電氣的に接続している連結配線とは、導体であるが微小な電気抵抗を有している。また、電子部品の母材が導体または半導体の場合は、電子部品に対して絶縁膜を介して形成されることで微少な静電容量を有している。本適用例ではこれらの微少な電気抵抗や静電容量を考慮した検査プログラムを用いている。これにより、異なる区画領域に位置する貫通電極と第1面にて貫通電極同士を電氣的に接続する連結配線とを介することによる検査結果への影響を抑制して機能検査を実施している。従って、微少な電気抵抗や静電容量を考慮しない検査プログラムを用いる場合に比べて、より正確な機能検査を実施することができる。

30

【0046】

〔適用例20〕

上記適用例にかかる電子部品の製造方法は、前記検査プログラムでは、検査結果の判定基準値または検査時に印加する印加電圧値の少なくとも一方の値が、前記連結配線形成工程で電氣的に接続された複数の前記貫通電極と前記連結配線との電気抵抗及び静電容量を考慮した値であることが好ましい。

40

【0047】

この電子部品の製造方法によれば、ある区画領域の貫通電極と別の区画領域に位置する貫通電極と第1面にて貫通電極同士を電氣的に接続する連結配線とに電圧を印加して検査している。このときの検査結果の判定基準値は、貫通電極と第1面にて貫通電極同士を電氣的に接続している連結配線との電気抵抗及び静電容量を考慮した判定基準値としている。もしくは、検査時に印加する印加電圧値は貫通電極と第1面にて貫通電極同士を電氣的に接続している連結配線との電気抵抗及び静電容量を考慮した電圧値としている。従って、判定基準値を貫通電極と連結配線との電気抵抗及び静電容量に配慮した値にすることで

50

、正確な検査結果の判定を実施することができる。

【0048】

〔適用例21〕

本適用例にかかる電子機器は、上記した電子部品、上記した電子部品の検査方法を用いて検査した電子部品、上記したマザー基板を分割して形成された電子部品及び上記した電子部品の製造方法を用いて製造した電子部品のうち少なくとも一つを備えることを特徴とする。

【0049】

この電子機器によれば、電子機器が備える電子部品は、効率良く好適な機能検査を実施することができる、電子部品、電子部品の検査方法を用いて検査した電子部品、マザー基板を分割して形成された電子部品、または電子部品の製造方法を用いて製造した電子部品、を備える。これらの電子部品の貫通電極は簡易且つ適切に検査されている。これにより、好適に検査されて所定の機能が保証された電子部品を電子機器が備えることで、所定の機能を確実に実現できる電子部品を備えた電子機器を実現することができる。

【図面の簡単な説明】

【0050】

【図1】第1の実施形態にかかわり、(a)は、半導体装置の構成を示す概略斜視図、(b)は、半導体装置マザー基板の概要を示す模式平面図。

【図2】(a)は、貫通電極及び第2貫通電極を示す要部模式断面図、(b)及び(c)は、貫通電極及び第2貫通電極を示す要部模式平面図。

【図3】検査用貫通電極の配置位置を説明するための模式平面図。

【図4】半導体装置の製造方法のフローチャート。

【図5】半導体装置の製造方法を説明するための模式図。

【図6】半導体装置の製造方法を説明するための模式図。

【図7】半導体装置の製造方法を説明するための模式図。

【図8】第2の実施形態にかかわり、検査用貫通電極の配置位置を説明するための模式平面図。

【図9】第3の実施形態にかかわり、(a)は、携帯電話の一例を示した斜視図、(b)は、ワードプロセッサ、パーソナルコンピュータ等の携帯型情報処理装置の一例を示した斜視図、(c)は、腕時計型電子機器の一例を示した斜視図、(d)は、情報機器の一例である液晶テレビを示す外観斜視図。

【発明を実施するための形態】

【0051】

以下、本発明を具体化した実施形態について図面に従って説明する。尚、各図面における各部材は、各図面上で認識可能な程度の大きさとするため、各部材毎に縮尺を異ならせて図示している。

【0052】

(第1の実施形態)

本実施形態では、特徴的な半導体装置とこの半導体装置が複数配置されたマザー基板、半導体装置の検査方法及び製造方法並びに電子機器の例について図1～図7に従って説明する。

【0053】

(電子部品)

図1(a)は半導体装置の構成を示す概略斜視図である。図1(a)に示すように、電子部品としての半導体装置10は方形の基板5を備えている。基板5は半導体素子を形成可能な基板であり、本実施形態では例えば、シリコン基板を採用している。基板5の一面には回路素子が配置されている。回路素子が配置されている領域を回路領域6とする。回路領域6は半導体装置10の中央に位置している。基板5において回路領域6が形成された面を第1面5aとし、第1面5aの反対面を第2面5bとする。

【0054】

基板 5 の回路領域 6 と外周 5 c との間にはパッド電極 1 4 が設置されている。パッド電極 1 4 の位置する場所では第 1 面 5 a と第 2 面 5 b とを電氣的に接続する貫通電極 1 2 が配置されている。パッド電極 1 4 と回路領域 6 との間には回路配線 1 6 が配置され、回路領域 6 とパッド電極 1 4 とが電氣的に接続されている。さらに、パッド電極 1 4 と外周 5 c との間には連結配線としての回路配線結線部 1 6 a が設置されている。回路配線結線部 1 6 a は基板側面に露出している。

【0055】

パッド電極 1 4、回路配線 1 6、回路配線結線部 1 6 a は半導体装置 1 0 の各辺に対応して 4 つ配置されているが、この個数は特に限定されない。回路構成にあわせて所定の個数のパッド電極 1 4 等を設置して良い。

【0056】

(半導体装置マザー基板)

次に、マザー基板としての半導体装置マザー基板 1 について説明する。図 1 (b) は、半導体装置マザー基板の概要を示す模式平面図である。図 1 (b) に示すように、半導体装置マザー基板 1 は、基板としての半導体基板 3 に半導体装置 1 0 が区画形成されている。そして、各半導体装置 1 0 を区画領域とする。半導体基板 3 は分割される前の基板 5 に相当する。半導体装置 1 0 は、二点鎖線で示したダイシングライン 1 1 に囲まれた略方形の領域に半導体装置 1 0 を構成する回路素子や回路配線等が形成されている。回路素子や回路配線等が設置された半導体装置マザー基板 1 をダイシングライン 1 1 において分割することで、半導体装置 1 0 が形成される。

【0057】

半導体基板 3 を効率的に利用するためには、ダイシングライン 1 1 の幅は狭いことが好ましい。このため、ダイシングライン 1 1 の幅は略ダイシングブレードの切り込み幅に設定する。半導体装置マザー基板 1 をダイシングライン 1 1 において分割するときはダイシングライン 1 1 の部分が研削されて削除される。ダイシングライン 1 1 が除去領域に相当する。これにより、半導体装置 1 0 及び周縁部 4 が分離される。周縁部 4 は半導体装置マザー基板 1 の外縁に位置し、回路素子が設置されていない場所である。

【0058】

(検査用貫通電極)

次に、貫通電極及び第 2 貫通電極の構成について説明する。第 2 貫通電極は検査用の貫通電極である。図 2 (a) は、貫通電極及び第 2 貫通電極を示す要部模式断面図である。図 2 (b) は、貫通電極及び第 2 貫通電極を示す要部模式平面図であり、第 1 面側から見た図である。図 2 (c) は貫通電極及び第 2 貫通電極を示す要部模式平面図であり、第 2 面側から見た図である。

【0059】

図 2 に示すように、半導体基板 3 の一方の面を回路形成面 3 a と表記し、もう一方の面を裏面 3 b と表記する。回路形成面 3 a は半導体装置 1 0 の第 1 面 5 a に相当し、裏面 3 b は半導体装置 1 0 の第 2 面 5 b に相当する。半導体基板 3 には回路形成面 3 a から裏面 3 b に貫通する第 2 貫通電極孔 2 0 a 及び貫通電極孔 1 2 a が設置されている。第 2 貫通電極孔 2 0 a は検査用の貫通電極が形成されるための孔である。第 2 貫通電極孔 2 0 a 及び貫通電極孔 1 2 a の両端は、回路形成面 3 a 及び裏面 3 b に開口している。

【0060】

半導体基板 3 の回路形成面 3 a、裏面 3 b、第 2 貫通電極孔 2 0 a の内壁面及び貫通電極孔 1 2 a の内壁面には、それぞれの面を覆う下地層 1 8 が形成されている。第 2 貫通電極孔 2 0 a の内壁面または貫通電極孔 1 2 a の内壁面に形成された下地層 1 8 は、回路形成面 3 a と裏面 3 b とに形成された下地層 1 8 と第 2 貫通電極孔 2 0 a と貫通電極孔 1 2 a との開口端においてそれぞれ略連続している。下地層 1 8 は、例えばシリコン酸化物 (SiO_2) やシリコン窒化物 (Si_3N_4) 等の絶縁性材料からなっており、絶縁層として機能している。尚、下地層 1 8 の材料はこれらの材料に限定されず、さらに優れた絶縁層としての機能を有する樹脂膜を採用してもよい。

【0061】

第2貫通電極20は第2貫通電極孔20aに配設され、貫通電極12は貫通電極孔12aに配設されている。第2貫通電極20は検査用貫通電極として機能する電極である。回路形成面3aに配設された下地層18の上には、回路配線結線部16aが形成されている。回路配線結線部16aはパッド電極14と一体に形成されている。第2貫通電極20と貫通電極12とは回路配線結線部16aを介して電氣的に接続されている。第2貫通電極20及び貫通電極12は裏面3b側において検査用端子としての裏面端子31及び裏面端子30とそれぞれ電氣的に接続されている。

【0062】

回路形成面3aや下地層18の上には、例えばトランジスターやメモリー素子等を有する集積回路が回路領域6に形成されている。また、回路形成面3aに形成された下地層18の上には貫通電極12を覆ってパッド電極14が形成され、第2貫通電極20を覆ってパッド電極21が形成されている。従って、パッド電極14は貫通電極12と導通接触し、パッド電極21は第2貫通電極20と導通接触している。パッド電極14は下地層18の表面に形成された回路配線16と電氣的に接続されており、回路配線16を介して回路領域6の集積回路と電氣的に接続されている。同様に、パッド電極21も下地層18の上に形成された回路配線17と電氣的に接続されており、パッド電極21は回路配線17を介して回路領域6の集積回路と電氣的に接続されている。

【0063】

裏面3bに配設された裏面端子30は貫通電極12、パッド電極14及び回路配線16を介して集積回路と電氣的に接続されている。同様に、裏面端子31は第2貫通電極20、パッド電極21及び回路配線17を介して集積回路と電氣的に接続されている。裏面端子30は貫通電極12の断面積より広い面積を占めており、裏面端子31は第2貫通電極20の断面積より広い面積を占めている。従って、検査プローブを接触させて導通をとるとき裏面端子30や裏面端子31に接触させることにより、検査プローブが貫通電極12や第2貫通電極20に接触するより導通を取りやすくなっている。

【0064】

(第2貫通電極の配置位置)

次に、半導体装置マザー基板1における第2貫通電極20の配置位置について説明する。図3は、検査用貫通電極の配置位置を説明するための模式平面図である。図3に示すように、半導体装置マザー基板1では半導体基板3に半導体装置10が区画形成されている。半導体装置10の範囲を二点鎖線で示している。二点鎖線で囲まれた略方形の領域が、分割されて半導体装置10となる領域である。半導体装置10の間の領域はダイシングライン11である。半導体装置マザー基板1を半導体装置10に分割する際にはダイシングライン11の部分が研削されて削除されることにより半導体装置10が分離される。

【0065】

貫通電極12及びパッド電極14は半導体装置10となる領域に形成されており、第2貫通電極20及びパッド電極21はダイシングライン11の領域を挟んで隣に位置する半導体装置10に形成されている。回路配線結線部16aが1つの半導体装置10となる領域とダイシングライン11の領域を挟んで隣合う半導体装置10となる領域とに渡って配置されている。そして、回路配線結線部16aはパッド電極21とパッド電極14とを接続している。これにより第2貫通電極20と貫通電極12とが回路配線結線部16aにより接続される。尚、第2貫通電極20は、第2貫通電極20が位置する半導体装置10における貫通電極12として機能する。

【0066】

(半導体装置の製造方法)

次に、上述した半導体装置10の製造方法を通じて半導体装置10の検査方法について図4～図7にて説明する。図4は、半導体装置の製造方法のフローチャートであり、図5～図7は半導体装置の製造方法を説明するための模式図である。

【0067】

図4のフローチャートにおいて、ステップS1は回路形成工程に相当し、半導体基板に回路素子や回路配線を形成する工程である。次にステップS2に移行する。ステップS2は、連結配線形成工程に相当し、パッド電極とパッド電極間を接続する回路配線結線部を形成する工程である。次にステップS3に移行する。ステップS3は、支持部材貼付工程に相当し、半導体基板に支持部材としての補強ガラス基板を貼り付ける工程である。次にステップS4に移行する。ステップS4は、ウエハー厚さ調整工程に相当し、半導体基板を所定の厚さに調整する工程である。次にステップS5に移行する。

【0068】

ステップS5は、貫通電極形成工程に相当し、第2貫通電極及び貫通電極を形成する工程である。次にステップS6に移行する。ステップS6は、検査用端子形成工程に相当し、裏面端子を形成する工程である。次にステップS7に移行する。ステップS7は、機能検査工程に相当し、半導体装置の機能検査を実施する工程である。次にステップS8に移行する。ステップS8は、支持部材剥離工程に相当し、半導体装置マザー基板から補強ガラス基板を剥離する工程である。次にステップS9に移行する。ステップS9は、ダイシングリング取付工程に相当し、半導体装置マザー基板を円環状のダイシングリングに取り付ける工程である。次にステップS10に移行する。ステップS10は、配線結線部除去工程としてのダイシング工程に相当し、半導体装置マザー基板を個別の半導体装置に分割する工程である。以上の工程にて半導体装置の製造工程を終了する。

【0069】

次に、図5～図7を用いて、図4に示したステップと対応させて、製造方法を詳細に説明する。最初に、ステップS1の回路形成工程では半導体基板3の回路形成面3aに回路素子、回路配線16及び回路配線17を形成する。回路素子、回路配線16及び回路配線17は公知の薄膜形成法やフォトグラフィー技術とエッチング技術を用いたパターンニング法を用いて形成することができる。詳細な説明は省略する。

【0070】

図5(a)はステップS2の連結配線形成工程に対応する図である。図5(a)に示すように、ステップS2では、半導体基板3の回路形成面3aに電極及び配線の原料からなる金属膜を形成する。金属膜の材料は導電体を形成可能であれば良く特に限定されない。本実施形態では電極及び配線に、例えば、Al層やTiWとCuの金属層の積層構造を採用している。次に、金属膜をパターンニングしてパッド電極21、パッド電極14及び回路配線結線部16aを形成する。パッド電極21、パッド電極14、回路配線結線部16a、回路配線16及び回路配線17は、同じ材料で形成するため、ステップS1で回路配線16及び回路配線17を形成する工程にてパッド電極21、パッド電極14及び回路配線結線部16aも一緒に形成してもよい。また、ステップS2でパッド電極21、パッド電極14及び回路配線結線部16aを形成する工程にて回路配線16及び回路配線17と一緒に形成してもよい。

【0071】

図5(b)はステップS3の支持部材貼付工程に対応する図である。図5(b)に示すように、ステップS3では半導体基板3の回路形成面3aに補強ガラス基板40を貼り付ける。補強ガラス基板40は、接着材層41を介して、回路形成面3aに形成された回路素子、回路配線16、回路配線17、パッド電極21、パッド電極14、回路配線結線部16a及び下地層18の上に接着される。補強ガラス基板40は半導体基板3を補強する。これにより、以降に実施する工程において半導体基板3全体の剛性不足に起因して半導体基板3が変形して損傷することを補強ガラス基板40が抑制する。

【0072】

図5(c)はステップS4のウエハー厚さ調整工程に対応する図である。図5(c)に示すように、ステップS4において、半導体基板3を裏面3b側から研削することにより半導体基板3を所定の厚さに調整する。半導体基板3を所定の厚さまで研削して裏面3bが形成される。研削後の半導体基板3の厚さは特に限定されないが、例えば本実施形態では100μmに設定している。研削された裏面3bの表面にはシリコンの破碎層が形成さ

10

20

30

40

50

れるため、好ましくは、破碎層を取り除く処理を実施する。破碎層を取り除く処理としてはドライエッチングやスピンエッチングやポリッシュ等が実施される。

【0073】

図5(d)はステップS5の貫通電極形成工程及びステップS6の検査用端子形成工程に対応する図である。図5(d)に示すように、ステップS5において、第2貫通電極20及び貫通電極12を形成する。ステップS6では裏面端子31及び裏面端子30を形成する。ステップS5とステップS6とは続けて行われる。

【0074】

最初に、第2貫通電極孔20a及び貫通電極孔12aを半導体基板3に形成する。このとき、第2貫通電極孔20a及び貫通電極孔12aの回路形成面3a側の開口がパッド電極21またはパッド電極14に塞がれる位置に形成する。第2貫通電極孔20a及び貫通電極孔12aは公知のフォトグラフィー技術及びエッチング技術を用いて形成することが可能であり、説明を省略する。

【0075】

次に、第2貫通電極孔20a及び貫通電極孔12aの壁面と裏面3bとに下地層18を形成する。第2貫通電極孔20a及び貫通電極孔12aの壁面の下地層18は、第2貫通電極孔20a及び貫通電極孔12aの回路形成面3a側の端において回路形成面3aの下地層18と接続される。

【0076】

次に、パッド電極21またはパッド電極14の第2貫通電極孔20a及び貫通電極孔12aの回路形成面3a側の開口を塞いでいる部分に形成された下地層18を除去する。そして、パッド電極21及びパッド電極14の第2貫通電極孔20aまたは貫通電極孔12aに臨む部分を露出させる。

【0077】

次に、裏面3b上に、裏面端子31、裏面端子30、及びそれらを接続する配線の部分が開口したメッキレジスト膜を形成する。続いて、第2貫通電極20、貫通電極12、裏面端子31、裏面端子30、及びそれらを接続する配線をめっき処理で形成する。尚、電極を構成する銅等がシリコン基板である半導体基板3に拡散することを抑制するために形成するバリア膜や、電極をめっき処理で形成する際に、銅等が付着し易くするために形成するシード膜についての説明は省略する。シード膜の材料には例えばTiWやCu等のスパッタ膜を用いることができる。

【0078】

図6(e)はステップS7の機能検査工程に対応する図である。図6(e)に示すように、ステップS7において、裏面端子31、裏面端子30に検査プローブ61を接触させる。これにより、第2貫通電極20及び貫通電極12の機能検査を同時に実施する。この機能検査には導通状態の検査が含まれる。

【0079】

被測定系の中には回路配線に加えてパッド電極21、パッド電極14、第2貫通電極20、貫通電極12、裏面端子31、裏面端子30及び回路配線結線部16aが含まれている。パッド電極21、パッド電極14、第2貫通電極20、貫通電極12、裏面端子31、裏面端子30及び回路配線結線部16aは導体で形成されており、電気抵抗は非常に小さいが電気抵抗が全く無いということはない。また、これらの電極、端子及び配線部は絶縁層である下地層18を介して半導体基板3のシリコンと対向しており、それぞれの場所において静電容量を持っている。

【0080】

これらの電気抵抗や静電容量は貫通電極の機能として重要である。機能検査は検査プログラムに従って実施される。その検査プログラムは、パッド電極21、パッド電極14、第2貫通電極20、貫通電極12、裏面端子31、裏面端子30及び回路配線結線部16a間の電気抵抗を考慮した検査プログラムを用いている。さらに、検査プログラムは、これらの電極、端子及び結線部と半導体基板3との間に形成される静電容量を考慮した検査

10

20

30

40

50

プログラムとなっている。

【0081】

より詳細には、検査プログラムにおける検査結果の判定基準値は、パッド電極21、パッド電極14、第2貫通電極20、貫通電極12、裏面端子31、裏面端子30及び回路配線結線部16aの電気抵抗及び静電容量を考慮した値に設定されている。また、検査を実施する際に印加する印加電圧値はこれらの電極、端子及び結線部の電気抵抗及び静電容量を考慮した印加電圧に設定されている。

【0082】

第2貫通電極20、貫通電極12及び回路配線結線部16aは、導体であるが微小な電気抵抗を有している。また、半導体基板3は電子部品に対して下地層18を介して形成されることで微少な静電容量を有している。本実施形態ではこれらの微少な電気抵抗や静電容量を考慮した検査プログラムを用いている。これにより、異なる半導体装置10に位置する第2貫通電極20、貫通電極12及び回路配線結線部16aを介することによる検査結果への影響を抑制して機能検査を実施している。従って、微少な電気抵抗や静電容量を考慮しない検査プログラムを用いる場合に比べて、より正確な機能検査を実施することができる。

【0083】

次に、ステップS8の支持部材剥離工程において半導体装置マザー基板1から補強ガラス基板40を剥離する。補強ガラス基板40を剥離することで、半導体装置マザー基板1のダイシングが容易となる。

【0084】

図6(f)及び図6(g)はステップS9のダイシングリング取付工程に対応する図である。図6(f)は、半導体装置マザー基板がダイシングリングに取り付けられた状態を示す模式平面図であり、図6(g)は、半導体装置マザー基板がダイシングリングに取り付けられた状態を示す要部模式断面図である。図6(f)に示すように、ステップS9において、半導体装置マザー基板1をダイシングリング50に取り付ける。ダイシングリング50は一面が平坦な環形状の金属からなる枠である。ダイシングリング50の平坦な面には補強シート51が弛みなく接着されている。補強シート51のダイシングリング50に囲まれた位置に半導体装置マザー基板1を貼り付けることにより、半導体装置マザー基板1をダイシングリング50に取り付ける。図6(g)示すように、半導体装置マザー基板1は、裏面3b側に形成された裏面端子31、裏面端子30、下地層18等が接着剤52を介して補強シート51に貼り付けられる。

【0085】

半導体装置マザー基板1を補強シート51に貼り付けることにより、半導体装置マザー基板1を補強して変形し難くすることができる。さらに、補強シート51は、高い剛性を有するダイシングリング50に弛みなく接着して取り付けられているため、以降の工程において半導体装置マザー基板1が変形することが抑制される。これにより、作業精度や作業効率が損なわれたり変形させられることにより、半導体装置10が物理的に損なわれたりすることを防止することができる。さらに、半導体装置マザー基板1は可撓性を有する補強シート51を介してダイシングリング50に取り付けられている。これにより、半導体装置マザー基板1を分割した後で個々の半導体装置10を分離する際に、補強シート51を変形させて半導体装置10を分離することが容易になる。

【0086】

図7(h)～図7(j)はステップS10のダイシング工程に対応する図である。図7(h)に示すように、ステップS10において、ダイシング装置のダイシングブレード71にて半導体装置マザー基板1におけるダイシングライン11の部分を研削する。これにより、図7(i)及び図7(j)に示すように、ダイシングライン11の部分が削除されることにより、半導体装置マザー基板1が個別の半導体装置10に分割される。

【0087】

半導体装置マザー基板1は補強シート51に貼り付けられているため、ダイシングライ

10

20

30

40

50

ン 1 1 の部分が総て削除されても、分割された個別の半導体装置 1 0 が分離することなく、それぞれの半導体装置 1 0 が補強シート 5 1 に貼り付けられている。これにより、半導体装置 1 0 が飛散することはほとんどない。あるいは、半導体基板 3 の厚さ方向においてダイシングライン 1 1 の一部を残すダイシング方法を採用しても良い。ダイシングライン 1 1 の一部を残すことにより半導体装置 1 0 が飛散することを抑制することができる。残ったダイシングライン 1 1 の一部は当該部分を折り曲げることで容易に分割することができる。可撓性を有する補強シート 5 1 を変形させることで当該部分の折り曲げを容易に実施することができる。以上の工程で半導体装置 1 0 を製造する工程を終了する。

【0088】

上述したように、本実施形態によれば、以下の効果を有する。

10

(1) 本実施形態によれば、回路形成面 3 a と裏面 3 b とを電氣的に接続する貫通電極 1 2 及び第 2 貫通電極 2 0 が形成されている。そして、貫通電極 1 2 と第 2 貫通電極 2 0 とは、回路形成面 3 a に配設された回路配線結線部 1 6 a により接続されている。これにより、裏面 3 b 側から、貫通電極 1 2 及び第 2 貫通電極 2 0 に接触することで、貫通電極 1 2 及び第 2 貫通電極 2 0 の導通特性を検査することができる。従って、回路形成面 3 a と裏面 3 b との両面から接触して貫通電極 1 2 及び第 2 貫通電極 2 0 の導通検査するとき比べて、簡易に貫通電極の検査を行うことができる。

【0089】

(2) 本実施形態によれば、裏面 3 b には第 2 貫通電極 2 0 に接続する裏面端子 3 1 が形成されている。また、貫通電極 1 2 に接続する裏面端子 3 0 が形成されている。これにより、検査プローブ 6 1 を裏面端子 3 0 及び裏面端子 3 1 に接触させることができる。そして、貫通電極 1 2 または第 2 貫通電極 2 0 が検査プローブ 6 1 と比べて小さく検査プローブを貫通電極 1 2 及び第 2 貫通電極 2 0 に接触させることが難しいときにも、容易且つ確実に、検査プローブと貫通電極 1 2 及び第 2 貫通電極 2 0 とを接続させることができる。

20

【0090】

(3) 本実施形態によれば、回路配線結線部 1 6 a の一部がダイシングライン 1 1 に形成されている。回路配線結線部 1 6 a の一部がダイシングライン 1 1 に形成されているため、ダイシングライン 1 1 に沿って切断することで回路配線結線部 1 6 a が分断される。そして、隣り合う半導体基板 3 同士の回路配線結線部 1 6 a による電氣的導通が遮断される。これにより、完成後の半導体装置 1 0 においては回路配線結線部 1 6 a によって接続された貫通電極 1 2 と第 2 貫通電極 2 0 とが完全に分離される。従って、ステップ S 7 の機能検査工程において使用される使用目的以外に回路配線結線部 1 6 a が機能することで不具合が発生することを防止することができる。

30

【0091】

(4) 本実施形態によれば、貫通電極 1 2 及びパッド電極 1 4 は半導体装置 1 0 となる領域に形成されており、第 2 貫通電極 2 0 及びパッド電極 2 1 は、半導体装置マザー基板 1 におけるダイシングライン 1 1 の領域を超えた隣に位置する半導体装置 1 0 に形成される。ダイシングライン 1 1 は、半導体装置マザー基板 1 が個別の半導体装置 1 0 に分割される際に、ダイシングブレード 7 1 によって削り取られる部分である。貫通電極 1 2 と第 2 貫通電極 2 0 とを接続する回路形成面 3 a に配設された回路配線結線部 1 6 a をダイシングライン 1 1 に形成している。これにより、ダイシングライン 1 1 を削り取ることで回路配線結線部 1 6 a を取り除くことができる。そして、半導体装置 1 0 とそれに隣接する半導体装置 1 0 の特性を変えることなく分離することができる。さらに、第 2 貫通電極 2 0 及びパッド電極 2 1 及び裏面端子 3 1 を取り除く工程を別途設けることない為、生産性の良い工程とすることができる。

40

【0092】

(5) 本実施形態によれば、回路配線結線部 1 6 a は、半導体装置マザー基板 1 におけるダイシングライン 1 1 に形成されている。回路配線結線部 1 6 a の一部をダイシングライン 1 1 に形成することで、半導体装置マザー基板 1 を個別の半導体装置 1 0 に分割する

50

際に、確実に回路配線結線部 16 a を切断することができる。

【0093】

(6) 本実施形態によれば、ステップ S 3 の支持部材貼付工程において、回路形成面 3 a に補強ガラス基板 40 を貼りつけることにより、半導体装置マザー基板 1 を補強している。その後、半導体装置マザー基板 1 を補強ガラス基板 40 に取り付けられた状態で、半導体装置 10 の機能検査を実施している。半導体装置マザー基板 1 が補強ガラス基板 40 に取り付けられていることで、半導体装置マザー基板 1 が補強されて変形し難くなる。これにより、検査プローブ 61 の接触圧によって半導体装置マザー基板 1 が変形することで損なわれることを抑制することができる。

【0094】

高い剛性を有する補強ガラス基板 40 に半導体装置マザー基板 1 を固定することで、半導体装置マザー基板 1 を確実に正確に位置決めすると共に固定することができる。高い剛性を有する補強ガラス基板 40 を取扱うことによって間接的に半導体装置マザー基板 1 を扱うことができる。従って、半導体装置マザー基板 1 に直接触れることを必要とする状態を少なくすることができる。その結果、半導体装置マザー基板 1 に直接触れることで半導体装置マザー基板 1 が損なわれることを抑制することができる。

【0095】

(7) 本実施形態によれば、ステップ S 7 の機能検査工程では、貫通電極 12 と第 2 貫通電極 20 と回路配線結線部 16 a の電気抵抗及び静電容量を考慮した検査プログラムが使用されている。貫通電極 12 と第 2 貫通電極 20 と回路配線結線部 16 a とは導体であるが微小な電気抵抗を有している。また、貫通電極 12 と第 2 貫通電極 20 と回路配線結線部 16 a と半導体基板 3 とは下地層 18 を介して形成されることで微小な静電容量を有している。本実施形態ではこれらの微小な電気抵抗や静電容量を考慮した検査プログラムを用いている。これにより、貫通電極 12 と第 2 貫通電極 20 とに接続する回路配線結線部 16 a を介することによる検査結果への影響を抑制して機能検査を実施している。従って、微小な電気抵抗や静電容量を考慮しない検査プログラムを用いる場合に比べて、より正確な機能検査を実施することができる。

【0096】

(8) 本実施形態によれば、ステップ S 7 の機能検査工程では、回路配線結線部 16 a を介して貫通電極 12 と第 2 貫通電極 20 とに電圧を印加して検査している。このときの検査結果の判定基準値は、貫通電極 12 と第 2 貫通電極 20 と回路配線結線部 16 a との電気抵抗及び静電容量を考慮した判定基準値としている。このときの印加電圧は、貫通電極 12 と第 2 貫通電極 20 と回路配線結線部 16 a との電気抵抗及び静電容量を考慮した電圧値としている。従って、判定基準値及び印加電圧値を貫通電極 12 と第 2 貫通電極 20 と回路配線結線部 16 a との電気抵抗及び静電容量に配慮した値にすることで、正確な検査結果の判定を実施することができる。

【0097】

(第 2 の実施形態)

次に、半導体装置の一実施形態について図 8 の検査用貫通電極の配置位置を説明するための模式平面図を用いて説明する。本実施形態が第 1 の実施形態と異なるところは、回路配線結線部 16 a が 3 つ以上の貫通電極と接続した形状となっている点にある。尚、第 1 の実施形態と同じ点については説明を省略する。

【0098】

すなわち、本実施形態では、図 8 に示したように、半導体装置マザー基板 81 は半導体基板 3 を備え、半導体基板 3 の回路形成面 3 a には半導体装置 82 がマトリクス状に配置されている。そして、各半導体装置 82 の間にダイシングライン 11 が設定されている。

【0099】

そして、図には複数ある半導体装置 82 のうち隣り合う 4 つの半導体装置 82 のみ記載してあり、他の半導体装置 82 は分かりやすくするために省略してある。その 4 つの半導体装置 82 を第 1 半導体装置 82 a ～第 4 半導体装置 82 d とする。そして、第 1 半導体

10

20

30

40

50

装置 8 2 a には貫通電極 1 2 とパッド電極 1 4 とが設置され、第 2 半導体装置 8 2 b には第 2 貫通電極 2 0 とパッド電極 2 1 とが設置されている。同様に、第 3 半導体装置 8 2 c には第 3 貫通電極 8 3 とパッド電極 8 4 とが設置され、第 4 半導体装置 8 2 d には第 4 貫通電極 8 5 とパッド電極 8 6 とが設置されている。

【0100】

パッド電極 1 4 の裏面 3 b には裏面端子 3 0 が設置され、パッド電極 2 1 の裏面 3 b には裏面端子 3 1 が設置されている。同様に、パッド電極 8 4 の裏面 3 b には裏面端子 8 7 が設置され、パッド電極 8 6 の裏面 3 b には裏面端子 8 8 が設置されている。ダイシングライン 1 1 には回路配線結線部 1 6 a が配置されている。回路配線結線部 1 6 a はパッド電極 1 4、パッド電極 2 1、パッド電極 8 4、パッド電極 8 6 の各電極を電氣的に接続して配置されている。パッド電極は 3 つ以上が回路配線結線部 1 6 a により接続されている。

10

【0101】

ステップ S 7 の機能検査工程では、裏面端子 3 0 ～裏面端子 8 8 の 4 つの端子のうち 2 つの端子を選択して導通検査を行う。そして、導通していないとき、別の端子との間にて導通検査を行う。そして、導通していない端子を特定する。

【0102】

(1) 本実施形態によれば、裏面端子 3 0、裏面端子 3 1、裏面端子 8 7、裏面端子 8 8 が導通している。貫通電極 1 2 と第 2 貫通電極 2 0 の間の検査により不具合が認められた場合、さらに貫通電極 1 2 と第 3 貫通電極 8 3 の間の検査を追加することで、貫通電極 1 2 または第 2 貫通電極 2 0 のいずれかに不具合があるかを特定することができる。

20

【0103】

(2) 本実施形態によれば、裏面端子 3 0、裏面端子 3 1、裏面端子 8 7、裏面端子 8 8 が導通している。従って、この端子のうち所望の 2 つを選択して検査プローブ 6 1 を接触させることにより端子と対応する貫通電極の機能検査を行うことができる。従って、ステップ S 7 の機能検査工程で検査プローブ 6 1 を端子にあてる組合せの自由度を高くすることができる。

【0104】

(3) 本実施形態によれば、ダイシングライン 1 1 に沿って 1 本の回路配線結線部 1 6 a が配置されている。従って、ダイシングライン 1 1 が細いときにも回路配線結線部 1 6 a を配置することができる。

30

【0105】

(第 3 の実施形態)

(情報機器)

次に、半導体装置 1 0 を搭載した電子機器の一例としての情報機器の具体例について、図 9 を参照して説明する。本実施形態の情報機器は、上述した半導体装置 1 0 と同様の構成を有する半導体装置を備えた情報機器である。

【0106】

図 9 (a) は、携帯電話の一例を示した斜視図である。図 9 (a) に示すように、電子機器としての携帯電話 6 0 0 は、表示部 6 0 1 と携帯電話本体 6 0 2 とを備えている。携帯電話 6 0 0 は表示部制御装置や携帯電話本体 6 0 2 内に半導体装置を搭載している。この半導体装置が半導体装置 1 0 と同様の構成となっており、貫通電極 1 2、第 2 貫通電極 2 0、回路配線結線部 1 6 a と同様の機能を有する部材を備えている。

40

【0107】

図 9 (b) は、ワードプロセッサ、パーソナルコンピューター等の携帯型情報処理装置の一例を示した斜視図である。図 9 (b) に示すように、電子機器としての情報処理装置 7 0 0 は、表示部 7 0 2 と、キーボード 7 0 1 等の入力部と、情報処理装置本体 7 0 3 と、を備えている。情報処理装置 7 0 0 は表示部制御装置や情報処理装置本体 7 0 3 内に半導体装置を搭載している。この半導体装置が半導体装置 1 0 と同様の構成となっており、貫通電極 1 2、第 2 貫通電極 2 0、回路配線結線部 1 6 a と同様の機能を有する部材を

50

備えている。

【0108】

図9(c)は、腕時計型電子機器の一例を示した斜視図である。図9(c)に示すように、電子機器としての腕時計800は、表示部801と、時計本体802と、を備えている。腕時計800は表示部801や時計本体802内に半導体装置を搭載している。この半導体装置が半導体装置10と同様の構成となっており、貫通電極12、第2貫通電極20、回路配線結線部16aと同様の機能を有する部材を備えている。

【0109】

図9(d)は、情報機器の一例である液晶テレビを示す外観斜視図である。図9(d)に示すように、電子機器としての液晶テレビ900は、表示部901と、テレビ本体902と、を備えている。液晶テレビ900は表示部901やテレビ本体902内に半導体装置を搭載している。この半導体装置が半導体装置10と同様の構成となっており、貫通電極12、第2貫通電極20、回路配線結線部16aと同様の機能を有する部材を備えている。

10

【0110】

以下、実施形態による効果を記載する。本実施形態によれば、以下の効果が得られる。

(1) 本実施形態によれば、携帯電話600、情報処理装置700、腕時計800、液晶テレビ900が備える半導体装置10は、効率良く好適な機能検査を実施することができる。これにより、効率良く好適に検査されて所定の機能が保証された電子部品を備えることで、所定の機能を確実に実現できる半導体装置10を備えた携帯電話600、情報処理装置700、腕時計800、液晶テレビ900を実現することができる。

20

【0111】

以上、添付図面を参照しながら好適な実施形態について説明したが、好適な実施形態は、前記実施形態に限らない。実施形態は、要旨を逸脱しない範囲内において種々変更を加え得ることは勿論であり、以下のように実施することもできる。

【0112】

(変形例1) 第1の実施形態においては、半導体装置10は回路形成面3aに回路素子及び回路配線が形成された半導体装置であったが、半導体装置は、他の構成要素を備える半導体装置であってもよい。例えば、回路素子の表層にはポリイミド樹脂またはエポキシ樹脂等の絶縁層とCu等の配線層からなるウエハレベルCSP層が形成されている半導体装置についても、上述した半導体装置の構成、半導体装置の検査方法、半導体装置マザー基板、及び半導体装置の製造方法を好適に適用することができる。その場合、回路配線結線部16aには、回路配線16及び回路配線17やパッド電極21及びパッド電極14等が形成された後に、新たにウエハレベルCSP層で用いるCu等の配線層を、パッド電極21及びパッド電極14を結線する配線として用いてもよい。配線はTiWやCu等の金属層の積層構造が望ましい。

30

【0113】

(変形例2) 第1の実施形態においては、半導体装置10が有する貫通電極12は4個であり、1個の半導体装置10に対してそれぞれ4個の第2貫通電極20が形成されていたが、半導体装置が有する貫通電極の数及び回路配線結線部16aの数は限定されない。半導体装置が有する貫通電極及び回路配線結線部16aの数はいくつであってもよい。

40

【0114】

(変形例3) 前記第1の実施形態においては、第2貫通電極20及び貫通電極12は、中実の棒形状をしていたが、貫通電極が棒形状であることにも、中実であることにも限定されない。貫通電極は、例えば導電材料を貫通孔の壁面に膜状に付着させて形成してもよい。この場合、貫通電極は、中空の円筒形状であることが好ましい。

【0115】

(変形例4) 第1の実施形態においては、ダイシングリング50は、環形状の金属からなる枠であったが、ダイシングリングが環形状であることも、金属からなることも必須ではない。ダイシングリングは、半導体装置マザー基板の形状に対応した形状であればどの

50

ような形状であってもよい。例えば、多角形の枠等であってもよい。ダイシングリングの材料は十分な剛性が確保できれば、どのような材料であってもよい。

【0116】

(変形例5) 第1の実施形態においては、ダイシングライン11をダイシングブレード71にて切断したが、切断方法はこれに限定されない。ダイシングライン11に沿ってレーザー光を用いて改質部を形成した後、改質部に応力を加えて分断しても良い。ダイシングライン11を狭くすることができる。

【0117】

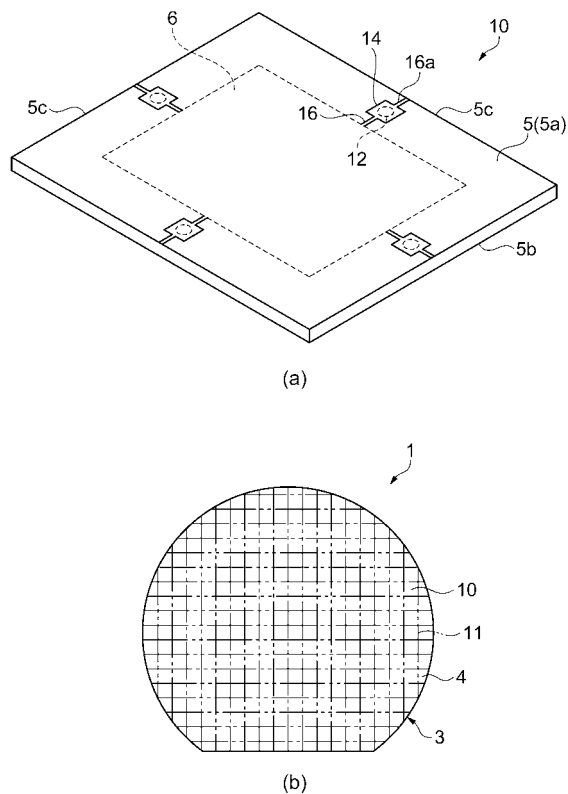
(変形例6) 第1の実施形態においては、回路領域6の外側に貫通電極12及び第2貫通電極20が配置されたが、貫通電極12及び第2貫通電極20は回路領域6の内部に配置されても良い。貫通電極12及び第2貫通電極20のレイアウト設計の自由度を高くすることができる。

【符号の説明】

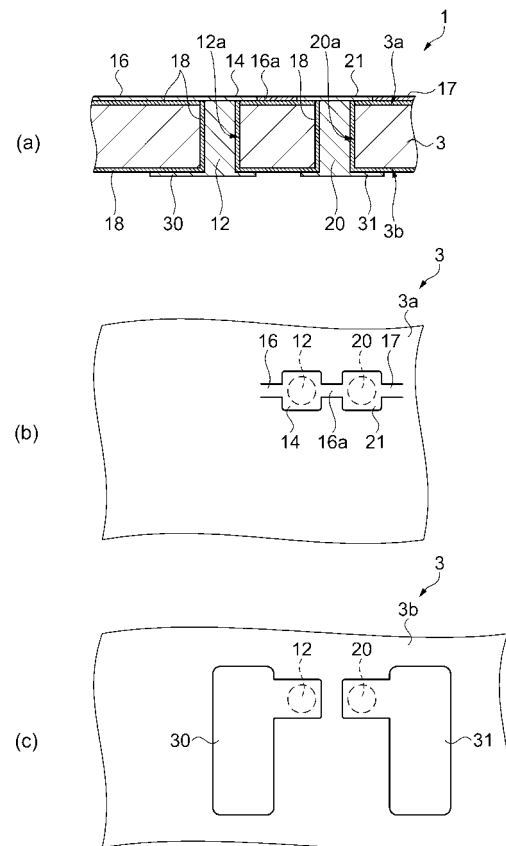
【0118】

1…マザー基板としての半導体装置マザー基板、3…基板としての半導体基板、3a…第1面としての回路形成面、3b…第2面としての裏面、5a…第1面、5b…第2面、6…回路領域、10…電子部品及び区画領域としての半導体装置、11…除去領域としてのダイシングライン、12…貫通電極、16a…連結配線としての回路配線結線部、20…第2貫通電極、30, 31, 87, 88…検査用端子としての裏面端子、40…支持部材としての補強ガラス基板、61…検査プローブ、83…第3貫通電極、85…第4貫通電極、600…電子機器としての携帯電話、700…電子機器としての情報処理装置、800…電子機器としての腕時計、900…電子機器としての液晶テレビ。

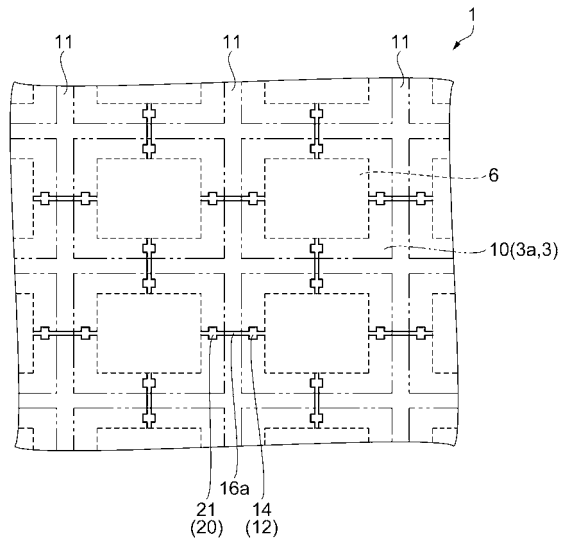
【図1】



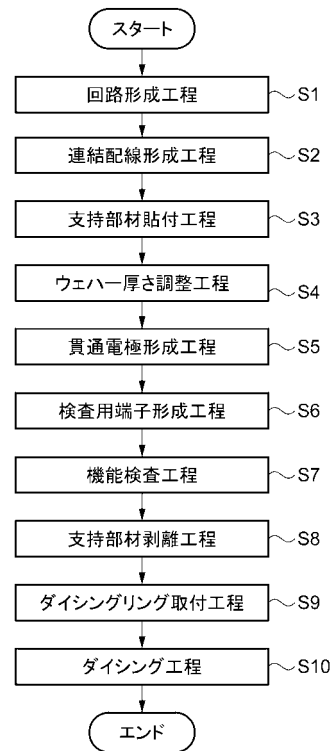
【図2】



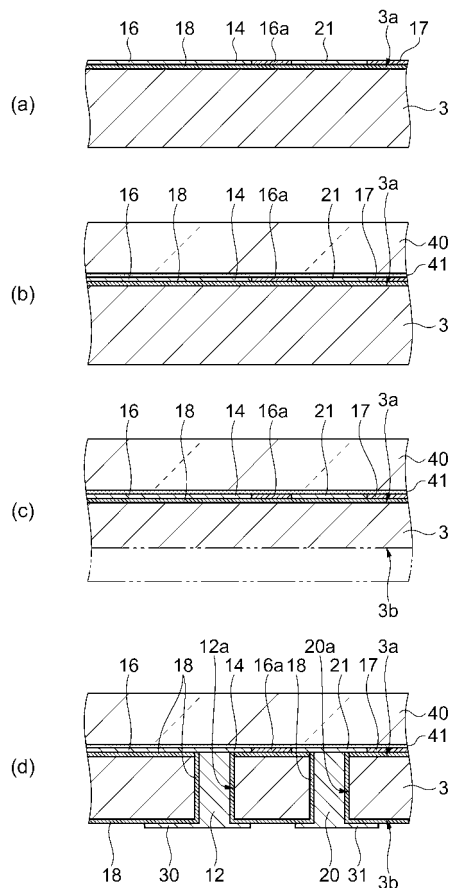
【図 3】



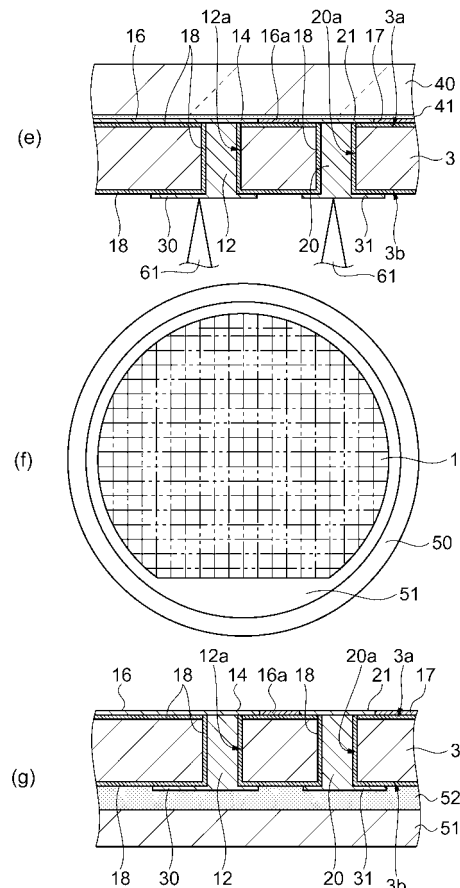
【図 4】



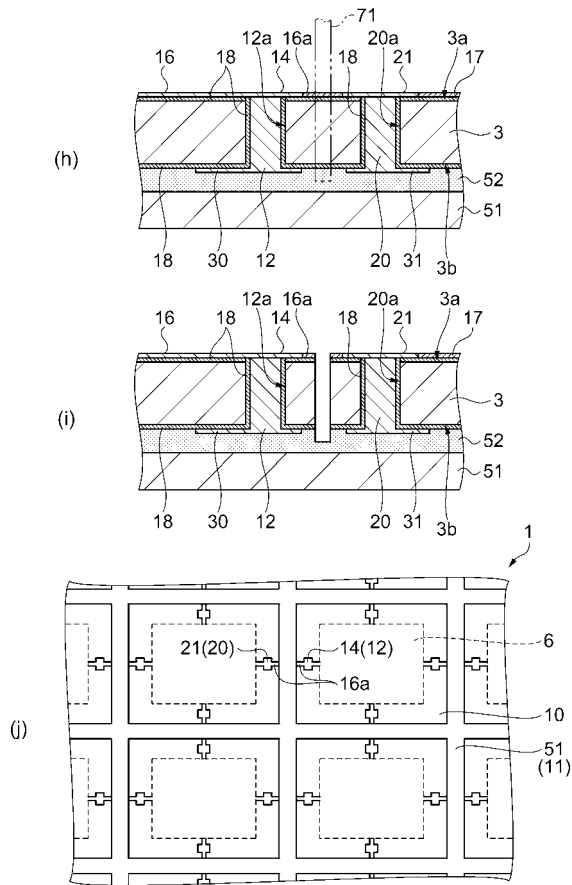
【図 5】



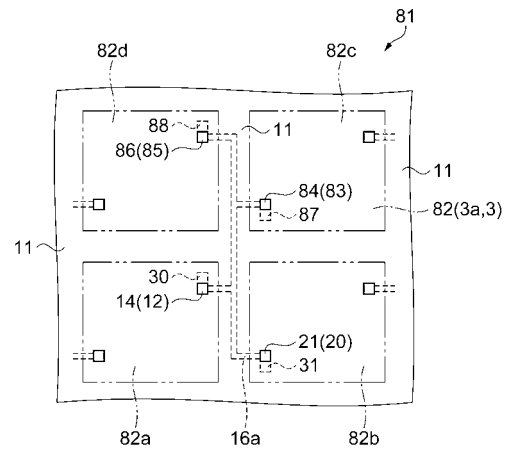
【図 6】



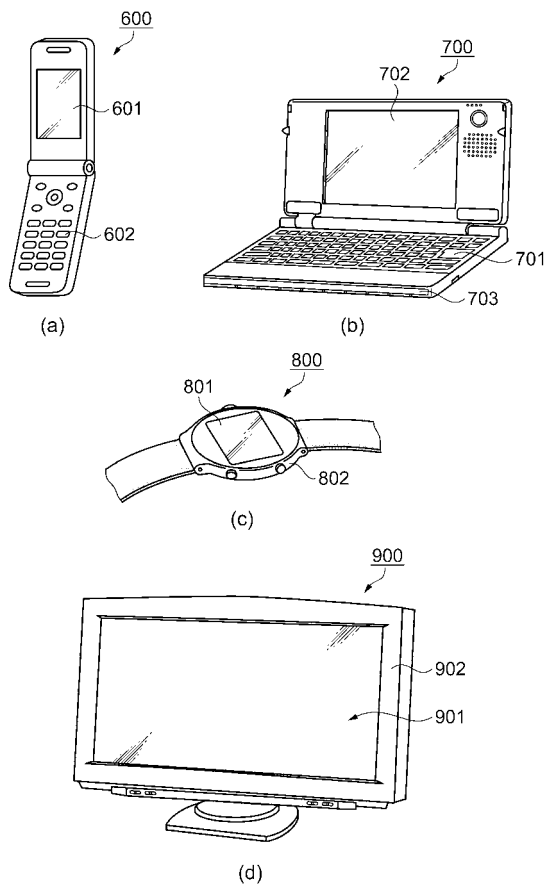
【図 7】



【図 8】



【図 9】



フロントページの続き

Fターム(参考) 5F033 HH08 HH11 HH23 JJ11 JJ23 MM05 MM13 MM30 PP15 PP27
PP28 QQ07 QQ47 UU03 VV07 XX37