(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 29/00

(45) 공고일자 1999년06월15일
(11) 등록번호 10-0200985
(24) 등록일자 1999년03월11일

(21) 출원번호 10-1995-0001278
(22) 출원일자 1995년01월25일
(65) 공개번호 특1995-0024220
(43) 공개일자 1995년08월21일
(30) 우선권주장 94-007185 1994년01월26일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바 니시무로 타이죠
일본국 가나가와껭 가와사끼시 사이와이꾸 호리가와쪼 72반지
(72) 발명자 스즈키 아즈마
일본국 가나가와켄 가와사키시 사이와이쿠 고무카이 도시바 쵸오1 가부시기가이샤 도시바연구개발센터내
(74) 대리인 나영환, 이상섭

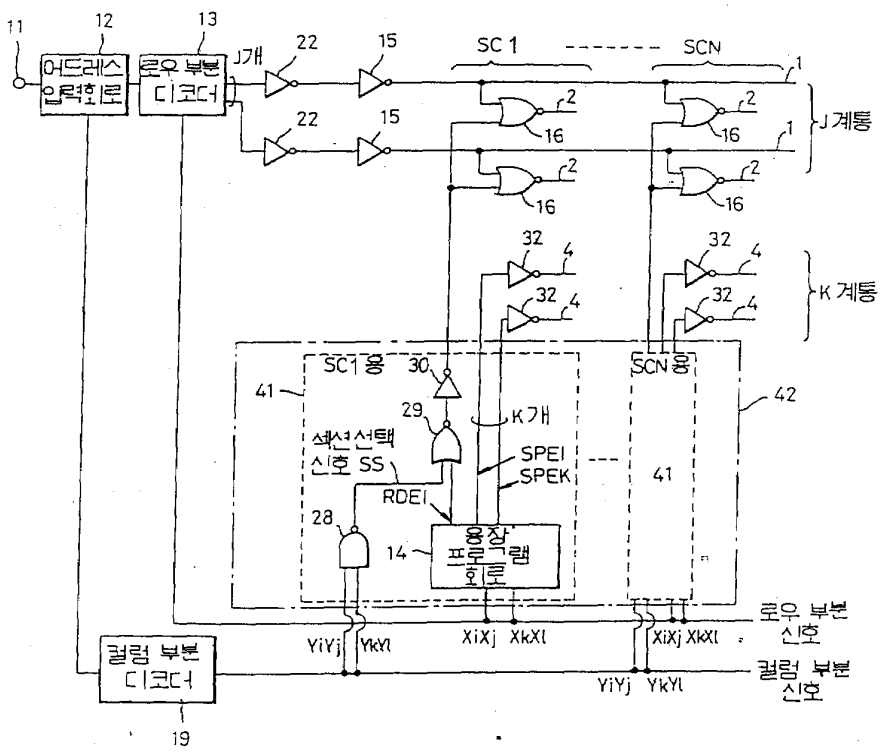
심사관 : 이철희

(54) 용장 회로 장치

요약

본 발명은 2중 워드선 방식의 메모리에 있어서 불량 셀과 스페어 셀의 교환을 주워드선에 복수 접속되어 있는 부워드선 단위로 행할 수 있게 하고, 용장의 효율을 향상시켜 칩의 수율을 향상시키는 용장 회로 장치를 제공하기 위한 것이다. 이와 같은 목적을 달성하기 위해 본원 발명은 제1의 메모리 영역을 선택하는 주워드선(1), 부워드선(2) 및 스페어 셀을 배치한 제2의 메모리 영역을 선택하는 스페어 부워드선(4)을 갖추고, 제1의 메모리 영역에 불량 셀이 있었을 경우에, 이것을 섹션 디코더(42)에 있어서 섹션 마다에 설치된 용장 회로(41)의 용장 프로그램 회로(14)에 프로그램해 두고, 로우파셜 디코더(13)로부터의 로우 파셜 신호가 불량 셀을 히트하였을 경우 용장 프로그램 회로(14)를 통하여 스페어 부워드선(4)을 선택하여 스페어 셀의 선택을 행하게 하는 동시에 부워드선(2)을 비선택으로 하도록 구성되는 것을 특징으로 하고 있다.

대표도



명세서

[발명의 명칭]

용장 회로 장치

[도면의 간단한 설명]

제1도는 본 발명의 실시예1의 용장 회로 장치의 회로도.

제2도는 본 발명의 실시예2의 용장 회로 장치의 회로도.

제3도는 본 발명의 실시예3의 용장 회로 장치의 회로도.

제4도는 본 발명의 실시예4의 용장 회로 장치의 회로도.

제5도는 종래의 용장 회로 장치의 제1예의 회로도.

제6도는 제5도 구성의 용장 프로그램 회로의 구성을 나타낸 회로도.

제7도는 종래의 용장 회로 장치의 제2예의 회로도.

* 도면의 주요부분에 대한 부호의 설명

1 : 주워드선 2 : 부워드선

3 : 스페어 주워드선 4 : 스페어 부워드선

5,29,33 : 부정논리합(NOR)회로 6,8,9,22,27,28,30,34 : 부정(NOT)회로

7 : 부정논리곱(NAND)회로 11 : 어드레스 입력 단자

12 : 어드레스 입력 회로 13 : 로우 부분 디코더

14 : 용장 프로그램 회로 15 : 주워드선 드라이버

16 : 부워드선 드라이버 17 : 스페어 주워드선 드라이버

18 : 스페어 부워드선 드라이버 19 : 컬럼 부분 디코더

21 : 트랜스퍼 게이트 23,31,40 : 퓨즈

24 : 퓨즈 회로 25 : 결함 어드레스 프로그램 회로

26 : 프로그램부 35 : 스페어 부워드선 드라이버

35 : PMOS 트랜지스터 36 : 전원선

37 : NMOS트랜지스터 38 : 신호선

39 : 풀업 회로 41 : 용장 회로

42 : 섹션 디코더 110 : 섹션 디코더

[발명의 상세한 설명]

본 발명은 용장(冗長) 회로 장치에 관한 것으로, 특히 반도체 메모리 장치에 있어서 결함이 있는 불량 셀이 있었을 경우에 이것을 스페어(spare : 餘分) 셀과 교체하여 제품의 구제율을 향상시키는데 효과적인 용장 회로의 개량에 관한 것이다.

제5도는 이러한 종래의 용장 회로 장치의 제1예를 나타내는 회로도로서, 특히 인히비트(inhibit)방식의 구성을 예시한 것이다.

이 예에서 도시 생략한 메모리 셀은 복수의 비트선 쌍과 복수의 워드선 쌍과의 각 교차 위치에 메트릭스 모양으로 메모리 셀이 배치된 구성으로 되어 있다. 그리고 워드선 방향 셀의 선택은 주워드선(1)과, 워드선 방향으로 N개의 섹션(SCI-SCN)으로 분할한 부워드선(2)에 의하여 행하는 이른바 2중 워드선 구성의 메모리 방식이 채용되고 있다.

또 메모리 셀에 결함이 있었을 경우에는 이것을 별도의 양호한 셀과 교체하기 위하여 용장(redundancy)이 행해지는데, 이를 위한 스페어 셀의 선택에 대하여는 스페어 주워드선(3)과 스페어 부워드선(4)이 접속되어 이루어진다.

또한 메모리 셀을 엑세스(접근)하기 위한 어드레스 신호는 어드레스 입력 단자(11)로부터 공급되어 어드레스 입력 회로(12)에 입력된다. 어드레스 입력 회로(12)는 어드레스 신호에 의거하여 로우 어드레스(RA)와 컬럼 어드레스(CA)를 발생하고 로우 어드레스(RA)를 로우 부분 디코더(13)에, 컬럼 어드레스(CA)를 컬럼 부분 디코더(19)에 부여한다.

로우 부분 디코더(13)에는 용장 프로그램 회로(14)가 접속되어 있고 용장에 의하여 스페어 셀의 선택이 필요하게 되었을 경우에, K개의 스페어 셀 중 하나를 선택하기 위하여 스페어 셀 선택 신호(SPE1-SPEK)를 발생하는 동시에 용장에 의하여 스페어 셀을 선택할 것을 제시하는 신호인 용장 인에이블 신호(RDE)를 발생한다.

로우 부분 디코더(13)는 로우 어드레스(RA)를 복호화하여, 부정논리합(NOR)회로(5)를 통해서 주워드선 드라이버(15)에 부여한다. 부정논리합 회로(5)에는 용장 인에이블 신호(RDE)가 입력되어 있으므로 용장이 행해지지 않을 경우에,는, 로우 부분 디코더(13)로부터 제공된 신호에 의거하여 주워드선 드라이버(15)에 주워드선(1)을 선택하는 신호를 출력한다. 그 결과 주워드선 드라이버(15)는 로우 부분 디코더(13)로부터 제공된 신호에 의거하여 주워드선(1)을 구동한다.

한편, 용장 프로그램 회로(14)로부터 용장이 행해지는 경우에는, 용장 인에이블 신호(RDE)에 의하여 부정

논리합 회로(5)의 출력을 규제하는 동시에 K개의 스페어 셀 중 하나를 선택하기 위한 스페어 선택 신호(SPE1-SPEK)를 출력한다. 스페어 선택 신호(SPE1-SPEK)는 부정(NOT) 회로(6)를 통하여 스페어 주워드선 드라이버(17)에 제공되는 K개의 스페어 주워드선(3) 중 하나를 구동한다.

한편 컬럼 부분 디코더(19)는 컬럼 어드레스(CA)를 복호화하여 이것을 섹션 디코더(110)에 공급한다. 섹션 디코더(110)는 N개의 섹션 중 하나를 선택하기 위한 섹션 선택 신호(SD1-SDN)를 발생하여 이것을 부워드선 드라이버(16) 및 스페어 부워드선 드라이버(18)에 공급한다. 그 결과 용장이 발생하고 있지 않는 경우에는 부워드선(2) 중 하나가, 용장이 발생하고 있는 경우에는 스페어 부워드선(4) 중 하나가 선택된다.

이상과 같은 구성에 있어서 도시 생략한 메모리 셀의 전부가 정규인 경우 어드레스 입력단자(11)에서 입력된 어드레스 신호에 의거하여 주워드선(1)과 부워드선(2)이 선택된다.

한편, 메모리 셀의 어느 것인가에 결함(불량) 셀이 있고, 로우 부분 디코더(13)에 의하여 선택된 로우 어드레스에 대하여 용장이 발생한 경우, 용장 프로그램 회로(14)에 의하여 스페어 셀의 선택이 행해지고, 그 결과에 따라 스페어 주워드선(3)과 스페어 부워드선(4)이 선택된다.

제6도는 제5도의 구성에 있어서의 용장 프로그램 회로(14)의 상세한 구성을 나타내는 회로도이다.

스페어 선택 신호(SPE1-SPEK)는 K개의 프로그램(26)에 각각에 프로그램된 결과에 의거하여 출력된다.

프로그램부(26)는 로우 부분 디코더(13)로부터 제공되는 로우 부분 신호에 대응하여 복수의 결함 어드레스 프로그램 회로(25)를 구비한다.

결함 어드레스 프로그램 회로(25)에는 로우 부분 신호(XiXj, $\overline{Xi}\overline{Xj}$, $\overline{Xi}Xj$, $Xi\overline{Xj}$)마다 이에 대응하여 4개의 퓨즈 회로(24)가 설치된다.

퓨즈 회로(24)는 결함 셀이 있을 경우에 이것을 스페어 셀과 교체하도록 프로그램함으로써, 레이저 등에 의하여 폴리실리콘으로 형성 퓨즈(23)를 절단(cut)할 수 있게 구성된다. 그 결과 결함 어드레스 프로그램 회로(25)에 설치된 트랜스퍼 게이트(21) 중 하나가 선택적으로 온(ON)으로 된다.

결함 어드레스 프로그램 회로(25)에 있어서는 퓨즈 회로(24)의 퓨즈(23)를 절단함으로써 4개의 트랜스퍼 게이트(21) 중 하나가 온으로 되므로, 로우 부분 신호 (XiXj, $\overline{Xi}\overline{Xj}$, $\overline{Xi}Xj$, $Xi\overline{Xj}$)중 하나가 온으로 된 트랜스퍼 게이트(21)에 의하여 선택되어 결함 어드레스 프로그램 회로(25)로부터 출력된다.

이 결함 어드레스 프로그램 회로(25)는 프로그램부(26)에 있어서 다른 로우부분 신호(XkX1)에도 대응하여 설치되어 있고, 2개의 부정 회로(8,9)를 통하여 스페어 선택 신호(SPE1-SPEK)로서 출력된다.

또 K개의 프로그램부(26) 중 하나로부터 스페어 선택 신호(SPE1- SPEK)가 출력되었을 경우, 이것을 부정논리곱(NAND) 회로(27)에서 검출하여 용장 인에이블 신호(RDE)가 출력된다.

즉, 퓨즈 회로(24)에서 퓨즈(23)를 절단하고 스페어 셀로 교체하는 것이 프로그램되어 있을 경우, 로우 부분 디코더(13)에 의하여 선택된 로우 어드레스가 결함 셀이었을 경우에 결함 어드레스 프로그램 회로(25)에 의하여 검출된다. 그 결과, 스페어 셀마다 설치된 프로그램부(26)에서 스페어 선택 신호(SPE1-SPEK)가 출력되고 동시에 용장 인에이블 신호(RDE)가 출력된다.

이상과 같은 동작의 결과 부정논리합 회로(5)의 출력을 금지, 즉 주워드선(1)과 부워드선(2)의 억세스를 금지하고, 스페어 선택 신호(SPE1-SPEK)에 의하여 선택된 스페어 주워드선(3)과 이것에 속하는 섹션(SC1-SCN) 중에서 섹션 디코더(110)에 의하여 선택된 스페어 부워드선(4)이 선택된다.

즉, 메모리 셀에 결함 셀이 있었을 경우를 미리 대비해 용장 프로그램 회로(14)에 프로그램해 둠으로써 로우 부분 디코더(13)에 의하여 결함 셀이 선택되었을 경우, 주워드선(1)과 부워드선(2)을 모두 각각 스페어 주워드선(3)과 스페어 부워드선(4)으로 교체하는 스페어 셀의 선택을 행하게 한다.

이와 같은 용장 방식은 프로그램한 결함 어드레스가 선택된 경우, 용장 인에이블 신호(RDE)를 출력하여 결함 어드레스를 선택하지 않도록 하고, 그 대신 스페어 어드레스를 선택하게 하였으므로 인히비트(inhibit) 방식으로 불리운다.

제7도는 종래의 용장 회로 장치의 제2예를 나타내는 회로도로서, 분리(isolation)퓨즈 방식이라 불리우는 구성이다.

도면에 도시된 바와 같이 어드레스 입력 회로(12)에 접속되는 로우 부분 디코더(13)로부터는 J개의 로우 복호화 어드레스가 출력되어 퓨즈(31)를 통해 주워드선 드라이버(15)에 공급된다. 한편 용장 프로그램 회로(14)로부터는 K개의 스페어 선택 신호(SPE1-SPEK)가 출력되어 스페어 주워드선 드라이버(17)에 공급된다.

그 결과 J개의 주워드선(1)과 K개의 스페어 주워드선(3)이 선택 가능하게되는데, 주워드선(1)에는 M개의 부워드선(2)이 섹션(SCI-SCN)마다 대응해서 배치되고, 스페어 주워드선(3)에도 M개의 스페어부워드선(4)이 섹션(SCI-SCN)마다 대응하여 배치된다.

한편, 어드레스 입력 회로(12)에 접속된 컬럼 부분 디코더(19)는 어드레스 입력 회로(12)로부터 컬럼 어드레스 복호화 신호를 부여 받아 섹션 디코더(110)에 제공하고, 섹션 디코더(110)로부터는 섹션(SCI-SCN)마다 각각 부워드선(2) 또는 스페어 부워드선(4)을 선택하기 위한 섹션 선택 신호(SD11-SC1M~SDN1-SDNM)가 출력되고, 부워드선(2) 또는 스페어 부워드선(4)을 섹션마다 따로따로 선택할 수 있게 구성된다.

이상과 같은 구성에 있어서 결함 어드레스에 대하여는 퓨즈(31)를 레이저 등으로 절단하여 결함 어드레스를 선택할 수 없게 함으로써, 결함 어드레스가 있는 경우에는 프로그램부(26)에서 프로그램된 스페어 어드레스로서 출력되는 스페어 선택 신호(SPE-SPEK) 중 하나가 선택된다. 이 경우, 결함 셀에 대응하는 어드레스에 대한 억세스도 행해지는데 퓨즈(31)가 절단되어 있으므로 스페어 셀만 억세스하게 된다.

이 분리 퓨즈 방식은 대체로 인히비트 방식에 비하여 용장 인에이블 신호(RDE)로 제어하는 회로가 적은 만큼 용장에 의한 억세스 시간의 열화가 작아지게 된다.

그러나 상술한 바와 같이 인히비트 방식과 분리 퓨즈 방식에서 결함 셀과 스페어 셀과의 교체는 주워드선(1)마다 행하게 되어 있다. 즉 2중 워드선 방식과 같이 복수의 섹션으로 분할하고 있는 경우에도 하나의 주워드선에 접속되어 있는 모든 부워드선을 동시에 스페어와 교체하게 된다.

한편 제7도에 도시한 분리 퓨즈 방식에서는 하나의 주워드선(1)에 M개의 부워드선(2)과 부워드선 드라이버(16)가 접속되어 있고 하나의 주워드선(1)과 하나의 섹션이 선택될 때, M개의 스페어 주워드선(3) 중 하나를 선택할 수 있고, 그 하나는 섹션 선택 신호(SD11-SD1M～SDN1-SDNM)로 결정한다. 이와 같은 복호화 방식을 변조 2중 워드선 방식이라 부르기로 한다.

이와 같은 변조 2중 워드선 방식은 로우 부분 디코더(13)의 패턴 면적 등의 문제로 하나의 워드선 방향 어드레스를, 하나의 로우 디코더로 결정할 수 없을 경우에 일반적으로 적용되는 방식이다. 그러나 이와 같은 방식의 용장에서는 주워드선(1)마다 스페어와 교체하는 방식을 채택하였을 경우, M개의 워드선 방향 어드레스를 동시에 교체할 필요가 있다.

이상 기술한 바와 같이 종래의 용장 회로 장치에서는 2중 워드선 방식의 메모리 셀에 있어서 결함 셀을 스페어 셀과 교체할 경우 주워드선마다 교체를 행하도록 구성하였으므로 복수의 섹션 중에서 결함이 아닌 섹션에 대하여도 동시에 교체할 필요가 있어 비효율적이었다.

한편 변조 2중 워드선 방식의 메모리 셀에 있어서도, 결함이 아닌 복수의 워드선 방향 어드레스를 동시에 교체하도록 구성하였으므로, 예컨대 4변조 2중 워드선 방식의 경우 등, 워드선 방향에 있어서 4개의 어드레스분의 스페어를 넣었다 하더라도 실제로는 4개분을 동시에 교체해야 하기 때문에 한 어드레스분 밖에 구제할 수 없어 비효율적이다.

근래에는 메모리의 대용량화가 진행되고, 스페어셀과의 교체에 의한 칩구제의 필요성이 점차 높아지고 있다. 그럼에도 불구하고 칩 면적의 형편상 많은 스페어 셀을 준비할 수 없을 경우 종래 장치와 같이 용장에 있어서의 효율 저하는 메모리 칩의 수율 향상을 저해한다는 문제점이 있다.

본 발명은 상기와 같은 종래 기술의 문제점을 해소하고, 2중 워드선 방식의 메모리에 있어서 결함 셀과 스페어 셀의 교체를 주워드선에 복수 접속되어 있는 부워드선 단위로 행하는 것을 가능케하여 용장 효율을 향상시키고, 칩의 수율의 대폭적인 향상을 가능케한 용장 회로 장치를 제공하는 것을 목적으로 한다.

상기 목적을 달성하기 위하여 본 발명은 복수의 정규 셀 섹션을 구비하는 정규 셀 영역과, 복수의 스페어 셀 섹션을 구비하는 스페어 셀 영역을 포함하고, 상기 정규 및 스페어 셀 섹션에 있어서의 정규 및 스페어 메모리 셀의 선택은 상기 각 정규 및 스페어 셀 섹션에 공통의 정규 및 스페어 주워드선과, 상기 각 정규 및 스페어 셀 섹션마다의 정규 및 스페어 부워드선에 의하여 행하는 2중 워드선 방식의 메모리 장치로서의 용장 회로 장치에 있어서, 어드레스 수단과, 상기 어드레스 수단에서의 출력에 의하여 선택한 제1의 메모리 영역에 결함 셀이 있을 경우에 이것을 프로그램하는 프로그램 수단과, 상기 프로그램 수단의 출력에 의거하여 스페어 셀을 구비하는 제2의 메모리 영역을 선택하는 스페어 부워드선을 선택하는 동시에 제1의 메모리 영역을 선택하는 부워드선을 비선택으로 하는 제어 수단을 구비하는 용장 회로 장치를 제공한다.

상기 수단에 있어서 본 발명의 용장 회로 장치는 제1의 메모리 영역에 결함 셀이 있을 경우에 이것을 프로그램 수단에 프로그램해두고 어드레스 수단에 있어서 결함 셀이 선택되었을 경우 이것을 프로그램 수단으로 검출하고 제어 수단에 있어서 제2의 메모리 영역의 스페어 셀을 선택하기 위하여 스페어 부워드선을 선택하는 동시에 어드레스 수단의 부워드선을 비선택으로 한다.

이하 도면을 참조하면서 본 발명의 실시예를 설명한다.

제1도는 본 발명의 실시예 1에 관한 용장회로 장치의 회로도이다.

도면에 도시한 바와 같이 로우 부분 디코더(13)로부터는 J개의 로우 디코더 신호가 출력되고 부정 회로(22)와 주워드선 드라이버(15)를 통하여 주워드선(1)을 구동한다. 주워드선(1)에는 섹션(SCI-SCN)마다 각각 대응하여 하나의 부워드선 드라이버(16)를 통하여 부워드선(2)이 접속된다. 즉, 각 섹션마다 J개의 부워드선(2)이 접속된다.

한편 로우 부분 디코더(13)에서 출력되는 로우 부분 신호(XiXj, XkX1)와 컬럼 부분 디코더(19)에서 출력되는 칼럼 부분 신호(YiYj, YkY1)는 섹션 디코더(42)에 공급된다.

섹션 디코더(42)는 섹션(SCI-SCN)의 각각에 대응하여, N개의 용장 회로(41)를 구비하고 있다. 용장 회로(41)는 내부에 용장 프로그램 회로(14)를 구비하고, 로우 부분 디코더(13)로부터 제공되는 로우 부분 신호(XiXj, XkX1)에 의거하여 결함 셀을 선택한 경우 스페어 선택 신호(SPE1- SPEK)와 용장 인에이블 신호(RDE1-RDEN)를 출력하도록 구성된다. 용장 프로그램 회로(14)의 내부 구성은 제5도의 구성과 같다.

한편 용장회로(41)는 컬럼 부분 디코더(19)로부터의 컬럼 부분 신호(YiYj, YkY1)에 의거하여 섹션 선택 신호(SS)를 발생하는 부정논리곱 회로(28)를 구비하고 있다. 이 섹션 선택 신호(SS)는 용장 인에이블 신호(RDE1-RDEK)와 함께 부정논리합 회로(29)에 입력되고 부정회로(30)를 통하여 외부로 출력된다.

섹션 디코더(42)에서 각 섹션마다 출력된 스페어 선택 신호(SPE1- SPEK)는 각각 스페어 부워드선 드라이버(32)를 통해서 스페어 부워드선(4)을 구동한다. 이 경우 스페어 부워드선(4)의 구동은 섹션(SCI-SCN)마다 행해진다.

한편 섹션 디코더(42)에서 각 섹션마다 부정회로(30)를 통하여 출력되는 섹션 선택 신호(SS)와 용장 인에이블 신호(RDE1-RDEK)의 부정논리합 회로(29)를 통해 논리 연산된 신호는 부워드선 드라이버(16)에 제공되고 섹션(SCI-SCN)마다 부워드선(2)의 구동을 규제한다.

이상 기술한 구성에 대한 동작을 설명한다.

먼저, 메모리 셀에 있어서 결함 셀이 있는 워드선 방향의 어드레스를 용장프로그램 회로(14) 중의 퓨즈를 절단함으로써 프로그램한다. 즉 용장 프로그램 회로(14)에는 로우 부분 디코더(13)로부터의 로우 부분 신호(XiXj, XkX1)가 입력되고, 이 신호에 따라 결함으로 되는 주워드선(1)을 프로그램 한다.

한편, 통상 동작시에 결함으로 되는 어드레스가 선택된 경우, 로우 부분 디코더(13)로부터의 로우 복호화 신호가 선택되는데 이에 대응하는 용장 인에이블 신호(RDE1-RDEK)가 출력되고 모두 부정논리곱 회로(28)를 통하여 섹션 선택 신호(SS)가 출력되므로, 이것을 부정논리합 회로(29)에서 논리 연산하고, 부정 회로(30)를 통하여 부워드선 드라이버(16)의 출력을 규제하므로 선택된 섹션의 부워드선(2)은 모두 어드레스로서 선택되지 않는다.

한편, 용장프로그램 회로(14)로부터는 선택된 섹션의 스페어 선택 신호(SPE1-SPEK)가 출력되고 스페어 부워드선 드라이버(32)를 통하여 스페어 부워드선(4)에 출력되므로, 부워드선(2)에서 스페어 부워드선(4)으로의 교체가 행해진다. 또, 이 경우 주워드선(1)에 대하여는 스페어로의 교체는 행해지지 않는다.

이상과 같은 스페어 셀과의 교체를 섹션(SCI-SCN)마다 실시할 수 있도록 하기 위하여 용장회로(41)는 섹션마다 배치된다.

그 결과, 각 섹션 마다 K개의 스페어 부워드선(4)과 교체가 가능하므로, 전체 섹션에 있어서는 K×N개의 스페어 부워드선(4)과 교체할 수 있게 된다.

이상 기술한 바와 같이 제1도의 구성에 의하여 복수의 섹션 각각마다 설치한 용장회로(41)에 의하여 각 섹션마다 부워드선(2)에서 부워드선(4)으로의 교체를 행하게 하였으므로 용장의 효율을 대폭 향상시킬 수 있다.

제2도는 본 발명의 실시예 2에 관한 용장 회로 장치의 회로도로서 특히 변조 이중 워드선 방식의 구성을 예시한 것이다.

제2도에 도시한 바와 같이 로우 부분 디코더(13)에는 주워드선 드라이버(15)를 통하여 주워드선(1)이 접속된다. 각 주워드선(1)에는 부워드선 드라이버(16)를 통하여 두개의 부워드선(2)이 접속된다.

한편 로우 부분 디코더(13)로부터는 로우 부분 신호(XiXj, XkX1, Xoo)가 출력되는데, 여기서 Xoo는 두개의 부워드선(2)을 구별하기 위한 신호이다.

그런데, 로우 부분 디코더(13)에서 출력된 로우 부분 신호(XiXj, XkX1, Xoo)는 섹션(SCI-SCN)마다 배치되는 용장프로그램 회로(14)에 입력된다.

한편 컬럼부분 디코더(19)에서는 컬럼 부분 신호(YiYj, YkY1)가 출력되고 용장프로그램 회로(14)의 각각에 입력된다.

섹션(SCI-SCN)마다 배치되는 용장프로그램 회로(14)에 있어서 컬럼 부분 신호(YiYj, YkY1)는 부정논리곱 회로(28)에 입력되고, 부정논리곱 회로(28)로부터는 섹션 선택 신호(SS)가 출력된다. 이 섹션 선택 신호(SS)는 부정논리합 회로(33)에 제공된다.

용장프로그램 회로(14)는 내부에 결함 어드레스 프로그램 회로(25)를 구비하고 있고, 퓨즈 회로(24)에 의하여 트랜스퍼 게이트(21)의 온 및 오프를 프로그램할 수 있다. 이 프로그램은 결함 셀의 어드레스에 따라서 퓨즈 회로(24)내의 퓨즈를 레이저 등으로 절단하는 실행을 한다. 그 결과 로우 부분 디코더(13)에서의 로우 부분 신호(XiXj, Xoo)의 각각의 상태에 대응하여 배치되는 트랜스퍼 게이트(21)의 도통과 비도통이 프로그램된다.

결함 어드레스 프로그램 회로(25)에 있어서 부정논리곱 회로(7)는 결함 셀의 선택을 위하여 로우 부분 신호(XiXj, XkX1, Xoo)의 상태를 논리 연산하고, 이것을 부정 회로(8,9)을 통하여 스페어 선택 신호(SPE1-SPEK)로서 출력한다. 이들 스페어 선택 신호(SPE1-SPEK)는 섹션(SCI-SCN)마다 용장프로그램 회로(14)에서 출력되고 스페어 부워드선 드라이버(32)를 통하여 스페어 부워드선(4)에 주어진다.

또한, 각 결함 어드레스 프로그램 회로(25)에 출력된 스페어 선택 신호(SPE1-SPEK)는 부정논리곱 회로(27)에서 논리 연산되어 용장 인에이블 신호(RDE1-RDEK)로서 각 섹션(SCI-SCN)마다 배치된 용장 프로그램 회로(14)에서 생성된다. 이 용장 인에이블 신호(RDE1-RDEK)는 섹션 선택 신호(SS) 및 로우 부분 신호(Xoo/Xoo)와 함께, 두개의 부정논리합 회로(33)에 입력되고, 여기서 논리 연산되며, 부정논리합 회로(34)를 통하여부워드선 드라이버(16)에 공급된다.

이상과 같은 구성의 동작을 아래에 설명한다.

용장프로그램 회로(14)는 섹션(SCI-SCN)마다 설치되고 있고, 결함 어드레스 프로그램 회로(25)에 있어서 결함 어드레스에 대응하는 스페어 셀의 교체, 즉 용장프로그램이 퓨즈 회로(24)에 의한 퓨즈의 절단에 의거하여 프로그램되어 있다.

그리고, 로우 부분 디코더(13)에 의한 로우 부분 신호(XiXj, XkX1, Xoo)에 의하여 선택되는 셀의 어드레스가 결함 어드레스를 선택한 경우, 대응하는 섹션의 결함 어드레스 프로그램 회로(25)에 있어서 부정논리곱 회로(7)에서 스페어 선택 신호(SPE1-SPEK)가 기초가 되는 신호가 출력되고 부정 회로(8,9)에서 스페어 부워드선 드라이버(32)를 통하여 스페어 부워드선(4)에 대한 구동 신호가 출력된다.

한편, 이 신호는 부정논리곱 회로(27)에서 논리 연산되고 용장 인에이블 신호(RDE1-RDEK)로서 각 용장프로그램 회로(14)마다 설치되는 2개의 부정논리합 회로(33)에 출력된다. 2개의 부정논리합 회로(33)에는 각각 로우 부분 신호(Xoo)와 그 반전 신호(/Xoo)가 입력되고, 다시 섹션 선택 신호(SS)가 주어지고 있다.

즉, 용장 인에이블 신호(RDE1-RDEK)가 출력되어 있지 않을 경우,섹션 선택 신호(SS)에 의하여 선택된 섹션에 있어서 로우 부분 신호(Xoo/Xoo)에 의하여 2개의 부워드선(2) 중 하나가 선택되는데, 용장 인에이블 신호(RDE1-RDEK)중 하나가 출력되면, 부정논리합 회로(33)의 출력도 함께 규제되어 부워드선 드라이버

(16)에서 2개의 부워드선(2)에 주어지는 신호는 어느 것이나 출력이 규제된다.

이상과 같은 동작의 결과 결함 어드레스가 발생하여 결함 셀을 스페어 셀로 교체할 필요가 발생할 경우, 섹션마다 설치된 2개의 부워드선(2) 중에서 한쪽의 출력을 섹션단위로 규제함과 아울러 K개의 스페어 부워드선(4)을 섹션 단위로 1개만 선택할 수 있게 되므로 변조 이중 워드선 방식의 메모리의 경우에도 용장의 효율을 향상시킬 수 있다.

즉, 한 섹션내에서 프로그램한 결함 어드레스가 발생하면, 이 어드레스의 주워드선(1)이 선택되는데 용장 인에이블 신호(RDE1-RDEK)가 출력되므로 부워드선(2)은 모두 비선택으로 된다. 또, 동시에 스페어 선택 신호(SPE1-SPEK)에 의하여 선택된 섹션마다 교체해야 할 셀을 선택하기 위하여 스페어 부워드선 드라이버(32)을 통하여 스페어 부워드선(4)이 선택된다.

이상의 같은 구성의 경우, 한 섹션에 K개의 스페어 셀이 있으므로, 전체 섹션에서는 K×N개의 스페어 셀과의 교체가 가능하게 된다.

그리고, 상기 실시예 2에서는 2변조의 경우를 예시하고 있으나, 2변조 이상의 경우에도 똑같이 적용이 가능하다. 예컨대 4변조 2중 워드선 방식의 경우, 종래 방식에서는 스페어와 교체는 4로우이고 동시에 할 필요가 있었으나, 그 경우 스페어가 4로우분 있었다 하더라도 실제는 1로우분 밖에 구제 못하나, 본 실시예의 구성에서는 이들 스페어를 개별적으로 결합 셀의 구제를 위하여 사용할 수 있으므로 구제 효율을 높일 수 있다.

또한 상기 실시예 1, 실시예 2의 구성은 섹션 디코더내에 각 섹션 마다 용장 회로를 설정하여, 결함 어드레스가 발생한 경우, 주워드선은 선택되고 부워드선은 인히비트 신호에 의하여 섹션마다 비선택으로 하는 구성을 예시하였으나, 로우 디코더에 인히비트 신호가 입력되도록 하여도 동일한 목적을 달성할 수 있다.

제3도는 이와 같은 관점에 따라 구성된 본 발명의 실시예 3의 용장 회로 장치의 회로도이다.

도시된 바와 같이 용장프로그램 회로(14)에는 로우 부분 디코더(13)로부터의 로우 부분 신호(XiXj, XkX1)를 공급받는 결함 어드레스 프로그램 회로(25)와 컬럼 부분 디코더(19)로부터의 컬럼 부분 신호(YiYj, YkY1)를 공급받는 결함 어드레스 프로그램 회로(25)가 있고, 각각의 출력신호는 부정논리곱 회로(7)에 공급된다.

용장프로그램 회로(14)는 섹션마다 대응하여 N개의 설치되고 있고, 각 용장 프로그램 회로(14)의 부정논리곱 회로(7)로부터는 스페어 선택 신호(SPE1-SPEK)의 기초가 되는 신호가 출력된다. 이들 신호는 2개의 부정회로(8,9)를 통하여 스페어 선택 신호(SPE1-SPEN)로서 스페어 부워드선 드라이버(32)를 통하여 스페어 부워드선(4)에 공급된다.

한편 각 용장프로그램 회로(14)의 부정논리곱 회로(7)의 출력 신호는 부정논리곱 회로(27)에 공급되고, 부정논리곱 회로(27)로부터는 용장 인에이블 신호(RDE)가 출력된다. 이 용장 인에이블 신호(RDE)는 부정논리합 회로(5)에 출력되어 로우 부분 디코더(13)에서 주워드선(1)을 선택하는 신호를 규제하기 위하여 사용된다.

또, 부정 논리합 회로(5)의 출력은 주워드선 드라이버(15)를 통하여 주워드선(1)에 공급된다.

또, 주워드선 드라이버(15)의 출력은 부워드선 드라이버(16)를 통해서 부워드선(2)에 접속된다. 이와 관련하여 부워드선 드라이버(16)에는 섹션 디코더(110)에서 섹션 선택 신호(SD1-SDN)가 출력되고, 부워드선(2)의 섹션 선택이 행하여 진다.

이상 기술한 바와 같은 구성에 있어서 용장프로그램 회로(14)는 하나의 섹션에 대하여 부워드선(2) 단위로 스페어와 교체하는 기능을 가지고 있고, 이 때문에 로우 부분 디코더(13)로부터 로우 부분 신호(XiXj, XkX1)를 입력하고, 컬럼 부분 디코더(19)로부터 컬럼 부분 신호(YiYj, YkY1)를 입력하고 있다. 그리고, 결함 어드레스를 프로그램하기 위하여 결함 어드레스 프로그램 회로(25)내의 퓨즈를 절단하여 로우 어드레스와 섹션 어드레스를 프로그램 한다.

그리고, 주어진 어드레스가 용장프로그램 회로(14)에 설정된 로우 어드레스 및 섹션 어드레스가 모두 발생하면 부정논리곱 회로(27)로부터의 용장 인에이블 신호(RDE)가 출력되고, 스페어 이외의 모든 워드선, 즉 주워드선(1), 부워드선(2)을 비선택으로 한다.

한편, 메모리 셀에 있어서 스페어 셀을 각 섹션마다 하나 이상 설정하고 있고, 이것들은 스페어 선택 신호(SPE1-SPEN)에 의하여 선택된다. 즉, 주워드선(1), 부워드선(2) 모두 비선택으로 된 대신에 대응하는 섹션 내의 이들 스페어 셀 중의 하나의 스페어 셀이 선택되게 된다.

또한, 상기 실시예 1, 실시예 2, 실시예 3의 어느것이나 인히비트 방식의 경우를 예시하고 있는데 각 어드레스마다 대응하여 설치되어 있는 퓨즈를 절단함으로써 용장을 행하는 제7도에 도신한 바와 같은 분히퓨즈방식에 있어서도 본 발명은 적용이 가능하다.

제4도는 이와 같은 분리 퓨즈 방식의 용장 방식에 적용되는 본 발명의 실시예 4의 용장 회로 장치의 회로도이다.

도시된 바와 같이 섹션 SC1-SCP 까지를 1개의 블록으로 하고 , 섹션 SC(P+1)-SCN까지를 별도의 블록으로 하여, 이들 블록 단위로 스페어와 교체한다.

그런데, 부워드선 드라이버(16)에 있어서 PMOS 트랜지스터(35)의 소스는 전원선(36)과 접속되어 있고, NMOS트랜지스터(37)의 게이트는 신호선(38)에 접속된다. 이와 관련하여 전원선(36)과 신호선(38)은 섹션 SC1-SCP의 각 부워드선 드라이버(16)의 PMOS 트랜지스터(35)와 NMOS트랜지스터(37)에 공통이고, 똑같이 섹션(SC(P+1)-SCN의 각 부워드선 드라이버(16)의 PMOS 트랜지스터(35)와 NMOS트랜지스터(37)에 공통이다.

풀업 회로(39)는 전원선(36)을 고전위 전원(Vcc)에 고정하는 동시에 신호선(38)을 접지전위(VSS)에 고정하는 회로이다. 섹션SC1-SCP의 부워드선(2)의 그룹마다에 하나, 섹션(SC(P+1)-SCN의 부워드선(2)의 그룹

마다에 하나가 배치된다.

또, 각 풀업 회로(39)에 설치되는 퓨즈(40)는 전원선(36)을 고전위 전원(Vcc)에 접속하는 기능을 가지고 있고, 절단함으로써 전원선(36)을 접지전위(VSS)로 하는 동시에 신호선(38)을 하이 레벨로 한다.

또한, 로우 부분 디코더(13)에는 결함 어드레스 프로그램 회로(25)가 접속되고, 스페어 선택 신호(SPE11-SPEK1, SPE12-SPEK2)에 의하여 스페어 부워드선 드라이버(18)를 통해서 스페어 부워드선(4)을 구동하도록 구성된다.

또, 섹션 디코더(110)로부터는 각 섹션마다 SD1 선택 신호, SD2 선택 신호, 섹션 선택 신호(SS)를 출력하고 있고, 부워드선 드라이버(16)의 구동을 제어하고 있다.

이상 기술한 바와 같은 구성에 있어서, 어느 하나의 워드선 방향의 어드레스 중의 일부분을 스페어와 교체하고자 할 경우, 대응하는 풀업 회로(39)의 퓨즈(40)를 절단하고 전원선(36)을 고전위 전원(Vcc)에, 신호선(38)을 접지전위(Vss) 레벨로 고정하면 대응하는 블록 중의 부워드선(2)은 모두가 접지전위(Vss)로 고정되어 버린다. 그 결과 주워드선(1)이 선택되고, 이 블록을 지정하기 위하여 섹션 디코더(110)에서 SD1 선택 신호, SD2 선택 신호가 출력되어도 대응하는 블록의 부워드선(2)은 선택되지 않는다.

한편, 결함 어드레스 프로그램 회로(25)에 프로그램된 결함 어드레스가 발생하였을 경우 스페어 선택 신호(SPE11-SPE2K)에 의하여 스페어 부워드선(4)을 통하여 스페어 주워드선(3)이 구동되므로 스페어 셀의 억세스가 행하여지게 된다.

이와 같이 분리 퓨즈 방식의 용장 방식에 의하면 결함 셀과 인히비트로 하기 위한 신호를 가질 필요가 없으므로, 억세스 시간의 고속화를 도모할 수 있다.

또, 상기 실시예와 같이 2변조 2중 워드선 방식에서는 하나의 주워드선(1)에 2계통의 부워드선(2)이 접속되므로, 종래와 같이 2계통 모두 동시에 스페어 셀과 교체하지는 않고, 부워드선(2)에 대하여는 1개씩 스페어 셀과 교체할 수 있다.

이상과 같이 본 발명의 용장 회로 장치는 워드선 방향의 선택을 주워드선과, 워드선 방향으로 복수 섹션으로 분할한 부워드선에 의하여 행하는 2중 워드선 방식의 메모리 또는 한 섹션내에서 하나의 주워드선에 복수의 부워드선 드라이버가 접속되어 있는 변조2중 워드선 방식의 메모리에 있어서 결함 셀과 스페어 셀과의 교체를 부워드선마다 행하도록 구성하였으므로 주워드선까지 스페어와 교체하는 방식에 비해 용장의 효율이 비약적으로 향상되고, 메모리 칩의 구제율이 대폭 향상되어 경제적인 메모리 칩을 실현할 수 있다.

(57) 청구의 범위

청구항 1

결함이 있는 정규 메모리 셀을 스페어 메모리 셀로 교체하는 용장회로장치에 있어서, 복수개의 정규 메모리 셀과 스페어 메모리 셀을 각각 가지며, 상기 정규 메모리 셀은 주워드선 신호와 섹션 선택 신호에 따라 부워드선을 활성화하고 이 활성화된 부워드선에 접속된 정규 메모리 셀을 선택함으로써 선택되는 복수개의 섹션과; 각각의 섹션에 있는 스페어 메모리 셀을 선택하기 위한 스페어 메모리 셀 선택 신호와 섹션 선택 신호를 출력하기 위한 것으로, 상기 결함있는 섹션의 정규 메모리 셀을 섹션의 스페어 메모리 셀로 교체할 때는, 상기 섹션 선택 신호를 출력하지 않고 결함있는 정규 메모리 셀을 갖는 결함있는 섹션에 스페어 메모리 셀 선택 신호만을 출력하며 , 결함 없는 섹션의 정규 메모리 셀을 선택할 때는 스페어 메모리 셀 선택 신호를 출력하지 않고 결함 있는 정규 메모리 셀을 갖지 않는 결함 없는 섹션에 섹션 선택 신호만을 출력하는 섹션 디코더를 구비하는 것을 특징으로 하는 용장 회로 장치.

청구항 2

제1항에 있어서, 복수개의 주워드선을 추가로 구비하는 것을 특징으로 하는 용장 회로 장치.

청구항 3

제2항에 있어서, 상기 복수개의 주워드선 중 하나를 선택하기 위한 로우 디코더를 추가로 구비하는 것을 특징으로 하는 용장 회로 장치.

청구항 4

제1항에 있어서, 상기 주워드선 신호와 섹션 선택 신호로 논리 연산을 수행하는 부워드선 라인 구동 회로를 추가로 구비하며, 상기 부워드선은 상기 부워드선 구동 회로의 출력에 따라 구동하는 것을 특징으로 하는 용장 회로 장치.

청구항 5

제2항에 있어서, 상기 주워드선 신호와 섹션 선택 신호로 논리 연산을 수행하는 부워드선 라인 구동 회로를 추가로 구비하며, 상기 부워드선은 상기 부워드선 구동 회로의 출력에 따라 구동하는 것을 특징으로 하는 용장 회로 장치.

청구항 6

제3항에 있어서, 상기 주워드선 신호와 섹션 선택 신호로 논리 연산을 수행하는 부워드선 라인 구동 회로를 추가로 구비하며, 상기 부워드선은 상기 부워드선 구동 회로의 출력에 따라 구동하는 것을 특징으로 하는 용장 회로 장치.

청구항 7

제1항에 있어서, 상기 섹션 디코더는 상기 섹션의 각각에 대응하는 복수개의 개별 섹션 디코더를 구비하며, 상기 개별 섹션 디코더 각각은 퓨즈를 절단함으로써 프로그램되는 어드레스 프로그램 회로를 가지고, 어드레스가 발생된 경우 상기 섹션 선택 신호를 출력하지 않고 상기 스페어 메모리 셀 선택 신호를 출력하는 것을 특징으로 하는 용장 회로 장치.

청구항 8

제4항에 있어서, 상기 섹션 디코더는 상기 섹션의 각각에 대응하는 복수개의 개별 섹션 디코더를 구비하며, 상기 개별 섹션 디코더 각각은 퓨즈를 절단함으로써 프로그램되는 어드레스 프로그램 회로를 가지고, 어드레스가 발생된 경우 상기 섹션 선택 신호를 출력하지 않고 상기 스페어 메모리 셀 선택 신호를 출력하는 것을 특징으로 하는 용장 회로 장치.

청구항 9

제6항에 있어서, 상기 섹션 디코더는 상기 섹션의 각각에 대응하는 복수개의 개별 섹션 디코더를 구비하며, 상기 개별 섹션 디코더 각각은 퓨즈를 절단함으로써 프로그램되는 어드레스 프로그램 회로를 가지고, 어드레스가 발생된 경우 상기 섹션 선택 신호를 출력하지 않고 상기 스페어 메모리 셀 선택 신호를 출력하는 것을 특징으로 하는 용장 회로 장치.

청구항 10

제7항에 있어서, 상기 동일 섹션의 복수개의 부워드선 구동 회로 각각의 한 입력 단자는 상기 주워드선에 각각 접속되며, 상기 개별 섹션 디코더 각각은 대응하는 각 섹션의 복수개의 부워드선 구동 회로의 다른 입력 단자에 각각의 섹션 선택 신호를 인가하는 것을 특징으로 하는 용장 회로 장치.

청구항 11

제8항에 있어서, 상기 동일 섹션의 복수개의 부워드선 구동 회로 각각의 한 입력 단자는 상기 주워드선에 각각 접속되며, 상기 개별 섹션 디코더 각각은 대응하는 각 섹션의 복수개의 부워드선 구동 회로의 다른 입력 단자에 각각의 섹션 선택 신호를 인가하는 것을 특징으로 하는 용장 회로 장치.

청구항 12

제9항에 있어서, 상기 동일 섹션의 복수개의 부워드선 구동 회로 각각의 한 입력 단자는 상기 주워드선에 각각 접속되며, 상기 개별 섹션 디코더 각각은 대응하는 각 섹션의 복수개의 부워드선 구동 회로의 다른 입력 단자에 각각의 섹션 선택 신호를 인가하는 것을 특징으로 하는 용장 회로 장치.

청구항 13

결함이 있는 정규 메모리 셀을 스페어 메모리 셀로 교체하는 용장회로장치에 있어서, 복수개의 정규 메모리 셀과 스페어 메모리 셀을 각각 가지며, 상기 정규 메모리 셀은 주워드선 신호와 섹션 선택 신호에 따라 부워드선을 활성화하고 이 활성화된 부워드선에 접속된 정규 메모리 셀을 선택함으로써 선택되는 복수개의 섹션과; 상기 섹션 각각에 섹션 선택 신호를 출력하는 섹션 디코더와; 상기 섹션 각각에 대응하며, 어드레스가 발생될 경우 퓨즈를 절단함으로써 결함이 있는 정규 메모리 셀 어드레스를 프로그램하고, 상기 주워드선을 비선택으로 하기 위한 신호와 상기 스페어 메모리 셀을 선택하기 위한 스페어 메모리 셀 선택 신호를 출력하는 복수개의 어드레스 프로그램 회로를 구비하는 것을 특징으로 하는 용장 회로 장치.

청구항 14

결함이 있는 정규 메모리 셀을 스페어 메모리 셀로 교체하는 용장회로장치에 있어서, 복수개의 정규 메모리 셀과 스페어 메모리 셀을 각각 가지며, 상기 정규 메모리 셀은 주워드선 신호와 섹션 선택 신호에 따라 부워드선을 활성화하고 이 활성화된 부워드선에 접속된 정규 메모리 셀을 선택함으로써 선택되는 복수개의 섹션과; 상기 섹션 각각에 섹션 선택 신호를 출력하는 섹션 디코더와; 상기 섹션 각각에 대응하며, 어드레스가 발생될 경우 퓨즈를 절단함으로써 결함이 있는 정규 메모리 셀 어드레스를 프로그램하고, 상기 주워드선을 비선택으로 하기 위한 신호와 상기 스페어 메모리 셀을 선택하기 위한, 스페어 메모리 셀 선택 신호를 출력하는 복수개의 어드레스 프로그램 회로와; 각각의 한 입력 단자가 상기 주워드선에 각각 접속되고, 상기 섹션 디코더의 각 섹션 선택 신호가 각각의 다른 입력 단자에 인가되며 부워드선이 각각의 출력단자에 접속되는 복수개의 부워드선 구동 회로와; 소정수의 상기 부워드선 구동 회로로 구성된 각 그룹에 제공되고, 어드레스가 발생된 경우 퓨즈를 절단함으로써 각각의 대응 그룹의 복수개의 부워드선 구동회로가 부워드선을 구동시키지 못하도록 하는 복수개의 부워드선 구동 디스에이블 회로를 구비하고, 상기 퓨즈를 절단함으로써 결함 어드레스를 프로그램하는 상기 복수개의 결함 어드레스 프로그램 회로는 상기 부워드선 구동 디스에이블 회로에 의해 구동되지 않게 된 상기 부워드선 구동 회로에 접속된 부워드선에 접속되어 있는 정규 메모리 셀 대신에, 스페어 메모리 셀을 선택하는 것을 특징으로 하는 용장 회로 장치.

청구항 15

제14항에 있어서, 상기 동일 섹션의 복수개의 부워드선 구동 회로 각각의 한 입력단자는 주워드선에 각각 접속되고 상기 동일 섹션의 부워드선 구동 회로 각각의 다른 입력 단자에는 상기 섹션 디코더에 의해 각각의 섹션 신호가 인가되는 것을 특징으로 하는 용장 회로 장치.

청구항 16

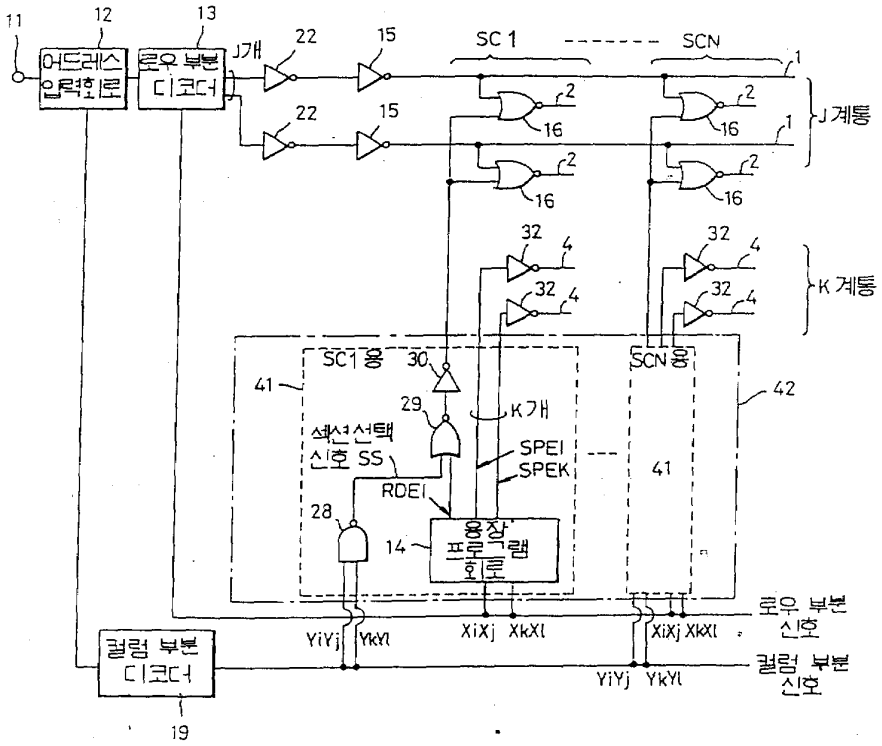
제14항에 있어서, 상기 스페어 메모리 셀은 상기 스페어 부워드선 구동 회로의 출력에 따라 선택되며, 상기 스페어 부워드선 구동 회로는 상기 섹션 디코더로부터의 섹션 선택 신호와 상기 결함 어드레스 프로그램 회로의 출력에 의해 구동되는 것을 특징으로 하는 용장 회로 장치.

청구항 17

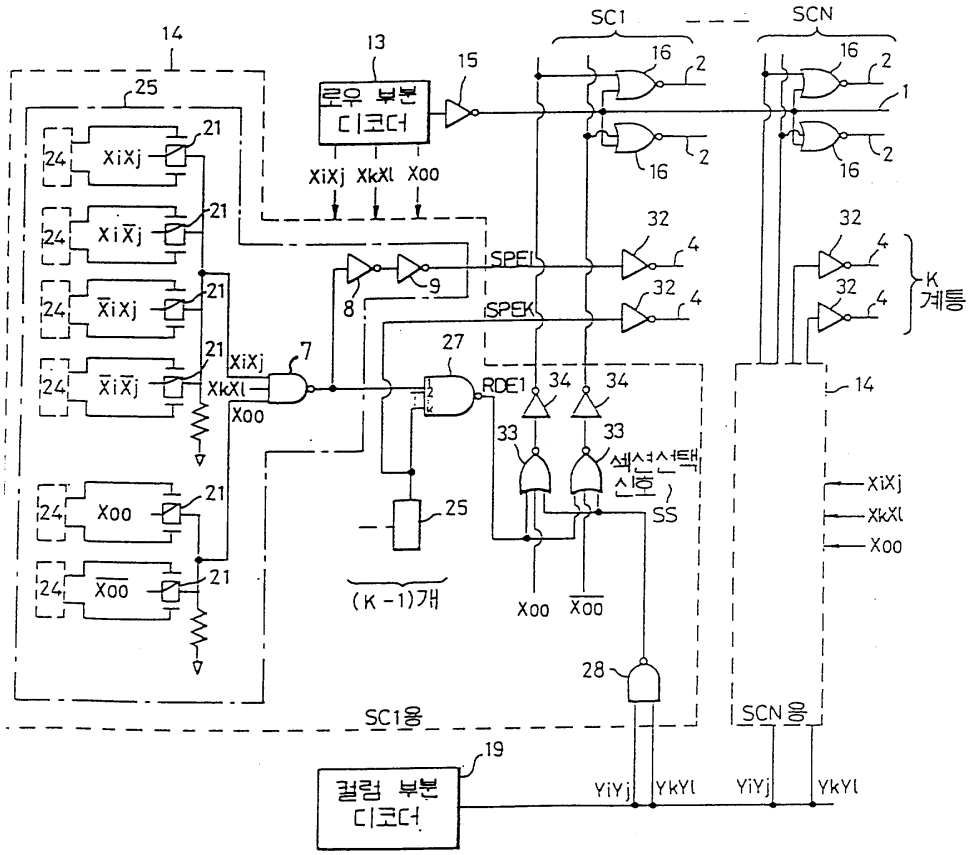
제15항에 있어서, 상기 스페어 메모리 셀은 상기 스페어 부워드선 구동 회로의 출력에 따라 선택되며, 상기 스페어 부워드선 구동 회로는 상기 섹션 디코더로부터의 섹션 선택 신호와 상기 결함 어드레스 프로그램 회로의 출력에 의해 구동되는 것을 특징으로 하는 용장 회로 장치.

도면

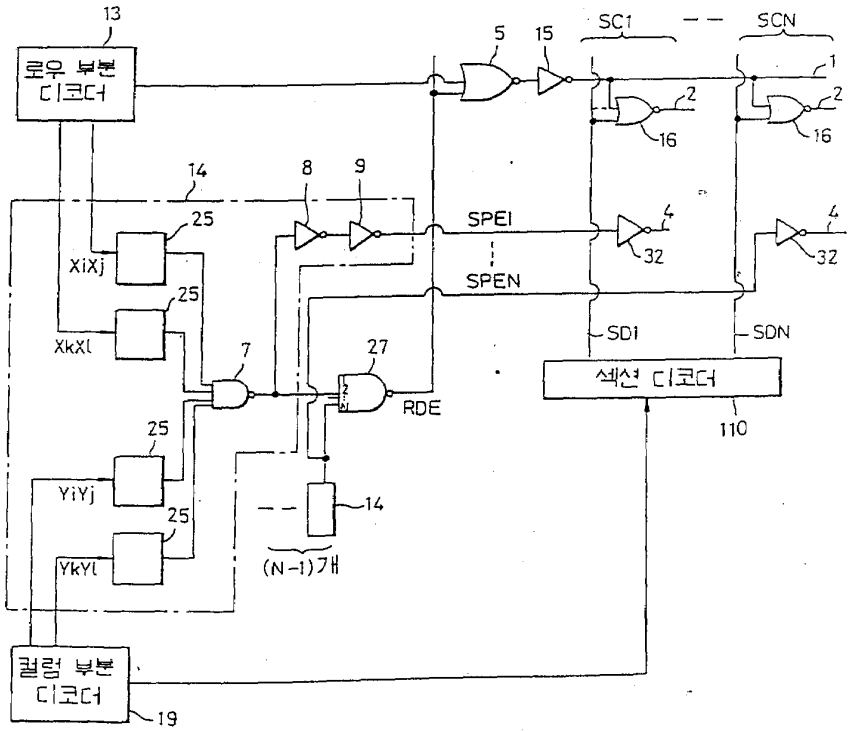
도면1



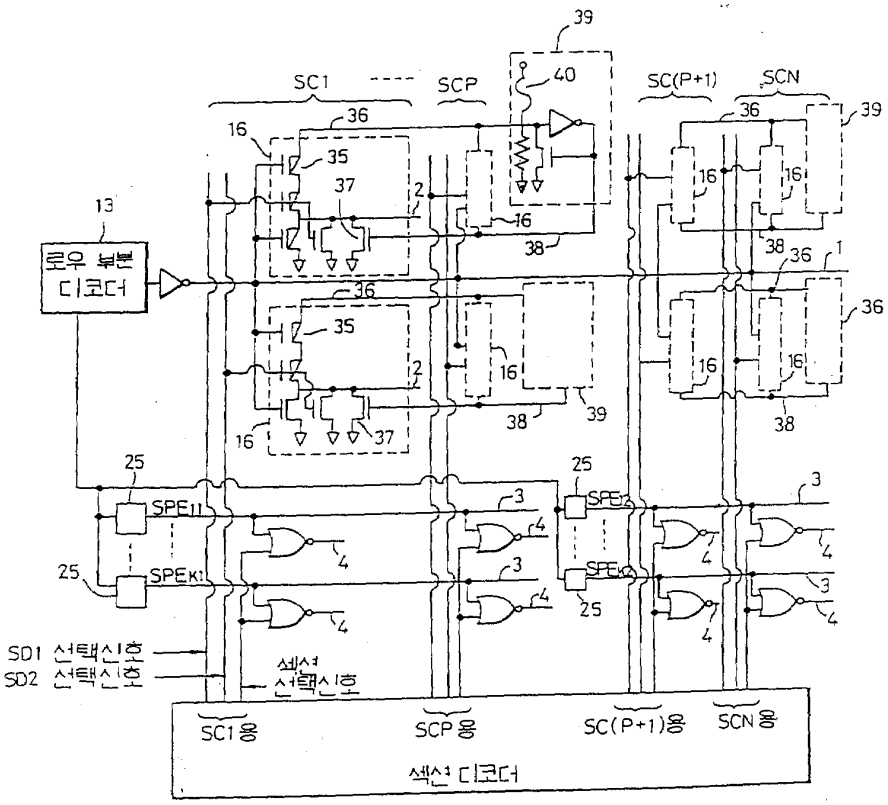
도면2


SC1
SCN
로우 부분 디코더
XiXj XkXl X00
SPEI
SPEK
RDE1
K 계통
(K-1)개
섹션선택 신호
SS
SC1용
SCN용
컬럼 부분 디코더
YiYj YkYl

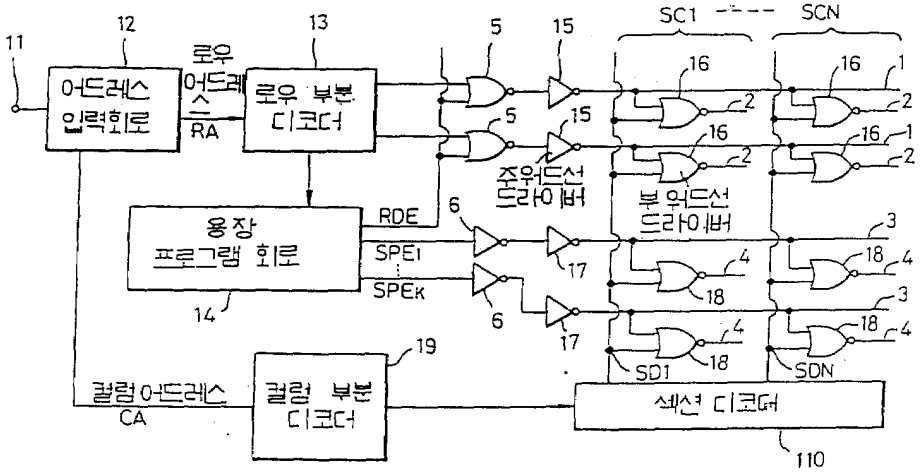
도면3


로우 부분 디코더
SC1
SCN
SPEI
SPEN
SD1
SDN
섹션 디코더
RDE
(N-1)개
컬럼 부분 디코더

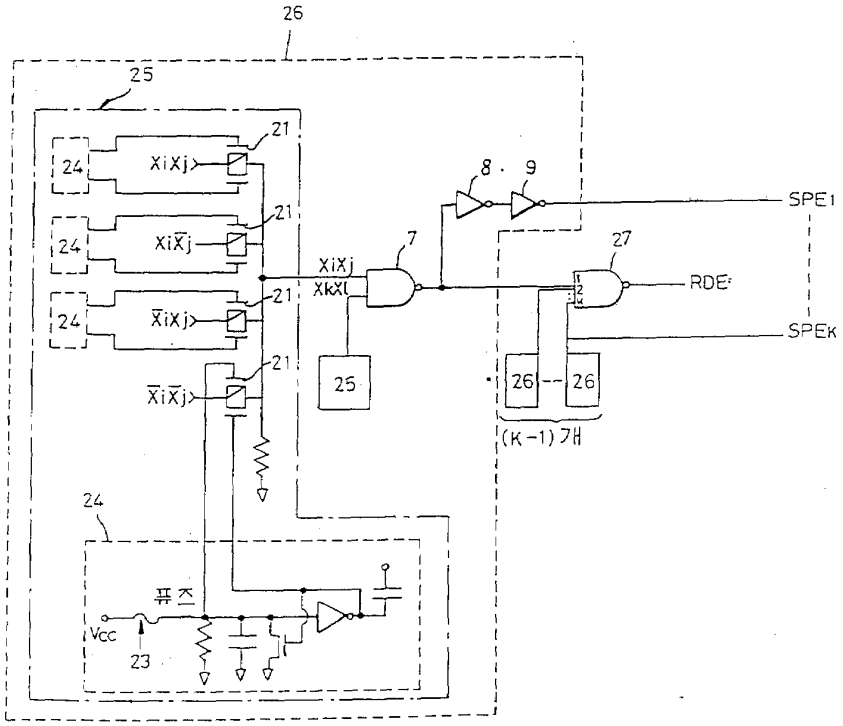
도면4


SC1
SCP
SC(P+1)
SCN
로우 부분 디코더
SPE1
SPEk
SD1 선택신호
SD2 선택신호
센스 선택신호
SC1용
SCP용
SC(P+1)용
SCN용
센스 디코더

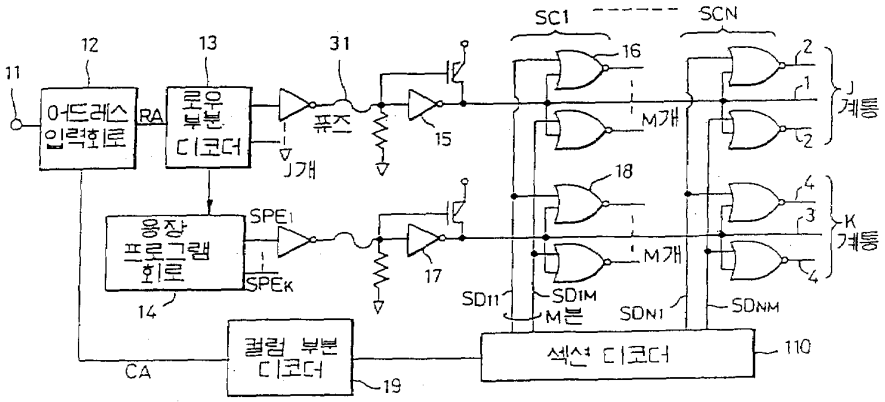
도면5


어드레스 입력회로
로우 어드레스 RA
로우 부분 디코더
주워드선 드라이버
부 워드선 드라이버
용장 프로그램 회로
RDE
SPE1
SPEk
컬럼어드레스 CA
컬럼 부분 디코더
SD1
SDN
센스 디코더
SC1
SCN

도면6


26
25
21
24
XiXj
XiX̄j
X̄iXj
X̄iX̄j
8
9
SPE1
7
XiXj
XkXl
27
RDE
SPEK
25
26
(K-1)개
24
퓨즈
Vcc
23

도면7


SC1
SCN
11
12
13
31
16
2
1
J
계통
어드레스
입력회로
RA
로우
부분
디코더
퓨즈
15
M개
J개
18
4
3
K
계통
용장
프로그램
회로
SPE1
SPEK
17
M개
14
SD11
SD1M
M본
SDN1
SDNM
컬럼 부분
디코더
CA
19
섹션 디코더
110