



(12) 发明专利

(10) 授权公告号 CN 101763888 B

(45) 授权公告日 2014. 11. 26

(21) 申请号 200910166431. 4

行 - 第 13 页第 23 行 .

(22) 申请日 2009. 08. 12

US 2007/0070730 A1, 2007. 03. 29, 全文 .

(30) 优先权数据

审查员 梁岩

10-2008-0130991 2008. 12. 22 KR

(73) 专利权人 海力士半导体有限公司

地址 韩国京畿道利川市

(72) 发明人 李京夏

(74) 专利代理机构 北京集佳知识产权代理有限公司

公司 11227

代理人 杨林森 康建峰

(51) Int. Cl.

G11C 7/22 (2006. 01)

G11C 8/06 (2006. 01)

(56) 对比文件

US 2008/0002484 A1, 2008. 01. 03, 说明书第 30-37 段, 附图 3.

CN 1697079 A, 2005. 11. 16, 第 8 页第 10

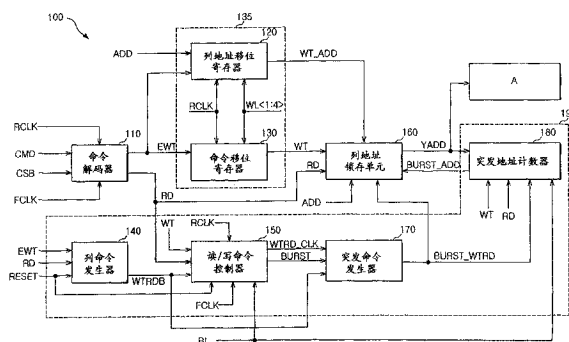
权利要求书3页 说明书9页 附图8页

(54) 发明名称

能够控制读命令的半导体集成电路

(57) 摘要

本发明提供了一种半导体集成电路, 其包括命令解码器、移位寄存器单元和命令地址锁存单元。命令解码器响应于定义写模式和读模式的外部命令, 并且被配置成分别与上升时钟和下降时钟同步地、根据外部命令来提供写命令和读命令。移位寄存器单元被配置成响应于写命令将外部地址和写命令移位一写等待时间以便提供写地址和经移位的写命令。列地址锁存单元被配置成在读模式下锁存并提供外部地址作为列地址, 而在写模式下锁存并提供从移位寄存器单元提供的写地址作为列地址。



1. 一种半导体集成电路,包括:

命令解码器,其响应于定义写模式和读模式的外部命令,并且被配置成根据所述外部命令、与上升时钟同步地提供写命令、并且根据所述外部命令、与下降时钟同步地提供读命令;

移位寄存器单元,其被配置成响应于所述写命令将外部地址和所述写命令移位一写等待时间以便提供写地址和经移位的所述写命令;以及

列地址锁存单元,其被配置成在所述读模式下锁存并提供所述外部地址作为列地址,而在所述写模式下锁存并提供从所述移位寄存器单元提供的所述写地址作为所述列地址。

2. 根据权利要求1所述的半导体集成电路,其中所述移位寄存器单元包括:

命令移位寄存器,其被配置成当所述写命令被激活时通过将所述写命令与所述上升时钟同步来将所述写命令移位所述写等待时间;以及

列地址移位寄存器,其被配置成响应于所述写命令、通过将所述外部地址与所述上升时钟同步来将所述外部地址移位所述写等待时间。

3. 一种通过一个地址管脚、使用上升时钟和下降时钟来执行多路复用的半导体集成电路,所述半导体集成电路包括:

命令解码器,其响应于外部命令,并且被配置成提供第一写命令并且被配置成提供读命令,其中所述第一写命令与所述上升时钟和所述下降时钟中的一个时钟同步地提供,且所述读命令与所述上升时钟和所述下降时钟中的另一个时钟同步地提供;

移位寄存器单元,其被配置成响应于所述第一写命令将外部地址和所述第一写命令移位一写等待时间以便提供写地址和第二写命令;

突发命令控制器,其被配置成当预定突发长度被超过时提供突发读-写命令和与所述突发读-写命令对应的突发地址,其中所述突发读-写命令表明附加的写或读操作,所述突发读-写命令和所述突发地址响应于所述第一写命令、所述读命令和突发长度来提供;以及

列地址锁存单元,其被配置成在读模式下锁存并提供所述外部地址作为列地址,在写模式下锁存并提供所述写地址作为所述列地址,并且响应于所述突发读-写命令来锁存并提供所述突发地址作为所述列地址。

4. 根据权利要求3所述的半导体集成电路,其中所述移位寄存器单元包括:

命令移位寄存器,其被配置成当所述第一写命令被激活时通过将所述第一写命令与所述上升时钟同步以将所述第一写命令移位所述写等待时间,来输出所述第二写命令;以及

列地址移位寄存器,其被配置成响应于所述第一写命令、通过将所述外部地址与所述上升时钟同步来将所述外部地址移位所述写等待时间。

5. 根据权利要求3所述的半导体集成电路,其中所述突发命令控制器包括:

列命令发生器,其被配置成响应于所述第一写命令和所述读命令来提供写-读命令;

读/写命令控制器,其被配置成响应于所述写-读命令、所述读命令、所述第二写命令和所述突发长度来提供写-读时钟和突发信号;

突发命令发生器,其被配置成响应于所述写-读命令、所述写-读时钟和所述突发信号来提供突发读-写命令;以及

突发地址计数器,其被配置成响应于所述读命令、所述第二写命令、所述突发读-写命

令、所述突发长度和所述列地址来提供突发地址。

6. 根据权利要求 5 所述的半导体集成电路,其中所述列命令发生器被配置成提供所述写-读命令,使得当所述第一写命令被激活时所述写-读命令具有第一电平,且当所述读命令被激活时所述写-读命令具有第二电平。

7. 根据权利要求 5 所述的半导体集成电路,其中所述读/写命令控制器包括:

时钟选择器,其响应于所述写-读命令,并且被配置成在所述写模式下提供所述上升时钟作为所述写-读时钟,而在所述读模式下提供所述下降时钟作为所述写-读时钟;以及

突发信号发生器,其被配置成提供被延迟了所述突发长度并且按预定突发长度划分开的所述突发信号。

8. 根据权利要求 5 所述的半导体集成电路,其中所述突发命令发生器被配置成当所述突发信号被激活时提供与所述写-读时钟同步的所述突发读-写命令。

9. 根据权利要求 5 所述的半导体集成电路,其中所述突发地址计数器被配置成当所述突发长度超过所述预定突发长度时对锁存的所述列地址进行计数同时增大所述列地址以便提供所述突发地址。

10. 一种半导体集成电路,包括:

命令解码器,其响应于定义写模式和读模式的外部命令,并且被配置成根据所述外部命令、与时钟的第一边沿同步地提供写命令、并且根据所述外部命令、与所述时钟的第二边沿同步地提供读命令;

读/写命令控制器,其被配置成当所述写命令被激活时与所述时钟的所述第一边沿同步地提供写-读时钟,而当所述读命令被激活时与所述时钟的所述第二边沿同步地提供所述写-读时钟;

命令发生器,其被配置成提供与所述写-读时钟同步的突发读-写命令;以及

列地址锁存单元,其被配置成响应于所述突发读-写命令来锁存列地址。

11. 根据权利要求 10 所述的半导体集成电路,其中所述读/写命令控制器包括被配置成响应于从模式寄存器组提供的突发长度来提供突发信号的突发信号发生器,且所述命令发生器响应于所述突发信号来生成所述突发读-写命令。

12. 根据权利要求 10 所述的半导体集成电路,还包括移位寄存器单元,所述移位寄存器单元包括:

命令移位寄存器,其被配置成当所述写命令被激活时通过将所述写命令与上升时钟同步来将所述写命令移位写等待时间以便输出第二写命令;以及

列地址移位寄存器,其被配置成响应于所述写命令、通过将外部地址与所述上升时钟同步来将所述外部地址移位所述写等待时间以便输出写地址,

其中所述列地址锁存单元还被配置成响应于所述读命令来锁存并提供所述外部地址作为列地址,并且响应于所述第二写命令来锁存并提供从所述移位寄存器单元提供的所述写地址作为所述列地址。

13. 一种半导体集成电路,包括:

命令解码器,其被配置成根据外部命令、与时钟的第一边沿同步地提供写命令,并且根据所述外部命令、与所述时钟的第二边沿同步地提供读命令;

读/写命令控制器,其被配置成响应于所述读命令、与所述时钟的所述第二边沿同步

地提供读时钟 ;以及

列地址锁存单元,其被配置成响应于所述读命令来锁存外部地址,并且与所述时钟的所述第二边沿同步地提供列地址。

14. 根据权利要求 13 所述的半导体集成电路,其中所述读 / 写命令控制器还被配置成响应于所述写命令、与所述时钟的所述第一边沿同步地提供写时钟。

15. 根据权利要求 13 所述的半导体集成电路,其中所述读 / 写命令控制器还包括被配置成响应于从模式寄存器组提供的突发长度来提供突发信号的突发信号发生器。

16. 根据权利要求 13 所述的半导体集成电路,其中所述列地址锁存单元被配置成根据外部命令选择性地提供外部地址和被施加延迟的地址中的一个地址。

17. 根据权利要求 16 所述的半导体集成电路,其中所述列地址锁存单元被配置成响应于写命令、通过锁存由移位寄存器单元延迟的写地址来提供所述列地址。

18. 根据权利要求 13 所述的半导体集成电路,其中所述第一边沿是所述时钟的上升沿,且所述第二边沿是所述时钟的下降沿。

能够控制读命令的半导体集成电路

[0001] 对相关申请的交叉引用

[0002] 本申请要求了 2008 年 12 月 22 日提交于韩国专利局的韩国申请第 10-2008-0130991 号的优先权,通过引用将该韩国申请整体合并于此,就如同全文阐述该韩国申请那样。

技术领域

[0003] 这里描述的多个实施例概括地说涉及一种半导体集成电路,更具体地说涉及一种能够控制读命令的半导体集成电路。

背景技术

[0004] 通常,半导体集成电路是通过将命令信号和地址与时钟的上升沿同步来工作的。数据带宽增大这一趋势受制于半导体集成电路所需管脚数目的增加。由于可认为减少管脚数目是有益的,因此考虑了用于实现这样的结果的技术。

[0005] 例如,考虑了对管脚使用多路复用方案。在此方案中,可使用时钟的上升沿和下降沿、相对于一个地址管脚执行多寻址。例如,在时钟的上升沿使用地址管脚作为第一地址,如果地址管脚与时钟的下降沿同步,则可使用地址管脚作为第十地址。这样,可部分地减少必需的管脚数目。

[0006] 然而,在外部读或写命令被施加于半导体集成电路之后执行两次多寻址,半导体集成电路通常在这两次多寻址之后出现的后续上升沿开始读或写操作。因此,在用于减少必需管脚数目的方案中,地址访问时间(t_{AA})可能增加。

发明内容

[0007] 本发明的多个实施例包括一种能够改善地址访问时间(t_{AA})的半导体集成电路。

[0008] 根据一个实施例,一种半导体集成电路包括:命令解码器,其被配置成响应于定义写模式和读模式的外部命令、分别与上升时钟和下降时钟同步地提供写命令和读命令;移位寄存器单元,其被配置成响应于写命令将外部地址和写命令移位一写等待时间以便提供写地址和经移位的写命令;以及列地址锁存单元,其被配置成在读模式下锁存外部地址作为列地址,而在写模式下锁存并提供从移位寄存器单元提供的写地址作为列地址。

[0009] 根据另一个实施例,一种通过一个地址管脚、使用上升时钟和下降时钟来执行多路复用的半导体集成电路包括:命令解码器,其响应于外部命令,并且被配置成提供第一写命令并且被配置成提供读命令,其中第一写命令与上升时钟和下降时钟中的一个时钟同步地提供,且读命令与上升时钟和下降时钟中的另一个时钟同步地提供;移位寄存器单元,其被配置成响应于第一写命令将外部地址和第一写命令移位一写等待时间由此提供写地址和第二写命令;突发命令控制器,其被配置成在预定突发长度被超过的情况下、响应于第一写命令、读命令和突发长度来提供表明附加的写或读操作的突发读-写命令和与突发读-写命令对应的突发地址;以及列地址锁存单元,其被配置成在读模式下锁存外部

地址作为列地址,在写模式下通过锁存写地址来提供写地址作为列地址,并且响应于突发读-写命令来锁存突发地址作为列地址。

[0010] 根据又一个实施例,一种半导体集成电路包括:命令解码器,其响应于定义写模式和读模式的外部命令,并且被配置成根据外部命令、与时钟的第一边沿同步地提供写命令、并且根据外部命令、与时钟的第二边沿同步地提供读命令;读/写命令控制器,其被配置成响应于写-读命令、与时钟的第一边沿同步地提供写-读时钟,并且响应于读命令、与时钟的第二边沿同步地提供写-读时钟;以及列地址锁存单元,其被配置成响应于读命令来锁存外部地址作为列地址,并且响应于写-读命令、通过锁存从移位寄存器单元提供的写地址来提供列地址。

[0011] 根据再一个实施例,一种半导体集成电路包括:命令解码器,其被配置成与时钟的第一边沿同步地提供读命令;读/写命令控制器,其被配置成响应于读命令、与时钟的第二边沿同步地提供读时钟;以及列地址锁存单元,其被配置成响应于读命令来锁存外部地址,并且与时钟的第二边沿同步地提供列地址。

[0012] 下面,在标题为“具体实施方式”的一节中描述这些及其它特征、方面和实施例。

附图说明

[0013] 从下面结合附图进行的详细描述中,将更清楚地理解本公开的主题的以上及其它方面、特征和其它优点,在附图中:

[0014] 图 1 是示出了根据本发明一个实施例的示例半导体集成电路的结构框图;

[0015] 图 2 是示出了根据本发明一个实施例的命令控制器的框图;

[0016] 图 3 是示出了根据本发明一个实施例的图 1 中所示半导体集成电路的命令解码器的电路图;

[0017] 图 4 是示出了根据本发明一个实施例的图 2 中所示命令控制器的移位寄存器单元的电路图;

[0018] 图 5 是示出了根据本发明一个实施例的图 2 中所示命令控制器的列命令发生器的电路图;

[0019] 图 6 是示出了根据本发明一个实施例的图 2 中所示命令控制器的读/写命令控制单元的框图;

[0020] 图 7 是示出了根据本发明一个实施例的图 6 中所示读/写命令控制单元的时钟选择器的电路图;

[0021] 图 8 是示出了根据本发明一个实施例的图 6 中所示读/写命令控制单元的突发信号发生器的电路图;

[0022] 图 9 是示出了根据本发明一个实施例的图 2 中所示命令控制器的列地址锁存单元的电路图;以及

[0023] 图 10 是图示了根据本发明一个实施例的图 1 中所示半导体集成电路的时钟与命令之间的关系时序图。

具体实施方式

[0024] 图 1 是示出了根据本发明一个实施例的包括命令控制器的示例半导体集成电路

的结构的框图。

[0025] 参照图 1, 在本发明一个实施例中, 半导体集成电路包括各自具有多个垫的第一和第二垫部分 10 和 20、具有多个存储体的存储区域 ‘A’ 以及在存储区域 ‘A’ 的外围形成的外围电路区域 ‘B’

[0026] 外部信号通过第一和第二垫部分 10 和 20 的垫被施加于半导体集成电路, 且半导体集成电路的内部信号通过垫被传送到外界。

[0027] 存储区域 ‘A’ 的存储体的数目和布置可依据半导体集成电路的配置和 / 或集成度而变化。

[0028] 在一个实施例中, 外围电路区域 ‘B’ 包括命令控制器 100。命令控制器 100 控制存储区域 ‘A’。在一个实施例中, 命令控制器 100 与上升时钟同步地提供写命令, 并且与下降时钟同步地提供读命令。下文中, 将参照附图详细地描述命令控制器 100。

[0029] 图 2 是示出了根据本发明一个实施例的命令控制器的框图。

[0030] 参照图 2, 在一个实施例中, 命令控制器 100 包括命令解码器 110、移位寄存器单元 135、列地址锁存单元 160 和突发命令控制器 190。

[0031] 命令解码器 110 响应于外部命令 ‘CMD’ 和片选信号 ‘CSB’ 来提供与上升时钟 ‘RCLK’ 或下降时钟 ‘FCLK’ 对应的第一写命令 ‘EWT’ 和读命令 ‘RD’。例如, 如果外部命令 ‘CMD’ 被接收并且定义写模式, 则命令解码器 110 提供与上升时钟 ‘RCLK’ 同步的第一写命令 ‘EWT’。如果外部命令 ‘CMD’ 被接收并且定义读模式, 则命令解码器 110 提供与下降时钟 ‘FCLK’ 同步的读命令 ‘RD’。因此, 如上所述, 根据本发明一个实施例, 可根据外部命令 ‘CMD’、与时钟的各边沿 (与上升时钟和下降时钟对应的上升沿和下降沿) 同步地提供读命令 ‘RD’ 和第一写命令 ‘EWT’。更具体地说, 上升时钟 ‘RCLK’ 表示与时钟的上升沿同步地生成的时钟。此外, 下降时钟 ‘FCLK’ 表示与时钟的下降沿同步地生成的时钟。由于根据时钟信号生成上升和下降时钟在本领域中是已知的, 所以将省略关于其生成方案的详细描述。

[0032] 在一个实施例中, 移位寄存器单元 135 包括列地址移位寄存器 120 和命令移位寄存器 130。

[0033] 列地址移位寄存器 120 响应于外部地址 ‘ADD’、第一写命令 ‘EWT’、上升时钟 ‘RCLK’ 和写等待时间 ‘WL <1 : 4>’ 来提供被延迟了写等待时间 ‘WL <1 : 4>’ 的写地址 ‘WT_ADD’。

[0034] 此外, 命令移位寄存器 130 被配置成响应于第一写命令 ‘EWT’、上升时钟 ‘RCLK’ 和写等待时间 ‘WL <1 : 4>’ 来提供被延迟了写等待时间 ‘WL <1 : 4>’ 的第二写命令 ‘WT’。

[0035] 这样的写命令是需要对时钟基准进行时间调整的同步命令。

[0036] 换言之, 半导体集成电路响应于代表写模式的第一写命令 ‘EWT’、以满足实际写操作所需预定时间要求的内部写命令开始写操作。因此, 移位寄存器单元 135 将外部地址 ‘ADD’ 和第一写命令 ‘EWT’ 与上升时钟 ‘RCLK’ 同步并且延迟写等待时间 ‘WL <1 : 4>’, 由此提供实际写操作所需的写命令 ‘WT’ 和写地址 ‘WT_ADD’。

[0037] 在一个实施例中, 突发命令控制器 190 包括列命令发生器 140、读 / 写命令控制器 150、突发命令发生器 170 和突发地址计数器 180。

[0038] 列命令发生器 140 响应于第一写命令 ‘EWT’、读命令 ‘RD’ 和复位信号 ‘RESET’ 来提供写 - 读命令 ‘WTRDB’。因此, 可以基于写 - 读命令 ‘WTRDB’ 的电平 (例如逻辑电平) 来

确定该信号是对应于读命令‘RD’还是第一写命令‘EWT’。

[0039] 读/写命令控制器 150 响应于第二写命令‘WT’、读命令‘RD’、上升时钟‘RCLK’、下降时钟‘FCLK’、复位信号‘RESET’和突发长度‘BL’来提供写-读时钟‘WTRD_CLK’和突发信号‘BURST’。读/写命令控制器 150 被配置成响应于第二写命令‘WT’来提供上升时钟‘RCLK’作为写-读时钟‘WTRD_CLK’，或者响应于读命令‘RD’来提供下降时钟‘FCLK’作为写-读时钟‘WTRD_CLK’。此外，读/写命令控制器 150 可被配置成响应于从模式寄存器组(MRS)提供的突发长度‘BL’来提供突发信号‘BURST’。例如，突发长度‘BL’可设置为 4、8 或 16。出于说明的目的，突发长度‘BL’被设置成 4。

[0040] 在一个实施例中，突发命令发生器 170 响应于写-读命令‘WTRDB’、写-读时钟‘WTRD_CLK’和突发信号‘BURST’来提供突发读-写命令‘BURST_WTRD’。也就是说，读模式或写模式被执行，且读模式/写模式的选择是基于写-读命令‘WTRDB’的电平（例如电压电平）的。当基准突发长度‘BL’如上所述那样被设置成 4 时，生成一次突发信号‘BURST’。如果突发长度‘BL’为 8，则生成两次突发信号‘BURST’。如果突发长度‘BL’为 16，则生成四次突发信号‘BURST’。因此，如果突发长度‘BL’为 16，则必须提供一次读命令‘RD’（或写命令‘WT’），并且必须提供三次附加的读命令。就此而言，包括附加的读信息的命令对应于突发读-写命令‘BURST_WTRD’。可以以与上述方式相同的方式说明第二写命令‘WT’与突发读-写命令‘BURST_WTRD’之间的关系。然而，应当理解，上面的描述是用于说明的，而不局限于当突发长度‘BL’被设置成 4 时的读或写操作。

[0041] 在一个实施例中，突发地址计数器 180 被配置成响应于读命令‘RD’、第二写命令‘WT’、突发读-写命令‘BURST_WTRD’、突发长度‘BL’和列地址‘YADD’来提供突发地址‘BURST_ADD’。具体地说，当响应于突发读-写命令‘BURST_WTRD’来提供突发地址‘BURST_ADD’时，突发地址计数器 180 从响应于读命令‘RD’或第二写命令‘WT’而锁存的列地址‘YADD’开始计数并将该列地址递增至突发长度‘BL’，然后提供突发地址‘BURST_ADD’。

[0042] 在一个实施例中，列地址锁存单元 160 被配置成响应于第二写命令‘WT’、读命令‘RD’、突发读-写命令‘BURST_WTRD’、写地址‘WT_ADD’、外部地址‘ADD’和突发地址‘BURST_ADD’来提供列地址‘YADD’。具体地说，列地址锁存单元 160 响应于第二写命令‘WT’向存储区域‘A’提供写地址‘WT_ADD’作为列地址‘YADD’，响应于读命令‘RD’向存储区域‘A’提供外部地址‘ADD’作为列地址‘YADD’，并且响应于突发读-写命令‘BURST_WTRD’向存储区域‘A’提供突发地址‘BURST_ADD’作为列地址‘YADD’。根据一个实施例，在读命令‘RD’的情形下，与下降时钟‘FCLK’同步地提供列地址‘YADD’。此外，亦可与下降时钟‘FCLK’同步地提供突发写-读命令‘BURST_WTRD’的与读有关的操作。

[0043] 图 3 是示出了根据本发明一个实施例的图 1 中所示命令控制器的命令解码器的电路图。

[0044] 参照图 3，根据一个实施例的命令解码器 110 包括第一和第二与非门 ND1 和 ND2 以及第一和第二反相器 IV1 和 IV2。

[0045] 第一与非门 ND1 与第一反相器 IV1 串联连接，并且对上升时钟‘RCLK’和外部命令‘CMD’执行与非逻辑运算。

[0046] 第二与非门 ND2 与第二反相器 IV2 串联连接，并且对下降时钟‘FCLK’和外部命令‘CMD’执行与非逻辑运算。

[0047] 如果外部命令‘CMD’为写模式命令,则命令解码器 110 提供与上升时钟‘RCLK’同步的第一写命令‘EWT’。如果外部命令‘CMD’为读模式命令,则命令解码器 110 提供与下降时钟‘FCLK’同步的读命令‘RD’。在一个实施例中,命令解码器 110 可根据读命令‘RD’和第一写命令‘EWT’将同步时钟的边沿划分成下降沿和上升沿。

[0048] 图 4 是示出了根据本发明一个实施例的图 2 中所示命令控制器的移位寄存器单元的电路图。

[0049] 参照图 4,移位寄存器单元 135 的命令移位寄存器 130 包括多个传送器(出于说明的目的,示出了第一至第四传送器 T1 至 T4)和第一等待时间激活单元 133。

[0050] 在一个实施例中,第一至第四传送器 T1 至 T4 中的每个传送器包括传输门 TR 和锁存单元 L。

[0051] 第一传送器 T1 与上升时钟‘RCLK’的上升沿同步地传送第一写命令‘EWT’。当上升时钟‘RCLK’的电平为高电平时,传输门 TR 被接通。锁存单元 L 锁存由传输门 TR 输出的信号。

[0052] 第二传送器 T2 被配置成与上升时钟‘RCLK’的下降沿同步地传送来自第一传送器 T1 的信号。如图 4 中所示,传输门 TR 的配置使得传输门 TR 在上升时钟‘RCLK’为低电平时被接通。锁存单元 L 锁存由传输门 TR 输出的信号。第三和第四传送器 T3 和 T4 以与第一和第二传送器 T1 和 T2 的方式类似的方式工作。

[0053] 因而,第一至第四传送器 T1 至 T4 响应于上升时钟‘RCLK’被交替地接通/关断。因此,在第一和第三传送器 T1 和 T3 或第二和第四传送器 T2 和 T4 被接通之后的信号传送时间被延迟了与传送器 T1 至 T4 中的每一对接通和关断的传送器对应的一个时钟周期。

[0054] 在一个实施例中,第一等待时间激活单元 133 被配置成响应于半导体集成电路的写等待时间‘WL<1:4>’来提供第一至第四传送器 T1 至 T4 的输出信号作为第二写命令‘WT’。第一等待时间激活单元 133 包括分别接收写等待时间‘WL<1:4>’的通行门 PASS 及反相器 INV1 和 INV2。

[0055] 现在描述第一等待时间激活单元 133 的工作。如果写等待时间‘WL<1:4>’为 1,则第一写等待时间‘WL<1>’处于被激活的电平,例如,在图 4 中,被激活的电平为高电平。因此,接收第一被激活的写等待时间‘WL<1>’的通行门 PASS 被接通,从而可提供第二传送器 T2 的输出信号作为第二写命令‘WT’。也就是说,传送时间通过第一和第二传送器 T1 和 T2 或第三和第四传送器 T3 和 T4 被延迟了一个时钟周期,因此,当使用图 4 的配置时,可在写等待时间‘WL<1:4>’为 1 时提供被延迟了一个时钟周期的地址信号。

[0056] 在一个实施例中,列地址移位寄存器 120 包括第一至第四传送器 T1 至 T4、写命令接收器 122 和第二等待时间激活单元 123。

[0057] 由于列地址移位寄存器 120 的配置和工作原理与命令移位寄存器 130 的配置和工作原理基本上相同,所以将省略其详细描述以免赘述。简言之,列地址移位寄存器 120 接收外部地址‘ADD’以便通过将外部地址‘ADD’延迟写等待时间‘WL<1:4>’来提供写地址‘WT ADD’。为了响应于第一写命令‘EWT’来工作,列地址移位寄存器 120 还包括写命令接收器 122。

[0058] 在一个实施例中,写命令接收器 122 包括反相器 INV_i 和传输门 TR,以响应于第一写命令‘EWT’的被激活的电平来传送外部地址‘ADD’。

[0059] 图 5 是示出了根据本发明一个实施例的图 2 中所示命令控制器的列命令发生器的电路图。

[0060] 参照图 5, 在一个实施例中, 列命令发生器 140 包括第一 PMOS 晶体管 P1、第一和第二 NMOS 晶体管 N1 和 N2 以及锁存单元 L。

[0061] 第一 PMOS 晶体管 P1 包括接收经反相的第一写命令 ‘EWT’ (通过使第一写命令 ‘EWT’ 通过第一反相器 INV1 而获得) 的栅极端子、接收电源电压 ‘VDD’ 的源极端子以及连接到节点 ‘a’ 的漏极端子。

[0062] 在一个实施例中, 第一 NMOS 晶体管 N1 包括接收读命令 ‘RD’ 的栅极端子、连接到地电压 ‘VSS’ 的源极端子以及连接到节点 ‘a’ 的漏极端子。

[0063] 在一个实施例中, 第二 NMOS 晶体管 N2 包括接收复位信号 ‘RESET’ 的栅极端子、连接到地电压 ‘VSS’ 的源极端子以及连接到节点 ‘a’ 的漏极端子。被激活的复位信号 ‘RESET’ 被施加于第二 NMOS 晶体管 N2 的栅极端子, 以使得节点 ‘a’ 可被初始化。

[0064] 在一个实施例中, 锁存单元 L 包括在锁存器型配置中彼此连接的第二和第三反相器 INV2 和 INV3。

[0065] 当第一写命令 ‘EWT’ 被激活 (即, 使能) 为高电平并被施加于列命令发生器 140 时, 第一 PMOS 晶体管 P1 被接通 (因为高电平信号被第一反相器 INV1 反向并被施加于第一 PMOS 晶体管的栅极端子), 因此节点 ‘a’ 处于高电平。在此情形下, 节点 ‘a’ 的信号被锁存单元 L 锁存并被提供给第四反相器 INV4, 因此高电平写 - 读命令由列命令发生器输出。

[0066] 当读命令 ‘RD’ 被激活 (即, 使能) 为高电平并被施加于列命令发生器 140 时, 第一 NMOS 晶体管 N1 被接通 (因为高电平信号被施加于 NMOS 晶体管 N1 的栅极端子), 因此节点 ‘a’ 处于低电平。在此情形下, 节点 ‘a’ 的信号被锁存单元 L 锁存并被提供给第四反相器 INV4, 因此低电平写 - 读命令由列命令发生器输出。

[0067] 因而, 在相应第一写命令和读命令在高电平下被激活的上述实施例中, 写 - 读命令 ‘WTRDB’ 的高电平代表第一写命令 ‘EWT’ 的激活, 而写 - 读命令 ‘WTRDB’ 的低电平代表读命令 ‘RD’ 的激活。因此, 可基于写 - 读命令 ‘WTRDB’ 的电平来区分写模式与读模式。

[0068] 图 6 是示意性地示出了根据本发明一个实施例的图 2 中所示命令控制器的读 / 写命令控制单元的框图, 而图 7 和图 8 是示出了根据本发明一个实施例的图 6 的读 / 写命令控制单元的具体电路图。

[0069] 参照图 6 至图 8, 在一个实施例中, 读 / 写命令控制器 150 包括时钟选择器 152 和突发信号发生器 156。

[0070] 时钟选择器 152 响应于写 - 读命令 ‘WTRDB’ 来选择上升时钟 ‘RCLK’ 或下降时钟 ‘FCLK’ 以便提供写 - 读时钟。

[0071] 参照图 7, 在一个实施例中, 时钟选择器 152 包括上升时钟选择单元 152a 和下降时钟选择单元 152b。

[0072] 在一个实施例中, 上升时钟选择单元 152a 包括串联连接的第一和第二 PMOS 晶体管 PM1 和 PM2 以及第一和第二 NMOS 晶体管 NM1 和 NM2。上升时钟选择单元 152a 是响应于写 - 读命令 ‘WTRDB’ 的钟控反相器, 并且当写 - 读命令 ‘WTRDB’ 处于高电平 (即, 高逻辑电平) 时将上升时钟 ‘RCLK’ 提供给节点 ‘d’。

[0073] 在一个实施例中, 下降时钟选择单元 152b 包括串联连接的第三和第四 PMOS 晶体

管 PM3 和 PM4 以及第三和第四 NMOS 晶体管 NM3 和 NM4。下降时钟选择单元 152b 亦是响应于写 - 读命令 'WTRDB' 的钟控反相器。下降时钟选择单元 152b 当写 - 读命令 'WTRDB' 处于低电平 (即, 低逻辑电平) 时将下降时钟 'FCLK' 提供给节点 'd'。

[0074] 具体地说, 在器件处于写模式的情形下, 时钟选择器 152 提供上升时钟 'RCLK' 作为写 - 读时钟 'WTRD_CLK', 因为写 - 读命令 'WTRDB' 的电平代表第一写命令 'EWT' 的激活。在器件处于读模式的情形下, 时钟选择器 152 提供下降时钟 'FCLK' 作为写 - 读时钟 'WTRD_CLK', 因为写 - 读命令 'WTRDB' 的电平代表读命令的激活。因而, 在上述实施例中, 时钟的每个边沿 (即, 上升沿和下降沿) 可用来代表写命令或读命令 (即, 可与时钟的上升和下降沿同步地提供写和读命令), 且时钟的边沿可用于实际的写和读操作。

[0075] 参照图 8, 在一个实施例中, 突发信号发生器 156 包括第一 PMOS 晶体管 PM11、第一和第二 NMOS 晶体管 NM11 和 NM12、多个锁存单元以及各自与锁存单元对应的传输门 T。

[0076] 突发信号发生器 156 的工作原理与上面参照图 4 描述的列地址移位寄存器 120 的工作原理类似; 因此, 将简要描述突发信号发生器 156。

[0077] 当第二写命令 'WT' 被激活时, 突发信号发生器 156 生成被激活并且被延迟了突发长度 'BL' 的突发信号 'BURST'。此外, 当读命令 'RD' 被激活时, 突发信号发生器 156 生成被激活并且被延迟了突发长度 'BL' 的突发信号 'BURST'。突发信号发生器 156 可由复位信号 'RESET' 初始化。

[0078] 此外, 突发信号发生器 156 响应于第二被激活的写命令 'WL'、与写 - 读时钟 'WTRD_CLK' 同步地生成被延迟了突发长度 'BL' 的突发信号 'BURST'。与此类似, 突发信号发生器 156 响应于被激活的读命令 'RD'、与写 - 读时钟 'WTRD_CLK' 同步地生成被延迟了突发长度 'BL' 的突发信号 'BURST'。如上所述, 当第二写命令 'WT' 被激活时, 写 - 读时钟 'WTRD_CLK' 对应于上升时钟 'RCLK'。此外, 当读命令 'RD' 被激活时, 写 - 读时钟 'WTRD_CLK' 对应于下降时钟 'FCLK'。在根据一个实施例的半导体集成电路中, 突发长度 'BL' 被设置成 4 作为初始值。然而, 如上所述, 突发长度 'BL' 不限于这一初始值。

[0079] 在这样的情形下, 突发信号发生器 156 还可包括“按 4 划分”电路。

[0080] 例如, 如果突发长度 'BL' 为 4, 则突发信号发生器 156 响应于第二写命令 'WT' 或读命令 'RD' 来激活按 4 个时钟周期划分开的突发信号 'BURST'。如果突发长度 'BL' 为 8, 则“按 4 划分”电路可生成两次计数器脉冲, 使得在被延迟了 4 个时钟周期之后被激活的突发信号 'BURST' 可被激活两次。如上所述, 当突发长度 'BL' 超过 4 时, 需要内部读 - 写命令信号来另外地提供读或写命令。

[0081] 虽然未在附图中示出, 但是与图 3 中所示命令解码器 110 类似, 在一个实施例中, 突发命令发生器 170 通过对突发信号 'BURST'、写 - 读时钟 'WTRD_CLK' 和写 - 读命令 'WTRDB' 执行的与非逻辑运算来提供突发读 - 写命令 'BURST_WTRD'。因此, 一旦突发信号 'BURST' 被激活, 突发命令发生器 170 就提供与写 - 读时钟 'WTRD_CLK' 同步的附加的写或读命令。

[0082] 此外, 当根据写 - 读命令 'WTRDB' 和突发长度 'BL' 需要附加的内部命令时, 突发地址计数器 (图 2 中的 '180') 可对响应于第二写命令 'WT' 或读命令 'RD' 而锁存的列地址 'YADD' 进行计数, 同时增大列地址 'YADD', 由此提供突发地址 'BURST_ADD'。具体地说, 如果突发长度 'BL' 超过 4, 则突发地址计数器 180 接收响应于第二写命令 'WT' 或读命令

‘RD’而锁存的列地址‘YADD’,并对列地址‘YADD’进行计数,同时增大列地址‘YADD’。这时,根据电路的配置或特性,地址递增模式可包括交织模式或顺序模式。

[0083] 根据一个实施例,根据器件处于读模式还是写模式,与时钟的上升沿或下降沿同步地提供突发读-写命令‘BURST_WTRD’。然而,本公开的范围不限于此。也就是说,根据半导体集成电路的配置或特性,可省略突发读-写命令‘BURST_WTRD’或突发地址‘BURST_ADD’方案。

[0084] 图9是示出了根据本发明一个实施例的图2中所示命令控制器的列地址锁存单元的电路图。

[0085] 参照图9,在一个实施例中,列地址锁存单元160包括第一至第三地址锁存单元162、164和166以及锁存部分168。

[0086] 在一个实施例中,第一地址锁存单元162响应于读命令‘RD’来提供外部地址‘ADD’作为列地址‘YADD’。

[0087] 图9中所示的第一地址锁存单元162是响应于读命令‘RD’的钟控反相器,并且包括串联连接的第一和第二PMOS晶体管P21和P22以及第一和第二NMOS晶体管N21和N22。

[0088] 图9中所示的第二地址锁存单元164响应于第二写命令‘WT’来提供写地址‘WT_ADD’作为列地址‘YADD’。

[0089] 第二地址锁存单元164是响应于第二写命令‘WT’的钟控反相器,并且包括串联连接的第三和第四PMOS晶体管P23和P24以及第三和第四NMOS晶体管N23和N24。

[0090] 图9中所示的第三地址锁存单元166响应于突发读-写命令‘BURST_WTRD’来提供突发地址‘BURST_ADD’作为列地址‘YADD’。

[0091] 第三地址锁存单元166是响应于突发读-写命令‘BURST_WTRD’的钟控反相器,并且包括串联连接的第五和第六PMOS晶体管P25和P26以及第五和第六NMOS晶体管N25和N26。

[0092] 在一个实施例中,第一至第三地址锁存单元162、164和166共用与锁存部分168的输入端相连的输出节点e。锁存部分168被配置成通过将节点‘e’的信号反相并锁存来提供列地址‘YADD’。

[0093] 现在描述列地址锁存单元160的工作。当读命令‘RD’被激活时,第一PMOS晶体管P21和第二NMOS晶体管N22被接通,因此地址‘ADD’被提供给节点‘e’。当第二写命令‘WT’被激活时,第三PMOS晶体管P23和第四NMOS晶体管N24被接通,因此写地址‘WT_ADD’被提供给节点‘e’。类似地,当突发读-写命令‘BURST_WTRD’被激活时,第五PMOS晶体管P25和第六NMOS晶体管N26被接通,因此突发地址‘BURST_ADD’被提供给节点‘e’。

[0094] 如上所述,根据命令,列地址锁存单元160可选择性地提供被施加延迟的地址、外部地址以及除了基准突发长度‘BL’以外亦被计数的地址。

[0095] 图10是图示了图1中所示半导体集成电路的工作的时序图。

[0096] 参照图10,与时钟‘CLK’的上升沿同步地提供外部命令‘CMD’。此外,外部地址‘ADD’被提供并被寻址到与外部命令‘CMD’同步的时钟‘CLK’的上升沿和下降沿。

[0097] 根据相关技术,在相对于被寻址到时钟‘CLK’的下降沿的地址‘ADD’执行了寻址之后,与时钟‘CLK’的上升沿同步地提供读命令‘RD’(见虚线②)。

[0098] 然而,根据本发明一个实施例,当地址‘ADD’被寻址到时钟‘CLK’的下降沿时,读

命令‘RD’可与时钟‘CLK’的下降沿同步地工作（见实线**⑥**）。因此， t_{AA} 可提早预定时间 Δt ，例如约 $1/2t_{CK}$ 。

[0099] 也就是说，当使用上升沿和下降沿执行寻址时，写命令是必须遵循预定时序规则如写等待时间的同步命令。然而，在读模式下，在读命令被激活之后，直到预定单元被存取为止，都存在非同步命令路径。因此，与接收地址时的下降时钟‘FCLK’（不同于上升时钟‘RCLK’）同步地提供读命令‘RD’，使得 t_{AA} 提早 $1/2t_{CK}$ ，由此可改善提供给存储区域‘A’（见图1）的 t_{AA} 。

[0100] 因而，在上述本发明实施例中，可使用时钟的下降沿或下降时钟来提供读命令，从而可提高读操作的速度。

[0101] 尽管上面描述了某些实施例，但是应理解，所描述的实施例仅仅是作为例子来说的。因而，不应当基于所描述的实施例、而是应当仅依据与以上描述和附图相结合的后附权利要求书来限定这里描述的系统和方法。

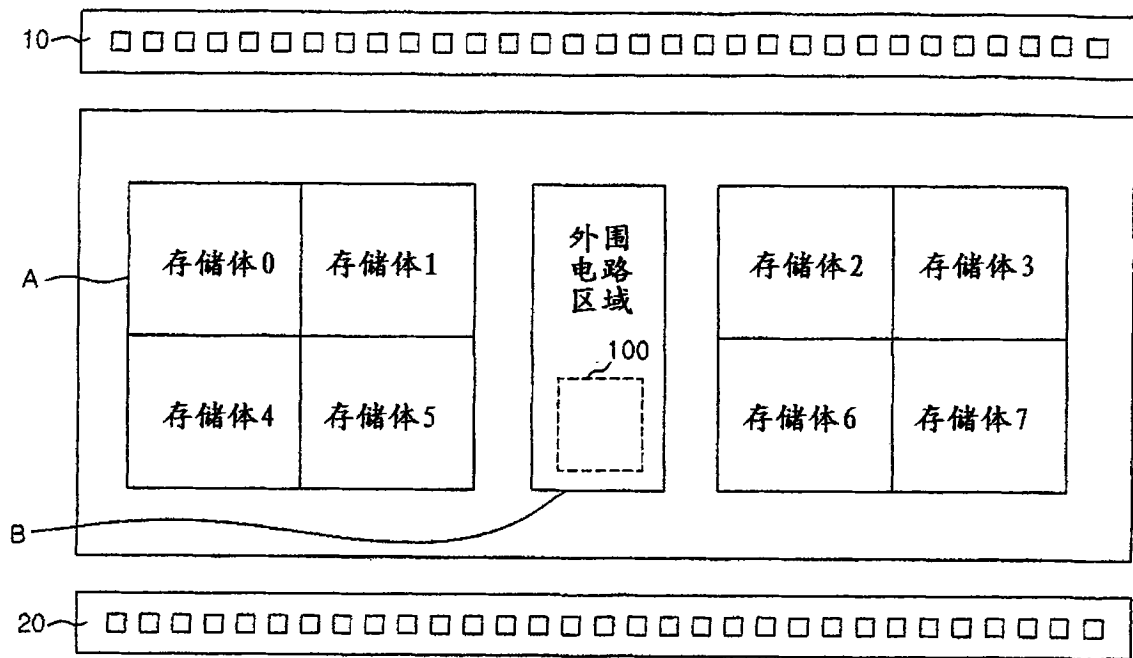


图 1

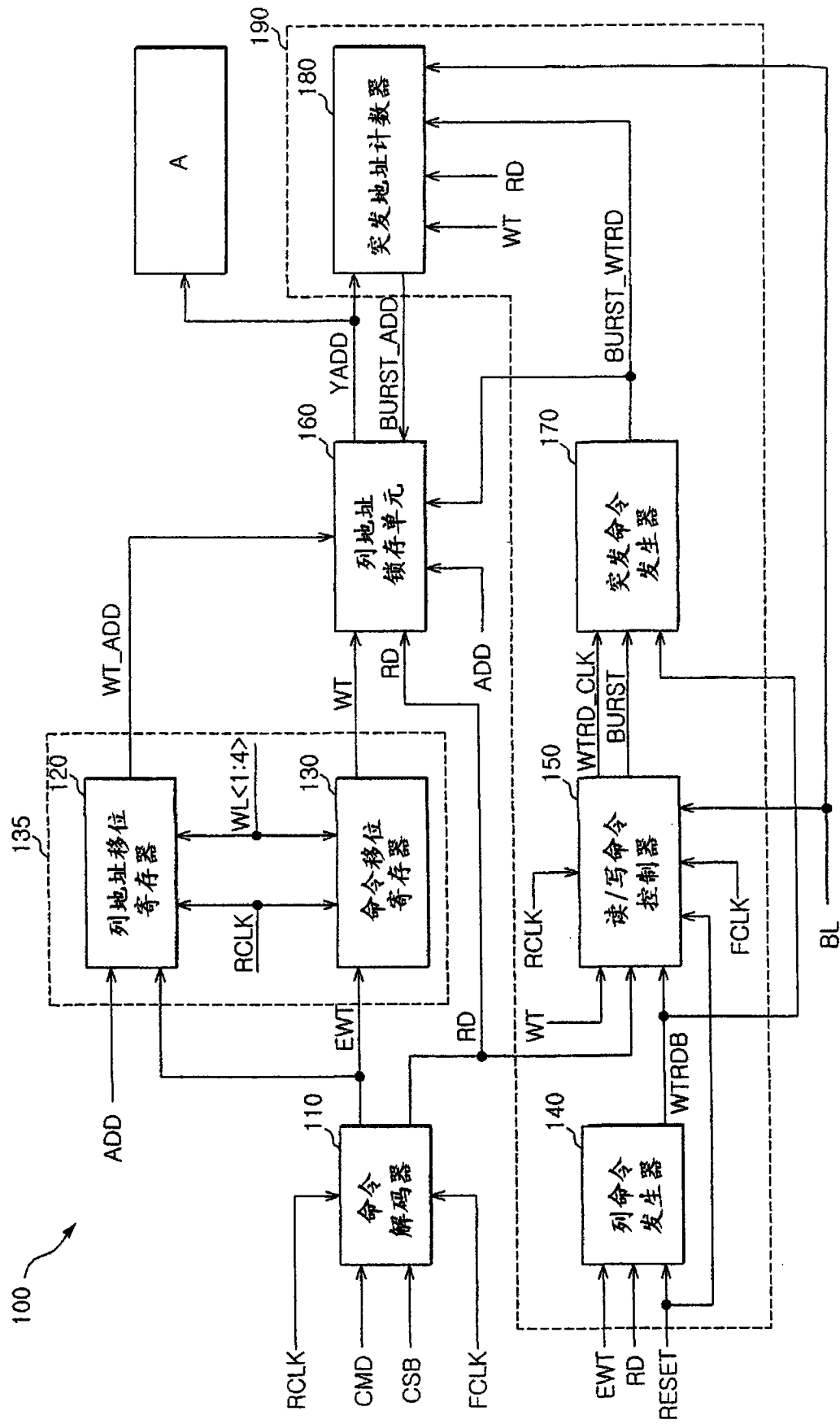


图 2

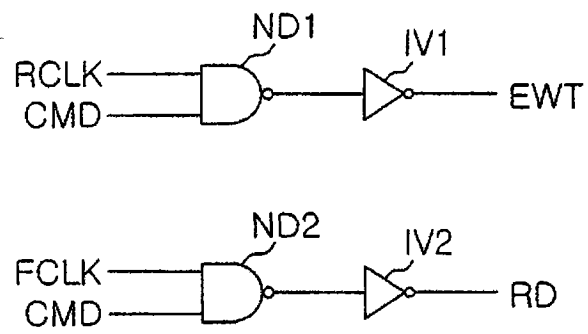
110

图 3

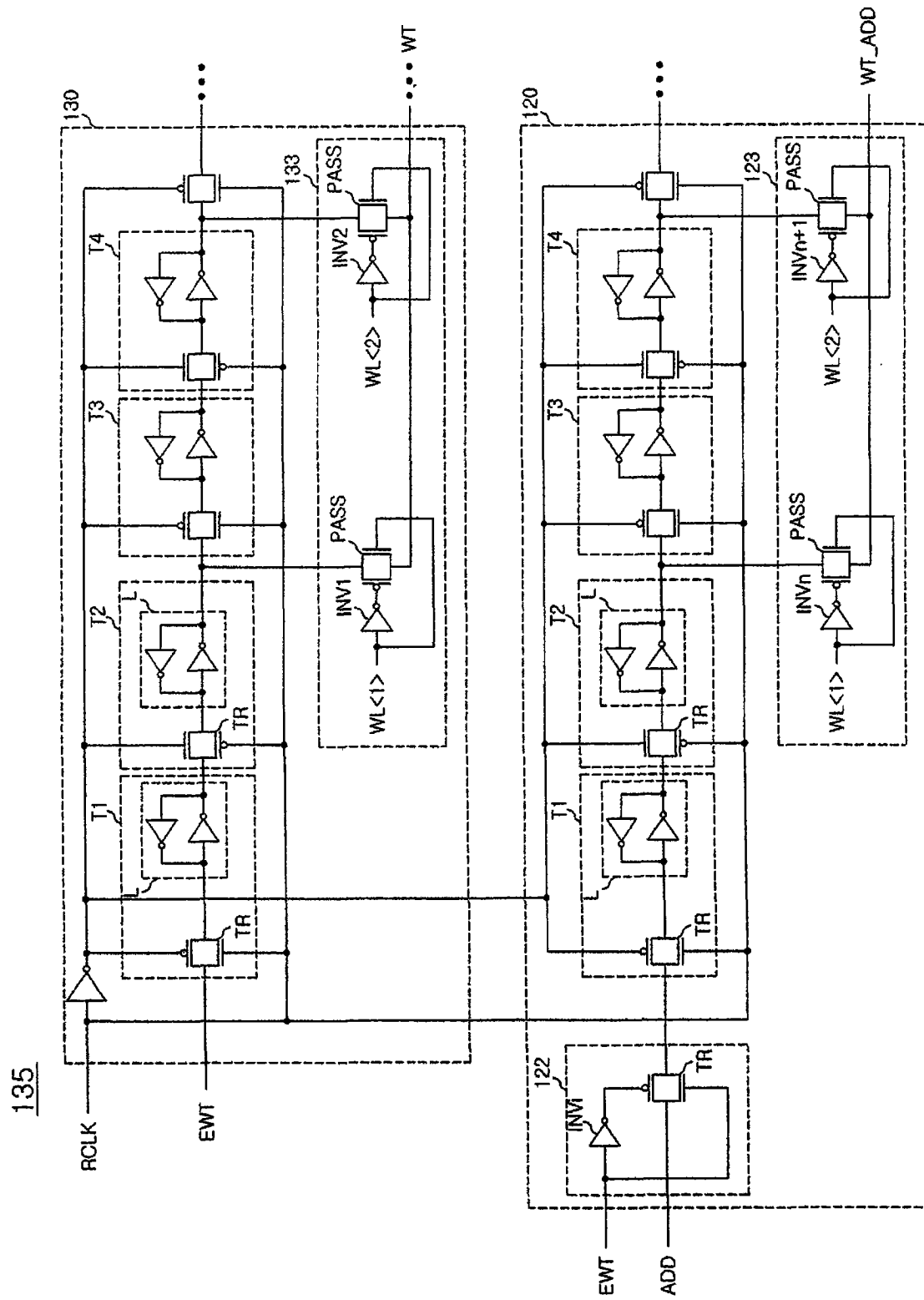


图 4

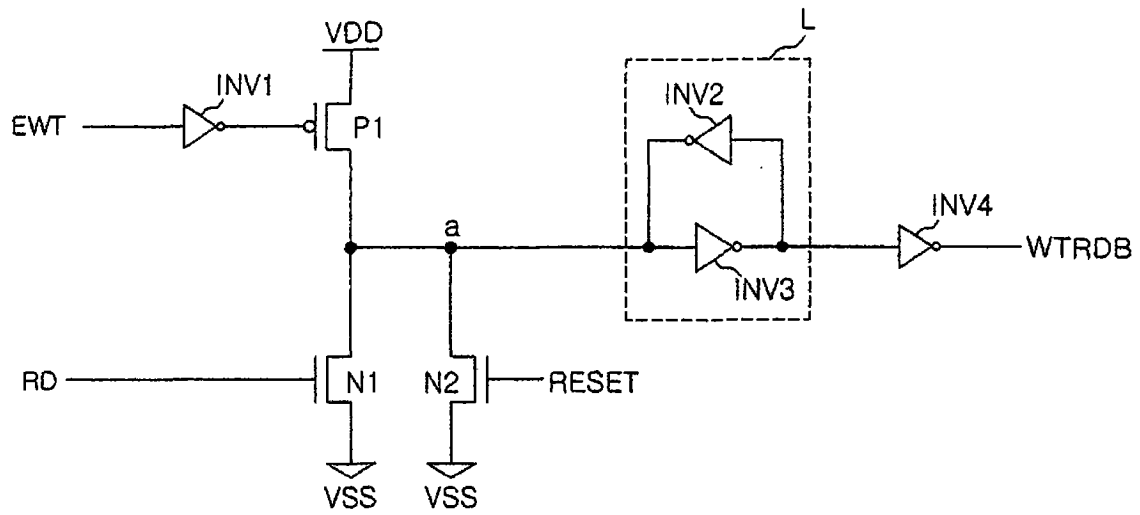
140

图 5

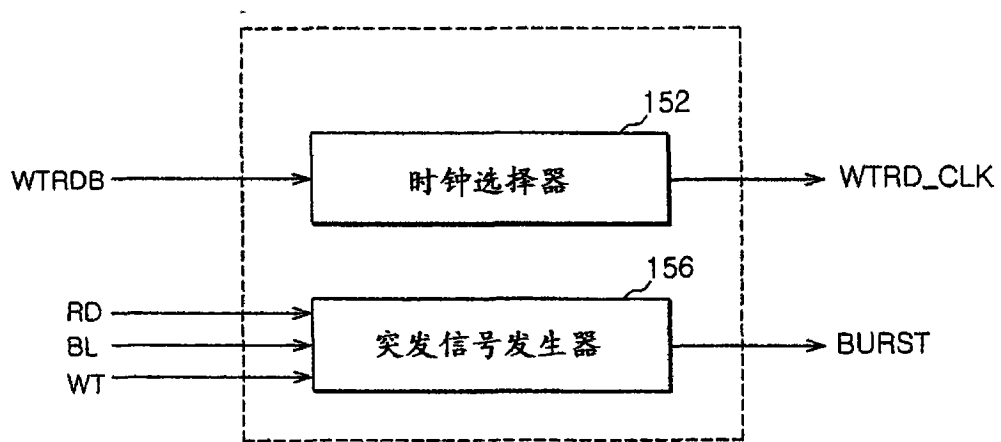
150

图 6

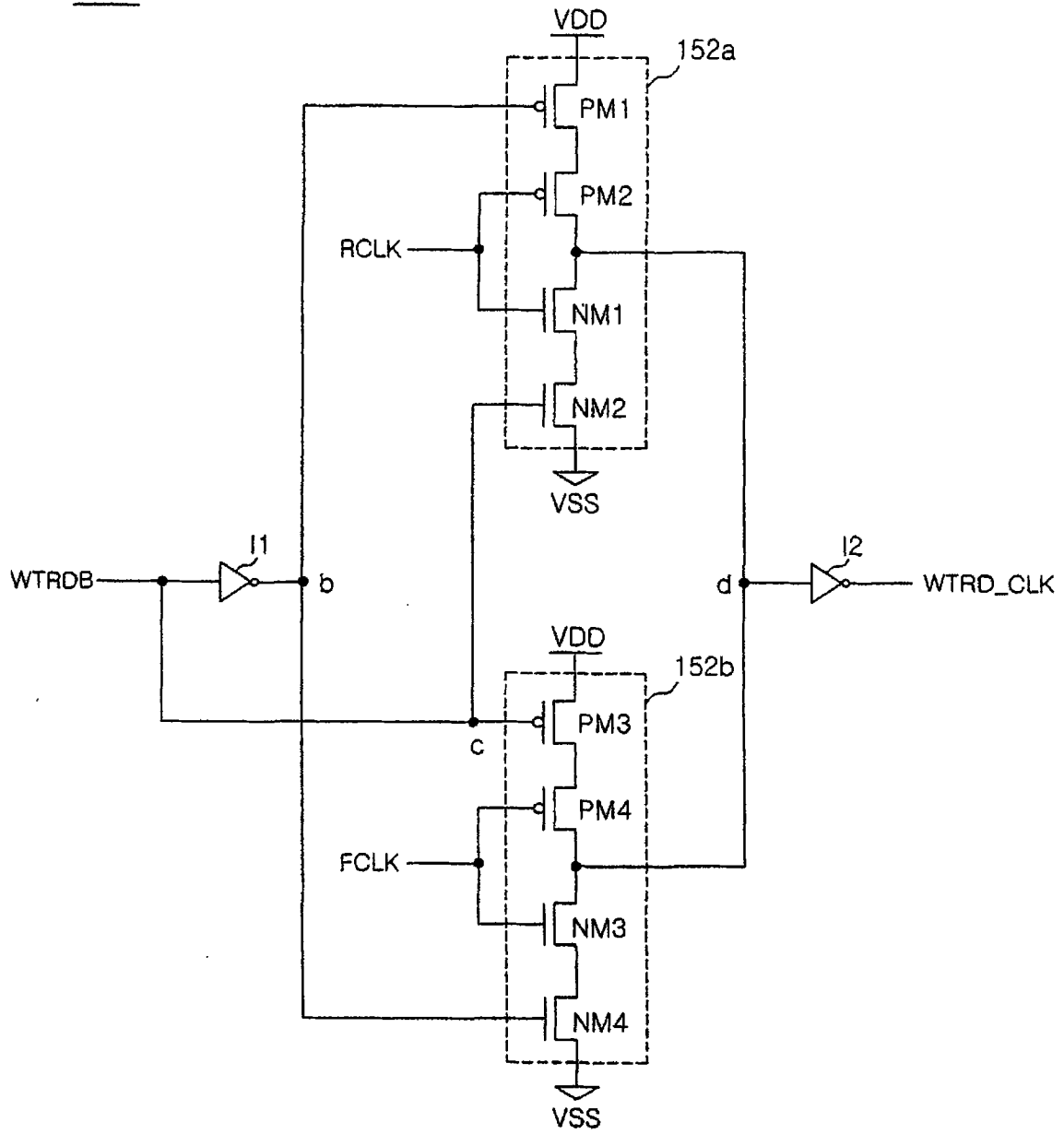
152

图 7

156

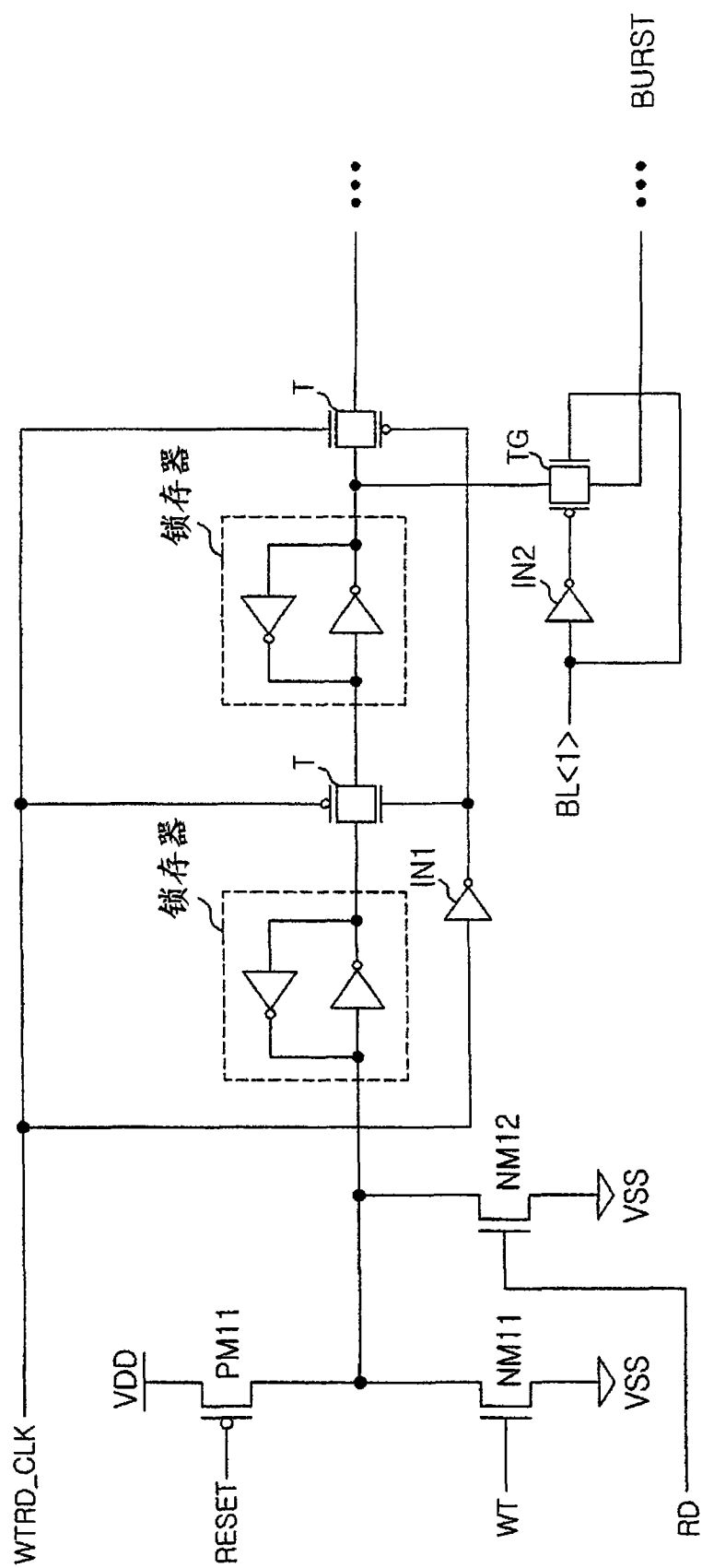


图 8

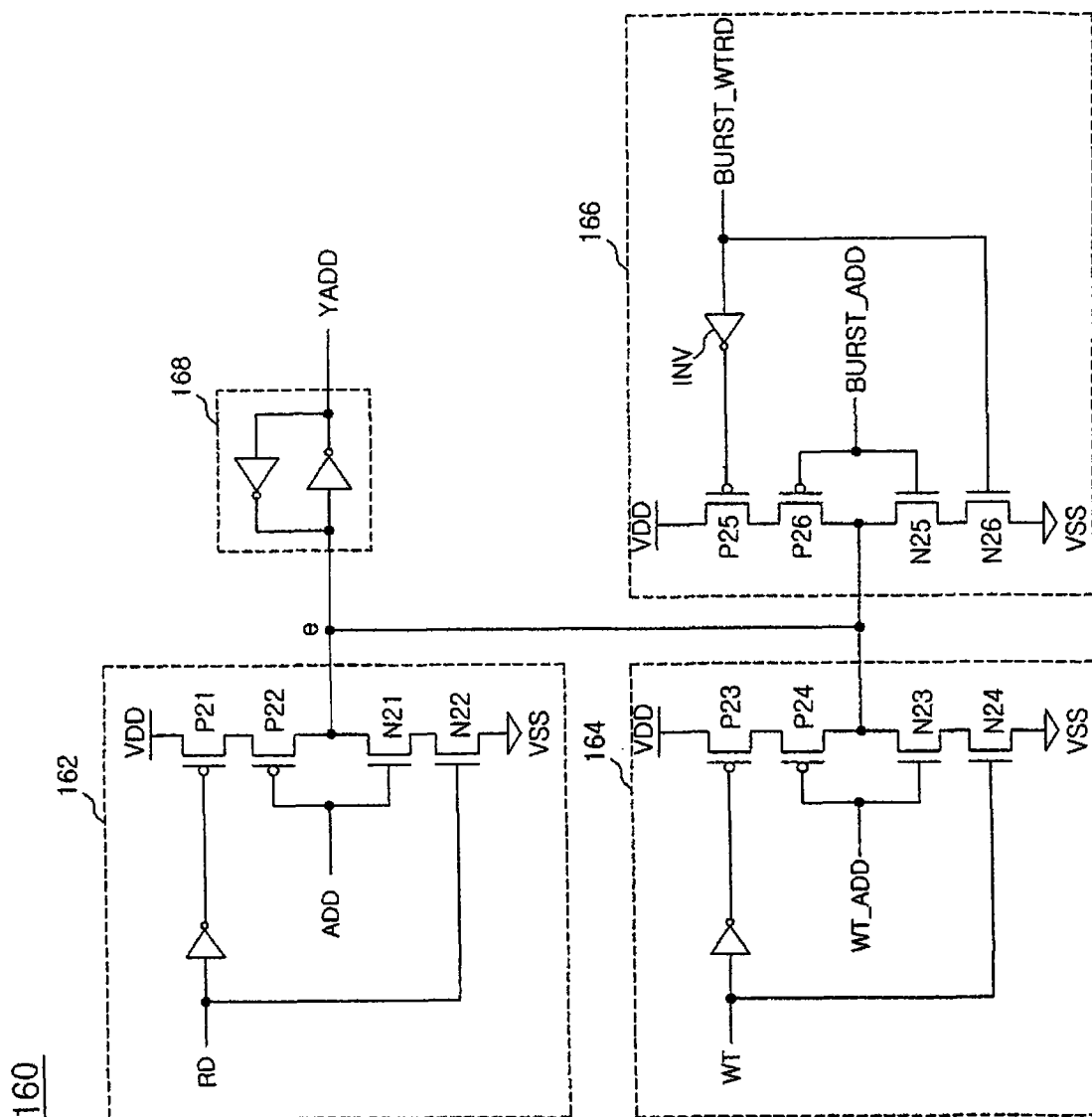


图 9

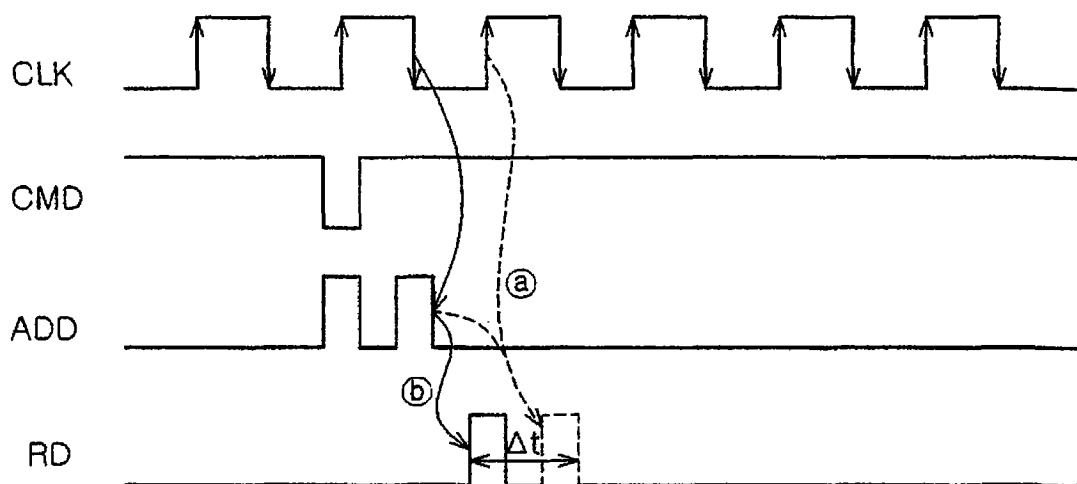


图 10