



(12) 发明专利申请

(10) 申请公布号 CN 118100941 A

(43) 申请公布日 2024. 05. 28

(21) 申请号 202310856704.8

(22) 申请日 2023.07.12

(30) 优先权数据

10-2022-0161571 2022.11.28 KR

(71) 申请人 三星电子株式会社

地址 韩国京畿道水原市

申请人 高丽大学校产学协力团

(72) 发明人 玄知桓 金喆友 朴秀镐 崔桢焕

(74) 专利代理机构 北京铭硕知识产权代理有限公司 11286

专利代理师 张川绪 史泉

(51) Int.Cl.

H03M 1/50 (2006.01)

H03M 1/38 (2006.01)

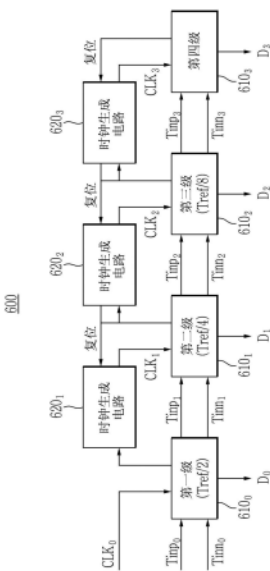
权利要求书3页 说明书11页 附图10页

(54) 发明名称

模数转换器和模数转换方法

(57) 摘要

公开了模数转换器和模数转换方法。在模数转换中,多个级,按序列配置为以逐次逼近顺序地确定多个位,所述多个级中的每个被配置为响应于多个时钟中的相应时钟而操作,并且根据多个正脉冲中的相应正脉冲和多个负脉冲中的相应负脉冲来确定所述多个位中的相应位;以及多个时钟生成电路,分别对应于所述多个级中的多个第一级,所述多个时钟生成电路中的每个被配置为基于所述多个级中的前一级的操作而生成所述多个第一级中的相应级的相应时钟,前一级在序列中在相应级之前。



1. 一种模数转换器,包括:

多个级,按序列配置为以逐次逼近顺序地确定多个位,所述多个级中的每个被配置为响应于多个时钟中的相应时钟而操作,并且根据多个正脉冲中的相应正脉冲和多个负脉冲中的相应负脉冲来确定所述多个位中的相应位,所述多个正脉冲被分别输入到所述多个级,并且所述多个负脉冲被分别输入到所述多个级;以及

多个时钟生成电路,分别对应于所述多个级中的多个第一级,所述多个时钟生成电路中的每个被配置为基于所述多个级中的前一级的操作而生成所述多个第一级中的相应级的相应时钟,前一级在序列中在相应级之前。

2. 根据权利要求1所述的模数转换器,其中,

所述多个级中的每个还被配置为比较相应正脉冲和相应负脉冲以确定相应位,并且

所述多个级中的多个第二级中的每个被配置为通过将相应正脉冲和相应负脉冲中的任一个延迟分别与所述多个第二级对应的多个参考时间中的相应参考时间,生成所述多个正脉冲中的将被输入到下一级的正脉冲和所述多个负脉冲中的将被输入到下一级的负脉冲,所述多个第二级不包括序列中的所述多个级中的最后一级,下一级是序列中在相应级之后的级,最后一级在序列中不具有下一级。

3. 根据权利要求2所述的模数转换器,其中,前一级的操作包括所述多个正脉冲中的被输入到前一级的正脉冲与所述多个负脉冲中的被输入到前一级的负脉冲的比较操作。

4. 根据权利要求3所述的模数转换器,其中,所述多个时钟生成电路中的每个还被配置为响应于前一级中的比较操作的结果来生成相应级的相应时钟。

5. 根据权利要求3所述的模数转换器,其中,所述多个时钟生成电路中的每个还被配置为响应于相应级中的比较操作的结果来复位相应级的相应时钟。

6. 根据权利要求3所述的模数转换器,其中,所述多个时钟生成电路中的每个还被配置为响应于所述多个时钟生成电路中的下一时钟生成电路中的时钟的生成来复位相应级的相应时钟。

7. 根据权利要求2所述的模数转换器,其中,所述多个第二级中的每个还被配置为:

当将相应位确定为第一值时,将相应正脉冲延迟相应参考时间,或者

当将相应位确定为与第一值不同的第二值时,将相应负脉冲延迟相应参考时间。

8. 根据权利要求2所述的模数转换器,其中,所述多个第二级包括序列中的开始级和至少一个第三级,序列中的开始级在序列中不具有前一级,所述至少一个第三级中的每个的相应参考时间是所述多个参考时间中的与前一级对应的参考时间的一半。

9. 根据权利要求1所述的模数转换器,其中,所述多个第一级是序列中的所述多个级中不包括开始级的级,序列中的开始级在序列中不具有前一级。

10. 根据权利要求9所述的模数转换器,其中,开始级的相应时钟是所述模数转换器的输入时钟。

11. 根据权利要求1至10中的任一项所述的模数转换器,还包括:电压-时间转换器电路,被配置为将正输入电压和负输入电压转换到时域中以生成分别将被输入到序列中的所述多个级中的开始级的输入正脉冲和输入负脉冲,作为开始级的相应正脉冲和相应负脉冲,序列中的开始级在序列中不具有前一级。

12. 根据权利要求1至10中的任一项所述的模数转换器,还包括:

电压-时间转换器电路,被配置为将正输入电压和负输入电压转换到时域中以生成输入正脉冲和输入负脉冲;以及

时间-数字转换器电路,被配置为基于输入正脉冲和输入负脉冲来确定至少一个位,然后输出分别将被输入到序列中的所述多个级中的开始级的残余正脉冲和残余负脉冲作为相应正脉冲和相应负脉冲,序列中的开始级在序列中不具有前一级。

13. 一种模数转换器,包括:

第一时间比较器,被配置为响应于第一时钟而操作,并且基于比较第一正脉冲和第一负脉冲的第一比较结果来确定第一位;

第一延迟电路,被配置为基于第一比较结果的值将第一正脉冲和第一负脉冲中的任一个延迟第一参考时间;

时钟生成电路,被配置为响应于第一比较结果而生成第二时钟;

第二时间比较器,被配置为响应于第二时钟而操作,并且基于比较从第一延迟电路输出的第二正脉冲和第二负脉冲的第二比较结果来确定第二位;以及

第二延迟电路,被配置为基于第二比较结果的值将第二正脉冲和第二负脉冲中的任一个延迟第二参考时间。

14. 根据权利要求13所述的模数转换器,其中,时钟生成电路还被配置为响应于第二比较结果来复位第二时钟。

15. 根据权利要求13所述的模数转换器,其中,第一时间比较器还被配置为:

响应于第一正脉冲早于第一负脉冲,输出第一值作为第一比较结果,或者

响应于第一负脉冲早于第一正脉冲,输出与第一值不同的第二值作为第一比较结果,

其中,第二时间比较器还被配置为:

响应于第二正脉冲早于第二负脉冲,输出第一值作为第二比较结果,或者

响应于第二负脉冲早于第二正脉冲,输出第二值作为第二比较结果。

16. 根据权利要求15所述的模数转换器,其中,

第一延迟电路还被配置为:

响应于第一比较结果的第一值,将第一正脉冲延迟第一参考时间,并且

响应于第一比较结果的第二值,将第一负脉冲延迟第一参考时间,并且

其中,第二延迟电路还被配置为:

响应于第二比较结果的第一值,将第二正脉冲延迟第二参考时间,并且

响应于第二比较结果的第二值,将第二负脉冲延迟第二参考时间。

17. 根据权利要求13至16中的任一项所述的模数转换器,其中,第一时间比较器还被配置为输出具有第一比较结果的互补值的第一互补比较结果,并且

其中,时钟生成电路还被配置为响应于对第一比较结果和第一互补比较结果的逻辑运算的结果具有激活值而生成第二时钟。

18. 根据权利要求17所述的模数转换器,其中,逻辑运算是异或运算,并且

其中,激活值是“1”。

19. 根据权利要求17所述的模数转换器,其中,第二时间比较器还被配置为输出具有第二比较结果的互补值的第二互补比较结果,并且

其中,时钟生成电路还被配置为在对第二比较结果和第二互补比较结果的逻辑运算的

结果具有激活值时复位第二时钟。

20. 一种模数转换方法, 包括:

接收第一正脉冲和第一负脉冲;

响应于第一时钟, 比较第一正脉冲和第一负脉冲以生成第一比较结果;

基于第一比较结果的值来确定第一位;

通过基于第一比较结果的值将第一正脉冲和第一负脉冲中的任一个延迟第一参考时间来输出第二正脉冲和第二负脉冲;

响应于第一比较结果生成第二时钟;

响应于第二时钟, 比较第二正脉冲和第二负脉冲以生成第二比较结果; 以及

基于第二比较结果的值来确定第二位。

模数转换器和模数转换方法

[0001] 本申请要求于2022年11月28日在韩国知识产权局提交的第10-2022-0161571号韩国专利申请的优先权和权益,所述韩国专利申请的全部内容通过引用包含于此。

技术领域

[0002] 公开涉及时域模数转换器和模数转换方法。

背景技术

[0003] 模数转换器(ADC)接收模拟输入电压并将模拟输入电压转换为可被发送到其他装置的数字信号。ADC可在各种信号处理装置中使用。

[0004] 电压域ADC输出输入电压的差作为数字值。由于电容器的稳定时间和比较器的确定时间,该处理可花费一段时间。

发明内容

[0005] 一些示例实施例可提供用于减少等待时间的时域模数转换器和模数转换方法。

[0006] 根据一些示例实施例,一种模数转换器可包括:多个级和多个时钟生成电路。所述多个级可按序列配置为以逐次逼近顺序地确定多个位。所述多个级中的每个被配置为响应于多个时钟中的相应时钟而操作,并且根据多个正脉冲中的相应正脉冲和多个负脉冲中的相应负脉冲来确定所述多个位中的相应位,所述多个正脉冲被分别输入到所述多个级,并且所述多个负脉冲被分别输入到所述多个级。所述多个时钟生成电路分别对应于所述多个级中的多个第一级。所述多个时钟生成电路中的每个可基于所述多个级中的前一级的操作而生成所述多个第一级中的相应级的相应时钟,前一级在序列中在相应级之前。

[0007] 根据一些示例实施例,一种模数转换器可包括:第一时间比较器、第一延迟电路、时钟生成电路、第二时间比较器以及第二延迟电路。第一时间比较器可响应于第一时钟而操作,并且基于比较第一正脉冲和第一负脉冲的第一比较结果来确定第一位。第一延迟电路可基于第一比较结果的值将第一正脉冲和第一负脉冲中的任一个延迟第一参考时间。时钟生成电路可响应于第一比较结果而生成第二时钟。第二时间比较器可响应于第二时钟而操作,并且基于比较从第一延迟电路输出的第二正脉冲和第二负脉冲的第二比较结果来确定第二位。第二延迟电路可基于第二比较结果的值将第二正脉冲和第二负脉冲中的任一个延迟第二参考时间。

[0008] 根据一些示例实施例,可提供一种模数转换方法。所述模数转换方法可包括:接收第一正脉冲和第一负脉冲,响应于第一时钟比较第一正脉冲和第一负脉冲以生成第一比较结果,基于第一比较结果的值来确定第一位,通过基于第一比较结果的值将第一正脉冲和第一负脉冲中的任一个延迟第一参考时间来输出第二正脉冲和第二负脉冲,响应于第一比较结果生成第二时钟,响应于第二时钟比较第二正脉冲和第二负脉冲以生成第二比较结果,以及基于第二比较结果的值来确定第二位。

附图说明

- [0009] 图1是示出根据一些示例实施例的模数转换器的示例的框图。
- [0010] 图2是示出根据一些示例实施例的模数转换器的电压-时间转换器电路的示例的框图，
- [0011] 图3是示出图2中示出的电压-时间转换器电路中的采样/保持和斜坡生成电路的示例的电路图。
- [0012] 图4是示出图2中示出的电压-时间转换器电路中的脉冲生成电路的示例的电路图。
- [0013] 图5是示出由图2中示出的电压-时间转换器电路生成的信号的示例的示图。
- [0014] 图6是示出根据一些示例实施例的模数转换器的电压-时间转换器电路的示例的框图。
- [0015] 图7是示出由图6中示出的电压-时间转换器电路生成的信号的示例的示图。
- [0016] 图8是示出根据一些示例实施例的模数转换器的电压-时间转换器电路中的级的示例的框图。
- [0017] 图9是示出根据一些示例实施例的模数转换器的电压-时间转换器电路中的时钟生成电路的示例的示图。
- [0018] 图10是示出根据一些示例实施例的模数转换器的示例的框图。
- [0019] 图11是示出根据一些示例实施例的闪速电压-时间转换器电路的示例的框图。
- [0020] 图12是示出在图11中示出的闪速电压-时间转换器电路中生成的信号的示例的示图。
- [0021] 图13是示出根据一些示例实施例的模数转换方法的示例的流程图。
- [0022] 图14是示出根据一些示例实施例的计算装置的示例的框图。
- [0023] 图15是示出根据一些示例实施例的通信系统的示例的框图。

具体实施方式

[0024] 在以下具体实施方式中,仅通过说明的方式已示出和描述了本发明的仅特定示例实施例。如本领域技术人员将认识到的,在所有都不脱离本发明的精神或范围的情况下,可以以各种不同的方式修改描述的示例实施例。

[0025] 因此,附图和描述被认为本质上是说明性的而非限制性的。在整个说明书中,相同的参考标号表示相同的元件。除非另外特别指示,否则操作或步骤的顺序不限于权利要求或附图中呈现的顺序。操作或步骤的顺序可被改变,若干操作或步骤可被合并,特定操作或步骤可被划分,并且特定操作或步骤可不被执行。

[0026] 如在此使用的,除非上下文另外清楚地指示,否则单数形式也旨在包括复数形式。尽管在此可使用术语第一、第二等来描述各种元件、组件、步骤和/或操作,但是这些术语仅用于将一个元件、组件、步骤或操作与另一元件、组件、步骤或操作区分开。

[0027] 图1是示出根据一些示例实施例的模数转换器的示例的框图。

[0028] 参照图1,根据一些示例实施例的模数转换器100可包括电压-时间转换器(VTC)电路110和时间-数字转换器(TDC)电路120。

[0029] VTC电路110可接收模拟信号并将模拟信号转换到时域中以生成脉冲。模拟信号可

包括差分输入电压 V_{inp} 和 V_{inn} 。脉冲可包括基于差分输入电压的正输入电压(或非反相输入电压) V_{inp} 生成的正脉冲(或非反相脉冲) T_{inp} 和基于差分输入电压的负输入电压(或反相输入电压) V_{inn} 生成的负脉冲(或反相脉冲) T_{inn} 。可基于正输入电压 V_{inp} 与负输入电压 V_{inn} 之间的电压差(例如,对应于电压差)来确定正脉冲 T_{inp} 的开始沿(例如,上升沿)与负脉冲 T_{inn} 的开始沿(例如,上升沿)之间的时间差。

[0030] TDC电路120可接收脉冲 T_{inn} 和 T_{inp} 作为时域中的输入值,并且根据脉冲 T_{inn} 和 T_{inp} 以逐次逼近顺序地确定多个位(例如, n 个位) D_0 至 D_{n-1} 。当对级中的位 D_i 进行确定时,TDC电路120可生成要在下一级中使用的时钟。这里, i 是1与 n 之间的整数。也就是说,TDC电路120的每一级可响应于根据前一级的操作生成的时钟来确定位 D_i 。在这种情况下,TDC电路120的第一级(或开始级)可响应于输入时钟来确定第一位(例如,多个位中的最高有效位) D_0 。

[0031] 图2是示出根据一些示例实施例的模数转换器的VTC电路的示例的框图,图3是示出图2中示出的VTC电路中的采样/保持(S/H)和斜坡生成电路的示例的电路图,图4是示出图2中示出的VTC电路中的脉冲生成电路的示例的电路图,并且图5是示出由图2中示出的VTC电路生成的信号的示例的示图。

[0032] 参照图2,根据一些示例实施例的VTC电路110可包括S/H和斜坡生成电路111以及脉冲生成电路112。

[0033] S/H和斜坡生成电路111可对正输入电压 V_{inp} 进行采样,并在预定的(或可选地,期望的)时间点保持采样电压。类似地,S/H和斜坡生成电路111可对负输入电压 V_{inn} 进行采样,并在预定的(或可选地,期望的)时间点保持采样电压。在一些示例实施例中,如图3和图5中所示,S/H和斜坡生成电路111可响应于采样控制信号SC的导通ON电平而闭合开关SW,以对至电容器 C_s 的输入电压 V_{in} 进行采样。另外,S/H和斜坡生成电路111可通过响应于采样控制信号SC的截止OFF电平而断开开关SW来保持在电容器 C_s 中采样的电压 V_{out} 。在图3中,输入电压 V_{in} 可以是图2中示出的正输入电压 V_{inp} 或负输入电压 V_{inn} ,并且采样电压 V_{out} 可以是图5中示出的正电压 V_{outp} 或负电压 V_{outn} 。

[0034] S/H和斜坡生成电路111可以以斜坡形式增大根据对正输入电压 V_{inp} 进行采样而获得的电压 V_{outp} ,并且也可以以斜坡形式增大根据对负输入电压 V_{inn} 进行采样而获得的电压 V_{outn} 。在一些示例实施例中,如图4和图5中所示,S/H和斜坡生成电路111可将电流 I_r 注入到电容器 C_s 中,以便以斜坡形式增大在电容器 C_s 中采样的电压 V_{out} 。在图4中,电压 V_{out} 可以是图5中示出的正电压 V_{outp} 或负电压 V_{outn} 。

[0035] 脉冲生成电路112可从“以斜坡形式增大的电压 V_{outp} 变为预定的(或可选地,期望的)电压 V_t 的时间点”生成具有预定的(或可选地,期望的)电平(或第一电平)的脉冲 T_{inp} ,并且从电压 V_{outn} 变为预定的(或可选地,期望的)电压 V_t 的时间点生成具有预定的(或可选地,期望的)电平的脉冲 T_{inn} 。预定的(或可选地,期望的)电平可以是例如高电平。在这种情况下,脉冲 T_{inp} 和 T_{inn} 可在“以斜坡形式增大的电压 V_{outp} 和 V_{outn} 变为预定的(或可选地,期望的)电压 V_t 的时间点”从低电平切换到高电平。在图5中,由于正输入电压 V_{inp} 高于负输入电压 V_{inn} ,因此基于正输入电压 V_{inp} 生成的脉冲 T_{inp} 的开始沿(例如,上升沿)可早于基于负输入电压 V_{inn} 生成的脉冲 T_{inn} 的开始沿(例如,上升沿)。接下来,脉冲生成电路112可在适当的时序复位以斜坡形式增大的电压 V_{outp} 和 V_{outn} 。当电压 V_{outp} 和 V_{outn} 下降到预定

的(或可选地,期望的)电压 V_t 以下时,脉冲 T_{inp} 和 T_{inn} 可切换到低电平(或第二电平)。因此,脉冲生成电路112可在时域中生成脉冲 T_{inp} 和 T_{inn} 。在这种情况下,可基于输入电压 V_{inp} 与输入电压 V_{inn} 之间的电压差来确定脉冲 T_{inp} 的开始沿与脉冲 T_{inn} 的开始沿之间的时间差。

[0036] 图6是示出根据一些示例实施例的模数转换器的TDC电路的示例的框图,并且图7是示出由图6中示出的TDC电路生成的信号的示例的示意图。

[0037] 参照图6,根据一些示例实施例的TDC电路600可包括多个级 610_0 、 610_1 、 610_2 和 610_3 以及一个或多个时钟生成电路 620_1 、 620_2 和 620_3 。尽管图6示出四个级 610_0 至 610_3 和三个时钟生成电路 620_1 至 620_3 ,但是级 610_0 至 610_3 的数量和时钟生成电路 620_1 至 620_3 的数量不限于此。级 610_0 至 610_3 按序列(或按顺序),在每个级之间具有时钟生成电路 620_1 至 620_3 中的一个。时钟生成电路 620_1 至 620_3 也可按序列。下一级可指代从序列中的前一级接收输入的级。重新声明,前一级可将输入提供给下一级。例如,当TDC电路600确定 n 个位时,TDC电路600可包括 n 个级和 $(n-1)$ 个时钟生成电路。

[0038] 每个级 610_i 可接收正脉冲 T_{inp_i} 和负脉冲 T_{inn_i} 。这里, i 是0和3之间的整数。每个级 610_i 可响应于相应级 610_i 的输入时钟 CLK_i 来比较正脉冲 T_{inp_i} 和负脉冲 T_{inn_i} ,并且基于比较结果来确定相应级 610_i 的位 D_i 。在一些示例实施例中,每个级 610_i 可将正脉冲 T_{inp_i} 的开始沿与负脉冲 T_{inn_i} 的开始沿进行比较,如果正脉冲 T_{inp_i} 的开始沿早于负脉冲 T_{inn_i} 的开始沿,则将位 D_i 确定为“1”,并且如果负脉冲 T_{inn_i} 的开始沿早于正脉冲 T_{inp_i} 的开始沿,则将位 D_i 确定为“0”。当TDC电路600包括四个级 610_0 至 610_3 时,TDC电路600可确定四个位 D_0 至 D_3 。在这种情况下,在四个位中,第一级 610_0 (或开始级)可确定最高有效位 D_0 ,第二级 610_1 可确定第二最高有效位 D_1 ,第三级 610_2 可确定第三最高有效位 D_2 ,并且第四级 610_3 可确定最低有效位 D_3 。开始级不具有级的序列中的前一级。

[0039] 每个级 610_i 可通过基于比较结果(例如,确定位)将正脉冲 T_{inp_i} 或负脉冲 T_{inn_i} 延迟相应级 610_i 的参考时间并且不将另一脉冲延迟相应级 610_i 的参考时间来输出下一级 610_{i+1} 的输入脉冲 $T_{inp_{i+1}}$ 和 $T_{inn_{i+1}}$ 。在一些示例实施例中,级 610_i 可将两个脉冲 T_{inp_i} 和 T_{inn_i} 延迟基本延迟值,然后通过将一个脉冲延迟相应级 610_i 的参考时间并且不延迟另一脉冲来输出下一级 610_{i+1} 的输入脉冲 $T_{inp_{i+1}}$ 和 $T_{inn_{i+1}}$ 。例如,当比较结果指示正脉冲 T_{inp_i} 的开始沿早于负脉冲 T_{inn_i} 的开始沿时(例如,当确定位 D_i 为“1”时),级 610_i 可通过将正脉冲 T_{inp_i} 延迟参考时间来输出脉冲 $T_{inp_{i+1}}$,并且在不延迟负脉冲 T_{inn_i} 的情况下输出脉冲 $T_{inn_{i+1}}$ 。当比较结果指示负脉冲 T_{inn_i} 的开始沿早于正脉冲 T_{inp_i} 的开始沿时(例如,当确定位 D_i 为“0”时),级 610_i 可在不延迟正脉冲 T_{inp_i} 的情况下输出脉冲 $T_{inp_{i+1}}$,并且通过将负脉冲 T_{inn_i} 延迟参考时间来输出脉冲 $T_{inn_{i+1}}$ 。在这种情况下,第一级 610_0 可接收输入到TDC电路600的脉冲(例如,图2中示出的VTC电路的输出脉冲 T_{inp} 和 T_{inn})作为输入脉冲 T_{inp_0} 和 T_{inn_0} 。此外,由于最后一级 610_3 不具有下一级,因此最后一级 610_3 可不延迟输入脉冲 T_{inp_3} 和 T_{inn_3} 。

[0040] TDC电路600可使用二分搜索。因此,每个级 610_{i+1} 可使用前一级 610_i 的参考时间的一半作为其自身的参考时间。在这种情况下,第一级 610_0 可使用TDC电路600的参考时间 T_{ref} 的一半作为其自身的参考时间 $T_{ref}/2$ 。因此,第二级 610_1 可使用 $T_{ref}/4$ 作为其自身的参考时间,并且第三级 610_2 可使用 $T_{ref}/8$ 作为其自身的参考时间。

[0041] 第一级610₀可接收TDC电路600的输入时钟CLK₀作为其自身的时钟,并且响应于输入时钟CLK₀来确定相应级610₀的位D₀。除了第一级610₀之外的级610_i中的每个(或可选地,至少一个)可响应于由相应时钟生成电路620_i生成的时钟CLK_i来确定相应级610_i的位D_i。这里,i是1与3之间的整数。时钟生成电路620_i可响应于前一级610_{i-1}的操作而生成相应级610_i的时钟CLK_i。在一些示例实施例中,时钟生成电路620_i可响应于前一级610_{i-1}的操作而生成相应级610_i的时钟CLK_i的开始沿(例如,上升沿)。在一些示例实施例中,时钟生成电路620_i可响应于相应级610_i的操作来复位相应级610_i的时钟CLK_i。在一些其他示例实施例中,时钟生成电路620_i可在下一时钟生成电路620_{i+1}中生成时钟CLK_{i+1}时复位相应级610_i的时钟CLK_i。在一些示例实施例中,时钟生成电路620_i可通过生成相应级610_i的时钟CLK_i的结束沿(例如,下降沿)来复位时钟CLK_i。

[0042] 在一些示例实施例中,级610_i的操作可为级610_i中的比较操作。在这种情况下,时钟生成电路620_i可响应于前一级610_{i-1}的比较结果(例如,确定结果)而生成相应级610_i的时钟CLK_i。时钟生成电路620_i可响应于相应级610_i的比较结果(例如,确定结果)来复位相应级610_i的时钟CLK_i。

[0043] 在一些示例实施例中,当级610_i的时钟CLK_i被复位时,相应级610_i的比较结果可被复位以用于下一操作。

[0044] 如图7中所示,例如,正脉冲Tinp₀和比正脉冲Tinp₀晚的负脉冲Tinn₀可被输入到第一级610₀。当输入时钟CLK₀通过输入时钟CLK₀的开始沿(例如,上升沿)而具有激活电平(例如,作为逻辑电平的高电平)时,第一级610₀可比较正脉冲Tinp₀和负脉冲Tinn₀。在图7中示出的示例中,因为正脉冲Tinp₀早于负脉冲Tinn₀,所以第一级610₀可基于比较结果来确定“1”。此外,因为正脉冲Tinp₀早于负脉冲Tinn₀,所以第一级610₀可通过将正脉冲Tinp₀延迟TDC电路600的参考时间Tref的一半Tref/2来输出第二级610₁的输入脉冲Tinp₁,并且在不将负脉冲Tinn₀延迟参考时间Tref的一半Tref/2的情况下输出第二级610₁的输入脉冲Tinn₁。当在级610₀中完成比较时(例如,当在级610₀中生成比较结果时),第一时钟生成电路620₁可激活时钟CLK₁。第一时钟生成电路620₁可通过生成时钟CLK₁的开始沿(例如,上升沿)来激活时钟CLK₁。

[0045] 当从时钟生成电路620₁输出的时钟CLK₁具有激活电平时,第二级610₁可比较从第一级610₀输入的正脉冲Tinp₁和负脉冲Tinn₁。在图7中示出的示例中,因为正脉冲Tinp₁早于负脉冲Tinn₁,所以第二级610₁可基于比较结果来确定“1”。此外,因为正脉冲Tinp₁早于负脉冲Tinn₁,所以第二级610₁可通过将正脉冲Tinp₁延迟前一级610₀的参考时间Tref/2的一半Tref/4来输出第三级610₂的输入脉冲Tinp₂,并且在不将负脉冲Tinn₁延迟参考时间Tref/2的一半Tref/4的情况下输出第三级610₂的输入脉冲Tinn₂。当在级610₁中完成比较时,第一时钟生成电路620₁可使时钟CLK₁去激活。第一时钟生成电路620₁可通过生成时钟CLK₁的结束沿(例如,下降沿)来使时钟CLK₁去激活。此外,当在级610₁中完成比较时,第二时钟生成电路620₂可激活时钟CLK₂。

[0046] 当从时钟生成电路620₂输出的时钟CLK₂具有激活电平时,第三级610₂可比较从第二级610₁输入的正脉冲Tinp₂和负脉冲Tinn₂。在图7中示出的示例中,因为正脉冲Tinp₂早于负脉冲Tinn₂,所以第三级610₂可基于比较结果来确定“1”。此外,因为正脉冲Tinp₂早于负脉冲Tinn₂,所以第三级610₂可通过将正脉冲Tinp₂延迟前一级610₁的参考时间Tref/4的一半

Tref/8来输出第四级610₃的输入脉冲Tin_{p3},并且在不将负脉冲Tinn₂延迟参考时间Tref/4的一半Tref/8的情况下输出第四级610₃的输入脉冲Tinn₃。当在级610₂中完成比较时,第二时钟生成电路620₂可使时钟CLK₂去激活。此外,当在级610₂中完成比较时,第三时钟生成电路620₃可激活时钟CLK₃。

[0047] 当从时钟生成电路620₃输出的时钟CLK₃具有激活电平时,第四级610₃可比较从第三级610₂输入的正脉冲Tin_{p3}和负脉冲Tinn₃。在图7中示出的示例中,因为负脉冲Tinn₃早于正脉冲Tin_{p3},所以第四级610₃可基于比较结果来确定“0”。当在级610₃中完成比较时,第三时钟生成电路620₃可使时钟CLK₃去激活。

[0048] 通过上述处理,TDC电路600可将输入电压转换为具有“1110”的数字信号D₀至D₃。

[0049] 如果每个级610_i不使用其自身的时钟CLK_i并且多个级610₀至610₃使用相同的时钟,则时钟应当保持激活电平,直到输入脉冲传播通过多个级610₀至610₃为止。因此,因为在多个级610₀至610₃处的确定完成之后,每个级610_i可在下一时钟周期中再次操作,所以级610_i的等待时间可增加。然而,根据上述示例实施例,每个级610_i可响应于其自身的时钟CLK_i而操作,而不等待其他级处的确定完成,使得等待时间可降低。也就是说,可提供流水线逐次逼近(pipelined successive-approximation)TDC电路。

[0050] 此外,可使用通过延迟输入时钟CLK₀来生成下一级的时钟的方法。该方法可增加用于对时钟进行延迟的延迟线中的功耗,并且在比较完成之前对级的比较器进行复位。然而,由于上述流水线逐次逼近TDC电路不使用延迟线,因此功耗可降低。此外,由于级的确定完成,然后下一级响应于时钟而操作,因此比较器可在操作完成之前不被复位。

[0051] 图8是示出根据一些示例实施例的模数转换器的TDC电路中的级的示例的框图,并且图9是示出根据一些示例实施例的模数转换器的TDC电路中的时钟生成电路的示例的示意图。

[0052] 参照图8,级800可包括时间比较器810以及延迟电路820和830。

[0053] 时间比较器810可比较输入正脉冲Tin_{p_i}和输入负脉冲Tinn_i。时间比较器810可比较正脉冲Tin_{p_i}的开始沿的时间和负脉冲Tinn_i的开始沿的时间,并输出比较结果CMP_i。在一些示例实施例中,时间比较器810的输出可包括输出CMP_i和具有输出的互补值的互补输出CMPb_i。在一些示例实施例中,当正脉冲Tin_{p_i}的开始沿早于负脉冲Tinn_i的开始沿时,时间比较器810可输出“1”作为输出CMP_i,并且当正脉冲Tin_{p_i}的开始沿晚于负脉冲Tinn_i的开始沿时,时间比较器810可输出“0”作为输出CMP_i。时间比较器810可在输出“1”作为输出CMP_i时输出“0”作为互补输出CMPb_i,并且在输出“0”作为输出CMP_i时输出“1”作为互补输出CMPb_i。时间比较器810的输出CMP_i可以是级800的确定值。

[0054] 延迟电路820可接收正脉冲Tin_{p_i}并且响应于时间比较器810的输出CMP_i而操作。当时间比较器810的输出CMP_i具有第一值(例如,“1”)时,延迟电路820可通过将正脉冲Tin_{p_i}延迟级800的参考时间Tref/2ⁱ⁺¹来输出下一级的输入脉冲Tin_{p_{i+1}}。当时间比较器810的输出CMP_i具有第二值(例如,“0”)时,延迟电路820可在不将正脉冲Tin_{p_i}延迟级800的参考时间Tref/2ⁱ⁺¹的情况下输出下一级的输入脉冲Tin_{p_{i+1}}。在一些示例实施例中,延迟电路820可包括:响应于时间比较器810的输出CMP_i而操作且将输入延迟参考时间Tref/2ⁱ⁺¹的延迟电路821、以及响应于时间比较器810的互补输出CMPb_i而操作且不将输入延迟参考时间Tref/2ⁱ⁺¹的延迟电路822。

[0055] 延迟电路830可接收负脉冲 T_{inn_i} 并且响应于时间比较器810的输出 CMP_i 而操作。当时间比较器810的输出 CMP_i 具有第二值时,延迟电路830可通过将负脉冲 T_{inn_i} 延迟级800的参考时间 $T_{ref}/2^{i+1}$ 来输出下一级的输入脉冲 $T_{inn_{i+1}}$ 。当时间比较器810的输出 CMP_i 具有第一值时,延迟电路820可在不将负脉冲 T_{inn_i} 延迟级800的参考时间 $T_{ref}/2^{i+1}$ 的情况下输出下一级的输入脉冲 $T_{inn_{i+1}}$ 。在一些示例实施例中,延迟电路830可包括:响应于时间比较器810的互补输出 $CMPb_i$ 而操作且将输入延迟参考时间 $T_{ref}/2^{i+1}$ 的延迟电路831、以及响应于时间比较器810的输出 CMP_i 而操作且不将输入延迟参考时间 $T_{ref}/2^{i+1}$ 的延迟电路832。

[0056] 在一些示例实施例中,延迟电路820和830可分别将脉冲 T_{inp_i} 和 T_{inn_i} 延迟基本延迟值。

[0057] 参照图9,时钟生成电路900可包括逻辑电路910和时钟控制电路920,并且可接收前一级的比较结果。

[0058] 当前一级中完成正脉冲与负脉冲之间的比较时,逻辑电路910可输出具有预定的(或可选地,期望的)电平的信号。在一些示例实施例中,当前一级中的比较完成时,在前一级的时间比较器中,输出 CMP_{i-1} 和互补输出 $CMPb_{i-1}$ 中的任一个可具有“1”,而另一个可具有“0”。因此,逻辑电路910可以是异或(XOR)门910。当比较完成时,XOR门910可接收前一级的时间比较器中的输出 CMP_{i-1} 和互补输出 $CMPb_{i-1}$,并且输出具有“1”的信号。

[0059] 当逻辑电路910的输出具有预定的(或可选地,期望的)电平(例如,激活电平或激活值)(例如,激活值可以是作为逻辑电平的高电平(“1”))时,时钟控制电路920可生成相应级的时钟 CLK_i 。在一些示例实施例中,时钟控制电路920可通过生成相应级的时钟 CLK_i 的开始沿来生成时钟 CLK_i 。

[0060] 在一些示例实施例中,时钟控制电路920还可包括逻辑电路930,当在相应级中完成正脉冲与负脉冲之间的比较时,逻辑电路930输出具有预定的(或可选地,期望的)电平的信号。逻辑电路930可以是接收相应级的时间比较器中的输出 CMP_i 和互补输出 $CMPb_i$ 的异或门。因此,当逻辑电路930的输出具有预定的(或可选地,期望的)电平(例如,作为逻辑电平的高电平(“1”))时,时钟控制电路920可将时钟复位信号 CLK_RST 传送到相应级以复位时钟 CLK_i 。

[0061] 在一些其他示例实施例中,当逻辑电路910的输出具有预定的(或可选地,期望的)电平时,时钟控制电路920可将时钟复位信号 CLK_RST 传送到与前一级对应的时钟控制电路920。与前一级对应的时钟控制电路920可响应于时钟复位信号 CLK_RST 而复位时钟 CLK_{i-1} 。在这种情况下,时钟控制电路920可响应于从与下一级对应的时钟控制电路920传送的时钟复位信号 CLK_RST 来复位时钟 CLK_i 。

[0062] 在一些示例实施例中,当级的时钟 CLK_i 被复位时,相应级的时间比较器(例如,图8中的810)可被复位以用于下一操作。当时间比较器810被复位时,时间比较器810可输出相同值(例如,“0”)作为输出 CMP_i 和互补输出 $CMPb_i$ 。

[0063] 图10是示出根据一些示例实施例的模数转换器的示例的框图。

[0064] 参照图10,模数转换器1000可包括VTC电路1010、第一TDC电路1020和第二TDC电路1030。模数转换器1000可将模拟输入电压 V_{inp} 和 V_{inn} 转换为具有多个位(例如,八个位)的数字信号。在这种情况下,模数转换器1000可在执行粗粒度确定之后执行细粒度确定。

[0065] 如参照图1所描述的,VTC电路1010可将输入电压 V_{inp} 和 V_{inn} 转换为时域脉冲 T_{inp}

和Tinn。

[0066] 第一TDC电路1020可执行粗粒度确定。第一TDC电路1020可根据输入脉冲Tinp和Tinn确定八个位中的预定的(或可选地,期望的)数量(例如,3个)的最高有效位 D_0 至 D_2 ,并且输出正脉冲Tinpr和负脉冲Tinnr作为与剩余位(例如,低五位) D_3 至 D_7 对应的残余信号。

[0067] 第二TDC电路1030可执行细粒度确定。第二TDC电路1030可接收从第一TDC电路1020输出的残差信号Tinpr和Tinnr作为输入脉冲,并且根据输入脉冲Tinpr和Tinnr确定五个位 D_3 至 D_7 。

[0068] 在一些示例实施例中,第一TDC电路1020和第二TDC电路1030两者可被实现为上述流水线逐次逼近TDC。

[0069] 在一些其他示例实施例中,第二TDC电路1030可被实现为流水线逐次逼近TDC,并且第一TDC电路1020可被实现为比流水线逐次逼近TDC快的TDC。例如,第一TDC电路1020可被实现为闪速(或闪光,flash)TDC。

[0070] 图11是示出根据一些示例实施例的闪速TDC电路的示例的框图,并且图12是示出在图11中示出的闪速TDC电路中生成的信号的示例的示图。

[0071] 参照图11,闪速TDC电路1100可包括多个时间比较器1110₁、1110₂、1110₃、1110₄、1110₅、1110₆和1110₇以及多个延迟电路1120₁、1120₂、1120₃、1120₄、1120₅和1120₆。虽然图11示出七个时间比较器1110₁至1110₇和六个延迟电路1120₁至1120₆,但是时间比较器1110₁至1110₇的数量和延迟电路1120₁至1120₆的数量不限于此。例如,如果闪速TDC电路1100确定n个位,则闪速TDC电路1100可包括 (2^n-1) 个时间比较器和 (2^n-2) 个延迟电路。

[0072] 延迟电路1120₁至1120₆中的每个(或可选地,至少一个)可将输入脉冲延迟参考时间。在一个实施例中,当闪速TDC电路1100确定n个位时,参考时间可以是闪速TDC电路1100的参考时间Tref的 $1/2^{n-1}$ 。在图11和图12中示出的示例中,参考时间可以是Tref/4。延迟电路1120₁可通过将输入负脉冲Tinn延迟参考时间Tref/4来输出负脉冲Tinn₁,延迟电路1120₂可通过将从延迟电路1120₁输出的负脉冲Tinn₁延迟参考时间Tref/4来输出负脉冲Tinn₂,并且延迟电路1120₃可通过将从延迟电路1120₂输出的负脉冲Tinn₂延迟参考时间Tref/4来输出负脉冲Tinn₃。因此,负脉冲Tinn₂可从输入负脉冲Tinn延迟2Tref/4,并且负脉冲Tinn₃可从输入负脉冲Tinn延迟3Tref/4。延迟电路1120₄可通过将输入正脉冲Tinp延迟参考时间Tref/4来输出正脉冲Tinp₁,延迟电路1120₅可通过将从延迟电路1120₄输出的正脉冲Tinp₁延迟参考时间Tref/4来输出正脉冲Tinp₂,并且延迟电路1120₆可通过将从延迟电路1120₅输出的正脉冲Tinp₂延迟参考时间Tref/4来输出正脉冲Tinp₃。因此,正脉冲Tinp₂可从输入正脉冲Tinp延迟2Tref/4,并且正脉冲Tinp₃可从输入正脉冲Tinp延迟3Tref/4。

[0073] 时间比较器1110₁至1110₇中的每个(或可选地,至少一个)可比较正脉冲和负脉冲,并且基于比较结果来确定位 C_0 至 C_6 中的相应位。在一些示例实施例中,时间比较器1110₁至1110₇可将正脉冲的开始沿与负脉冲的开始沿进行比较,如果正脉冲的开始沿早于负脉冲的开始沿则确定“1”,并且如果负脉冲的开始沿早于正脉冲的开始沿则确定“0”。

[0074] 时间比较器1110₁至1110₄可接收输入正脉冲Tinp作为正脉冲,并且时间比较器1110₄至1110₇可接收输入负脉冲Tinn作为负脉冲。时间比较器1110₁可接收从延迟电路1120₃输出的负脉冲Tinn₃作为负脉冲,时间比较器1110₂可接收从延迟电路1120₂输出的负脉冲Tinn₂作为负脉冲,并且时间比较器1110₃可接收从延迟电路1120₁输出的负脉冲Tinn₁

作为负脉冲。时间比较器1110₅可接收从延迟电路1120₄输出的正脉冲Tin_{p1}作为正脉冲,时间比较器1110₆可接收从延迟电路1120₅输出的正脉冲Tin_{p2}作为正脉冲,并且时间比较器1110₇可接收从延迟电路1120₆输出的正脉冲Tin_{p3}作为正脉冲。

[0075] 如图12中所示,例如,输入正脉冲Tin_p和输入负脉冲Tin_n可被输入到TDC电路,并且输入负脉冲Tin_n可比输入正脉冲Tin_p晚长于 $2T_{ref}/4$ 且短于 $3T_{ref}/4$ 的时间。然后,因为输入正脉冲Tin_p早于从输入负脉冲Tin_n延迟 $3T_{ref}/4$ 的负脉冲Tin_{n3},所以时间比较器1110₁可将位C₀确定为“1”。因为输入正脉冲Tin_p早于从输入负脉冲Tin_n延迟 $2T_{ref}/4$ 的负脉冲Tin_{n2},所以时间比较器1110₂也可将位C₁确定为“1”。因为输入正脉冲Tin_p早于从输入负脉冲Tin_n延迟 $T_{ref}/4$ 的负脉冲Tin_{n1},所以时间比较器1110₃也可将位C₂确定为“1”。因为输入正脉冲Tin_p早于输入负脉冲Tin_n,所以时间比较器1110₄也可将位C₃确定为“1”。因为从输入正脉冲Tin_p延迟 $T_{ref}/4$ 的正脉冲Tin_{p1}早于输入负脉冲Tin_n,所以时间比较器1110₅也可将位C₄确定为“1”。因为从输入正脉冲Tin_p延迟 $2T_{ref}/4$ 的正脉冲Tin_{p2}早于输入负脉冲Tin_n,所以时间比较器1110₆也可将位C₅确定为“1”。因为从输入正脉冲Tin_p延迟 $3T_{ref}/4$ 的正脉冲Tin_{p3}晚于输入负脉冲Tin_n,所以时间比较器1110₇可将位C₆确定为“0”。

[0076] 因此,闪速TDC电路1100可输出“111110”的确定码C₀至C₆。“111110”的确定码C₀至C₆可以是温度计码,并且可对应于二进制数字码中的“110”。由于闪速TDC电路1100可在一个时钟周期中输出所有数字值,因此它可比流水线逐次逼近TDC电路快地操作。

[0077] 如上所述,在一些示例实施例中,当闪速TDC电路用作图10中的第一TDC电路1020时,模数转换器可更快地操作。在一些示例实施例中,当流水线逐次逼近TDC电路用作图10中的第一TDC电路1020时,可减少时间比较器的数量。例如,对于n位确定,n个时间比较器可用在流水线逐次逼近TDC电路中,而 (2^n-1) 个时间比较器可用在闪速TDC电路中。

[0078] 图13是示出根据一些示例实施例的模数转换方法的示例的流程图。

[0079] 参照图13,在S1310中,模数转换器可在第i级接收第i正脉冲和第i负脉冲。在一些示例实施例中,第一级的第一正脉冲和第一负脉冲可以通过将输入电压转换到时域中而生成的脉冲。在一些示例实施例中,第一正脉冲和第一负脉冲可以是“在根据通过将输入电压转换到时域中而生成的脉冲来确定一些位(或可选地,至少一个位)之后”剩余的脉冲(例如,与剩余位对应的脉冲)。

[0080] 在S1320中,在第i级中,模数转换器可通过响应于第i时钟比较第i正脉冲和第i负脉冲来生成第i比较结果。在S1330中,模数转换器可基于第i比较结果来确定第i位。当在S1340中第i级是最后一级(例如,第n级)时,模数转换器可结束确定。

[0081] 当在S1340中第i级不是最后一级时,在S1350、S1360和S1370中,模数转换器可基于的第i比较结果的值,通过将第i正脉冲和第i负脉冲中的任一个延迟第i参考时间来输出第(i+1)正脉冲和第(i+1)负脉冲。此外,在S1380中,模数转换器可响应于第i比较结果生成第(i+1)时钟。在一些示例实施例中,如果第i正脉冲早于第i负脉冲,则模数转换器可生成第一值(例如,“1”)作为第i比较结果,并且如果第i负脉冲早于第i正脉冲,则模数转换器可生成与第一值不同的第二值(例如,“0”)作为第i比较结果。在一些示例实施例中,当在S1350中第i比较结果具有第一值时,在S1360中模数转换器可将第i正脉冲延迟第i参考时间。当在S1350中第i比较结果具有第二值时,在S1370中模数转换器可将第i负脉冲延迟第i参考时间。

[0082] 接下来,在S1390中,模数转换器可在第(i+1)级执行确定。

[0083] 图14是示出根据一些示例实施例的计算装置的示例的框图。

[0084] 参照图14,计算装置1400可包括主机系统1410和存储器系统1420。主机系统1410和存储器系统1420可通过接口通信。存储器系统1420可包括存储器控制器1421和存储器装置1422。

[0085] 存储器控制器1421可通过响应于来自主机系统1410的请求将信号提供给存储器装置1422来控制存储器装置1422的存储器操作。信号可包括命令和地址。存储器控制器1421可通过将读取信号提供给存储器装置1422来从存储器装置1422读取数据。此外,存储器控制器1421可通过将写入信号和数据提供给存储器装置1422来将数据写入存储器装置1422。

[0086] 在一些示例实施例中,存储器装置1422可包括易失性存储器(诸如,动态随机存取存储器(DRAM))。在一些示例实施例中,存储器装置1422可包括非易失性存储器(诸如,闪存、相变存储器、电阻式存储器、磁阻存储器、铁电存储器或聚合物存储器)。在一些示例实施例中,存储器装置1422可用作主机系统1410的系统存储器。在这种情况下,存储器控制器1421可被设置为与主机系统1410的处理器分离的芯片,或者可被设置为处理器的内部组件。在一些示例实施例中,存储器系统1420可用作主机系统1410的存储装置。

[0087] 参照图1至图13描述的模数转换器可包括在主机系统1410、存储器控制器1421和/或存储器装置1422中,以将模拟电压转换为数字信号。

[0088] 图15是示出根据一些示例实施例的通信系统的示例的框图。

[0089] 参照图15,通信系统1500可包括第一装置1510和第二装置1520。

[0090] 第一装置1510可包括发送器1511、接收器1512和处理器1513,并且第二装置1520可包括发送器1521、接收器1522和处理器1523。第一装置1510的发送器1511可将数据发送给第二装置1520,并且第二装置1520的接收器1522可接收数据。类似地,第二装置1520的发送器1521可将数据发送给第一装置1510,并且第一装置1510的接收器1512可接收数据。处理器1513可控制发送器1511和接收器1512的操作,并且处理器1523可控制发送器1521和接收器1522的操作。

[0091] 参照图1至图13描述的模数转换器可包括在发送器1511、接收器1512、发送器1521和/或接收器1522中,以将模拟电压转换为数字信号。

[0092] 尽管图14和图15示出使用模数转换器的计算装置和通信系统,但是使用模数转换器的系统或装置不限于此。模数转换器可用于在各种装置中将模拟电压转换为数字信号。

[0093] 在一些示例实施例中,根据一些示例实施例,由如图1至图12所示的块表示的组件、元件、模块和单元中的每个(或可选地,至少一个)可被实现为执行上述相应功能的各种数量的硬件、软件和/或固件结构。例如,这些组件、元件、模块和单元中的至少一个可包括可通过一个或多个微处理器或其他控制设备的控制来执行相应的功能的各种硬件组件,各种硬件组件包括数字电路、可编程或不可编程逻辑器件或阵列、专用集成电路(ASIC)或使用数字电路结构的其他电路系统(诸如,存储器、处理器、逻辑电路、查找表等)。此外,这些组件、元件、模块和单元中的至少一个可包括模块、程序或部分代码,模块、程序或部分代码包含用于执行指定逻辑功能并由一个或多个微处理器或其他控制设备执行的一个或多个可执行指令。此外,这些组件、元件、模块和单元中的至少一个还可包括执行相应功能的处

理器,或者可由执行相应功能的处理器实现。示例实施例的功能方面可实现在在一个或多个处理器上执行的算法中。

[0094] 上面公开的任何元件和/或功能块可包括处理电路系统(诸如,包括逻辑电路的硬件、硬件/软件组合(诸如,执行软件的处理器)或它们的组合),或者在处理电路(诸如,包括逻辑电路的硬件、硬件/软件组合(诸如,执行软件的处理器)或它们的组合)中实现。例如,时钟控制电路920和存储器控制器1421可被实现为处理电路系统。处理电路系统具体可包括但不限于中央处理器(CPU)、算术逻辑单元(ALU)、数字信号处理器、微计算机、现场可编程门阵列(FPGA)、片上系统(SoC)、可编程逻辑单元、微处理器、专用集成电路(ASIC)等。处理电路系统可包括诸如晶体管、电阻器、电容器等中的至少一个的电气组件。处理电路系统可包括诸如包括与门、或门、与非门、非门等中的至少一个的逻辑门的电气组件。

[0095] 一个或多个处理器、一个或多个控制器和/或处理电路系统可被配置为通过(诸如,利用FPGA或ASIC)被专门编程为执行动作或步骤来执行那些动作或步骤,或者可被配置为通过执行从存储器接收的指令来执行动作或步骤,或它们的组合。

[0096] 虽然已经结合目前被认为是实例实施例描述了本发明,但是应当理解,本发明不限于公开的示例实施例。相反,旨在覆盖包括在所附权利要求的精神和范围内的各种修改和等同布置。

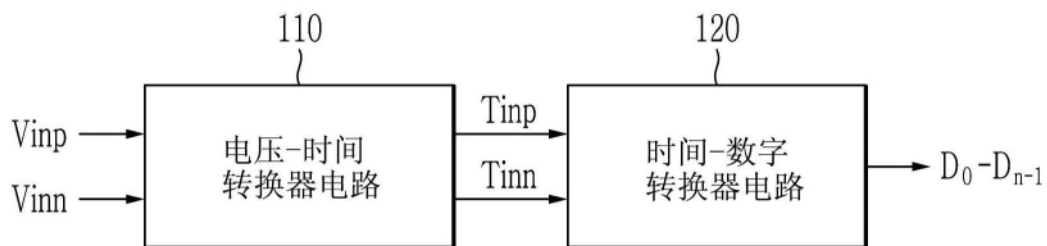
100

图1

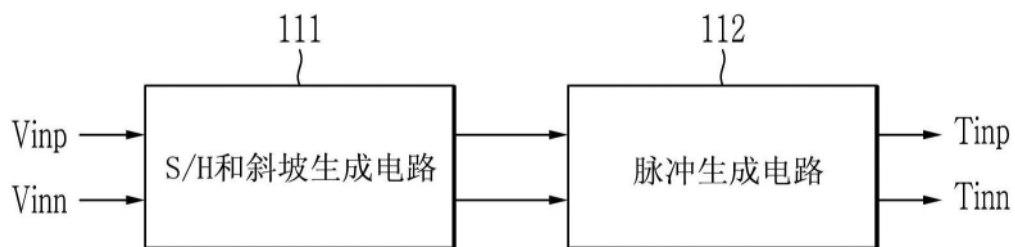
110

图2

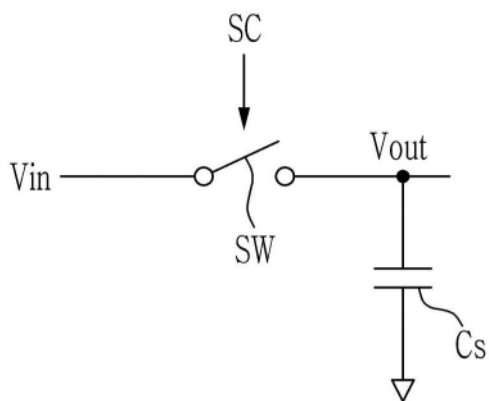


图3

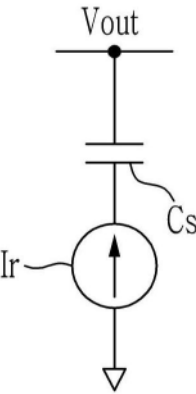


图4

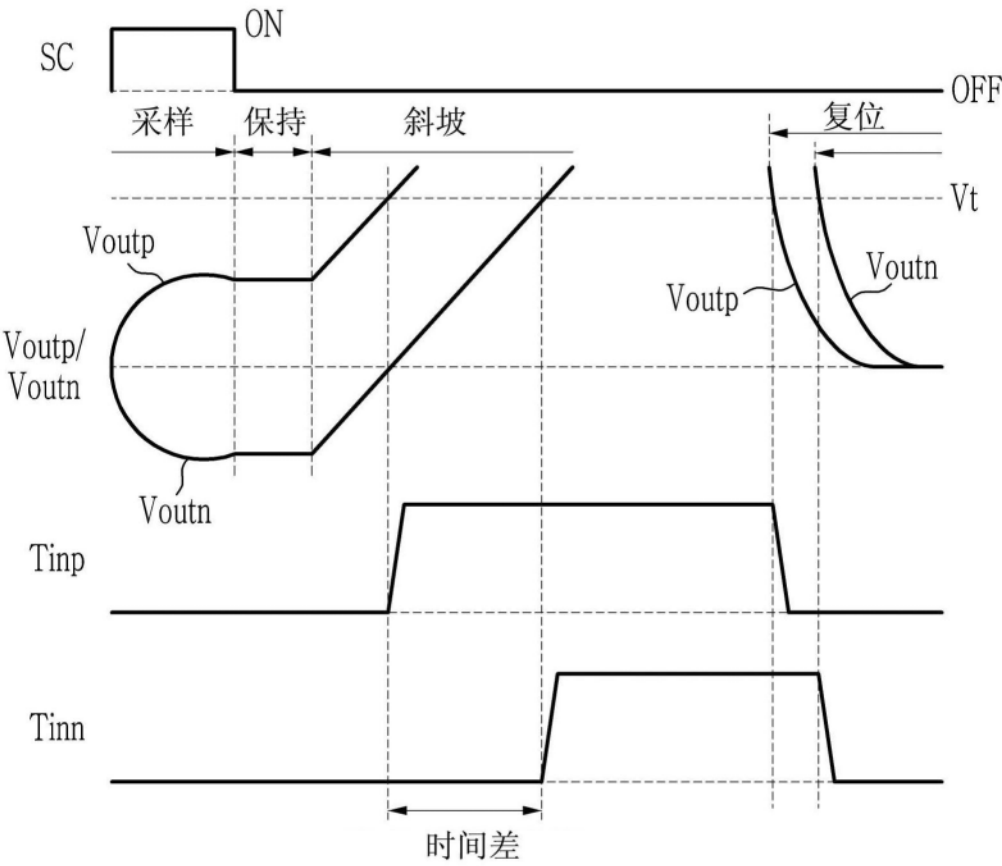


图5

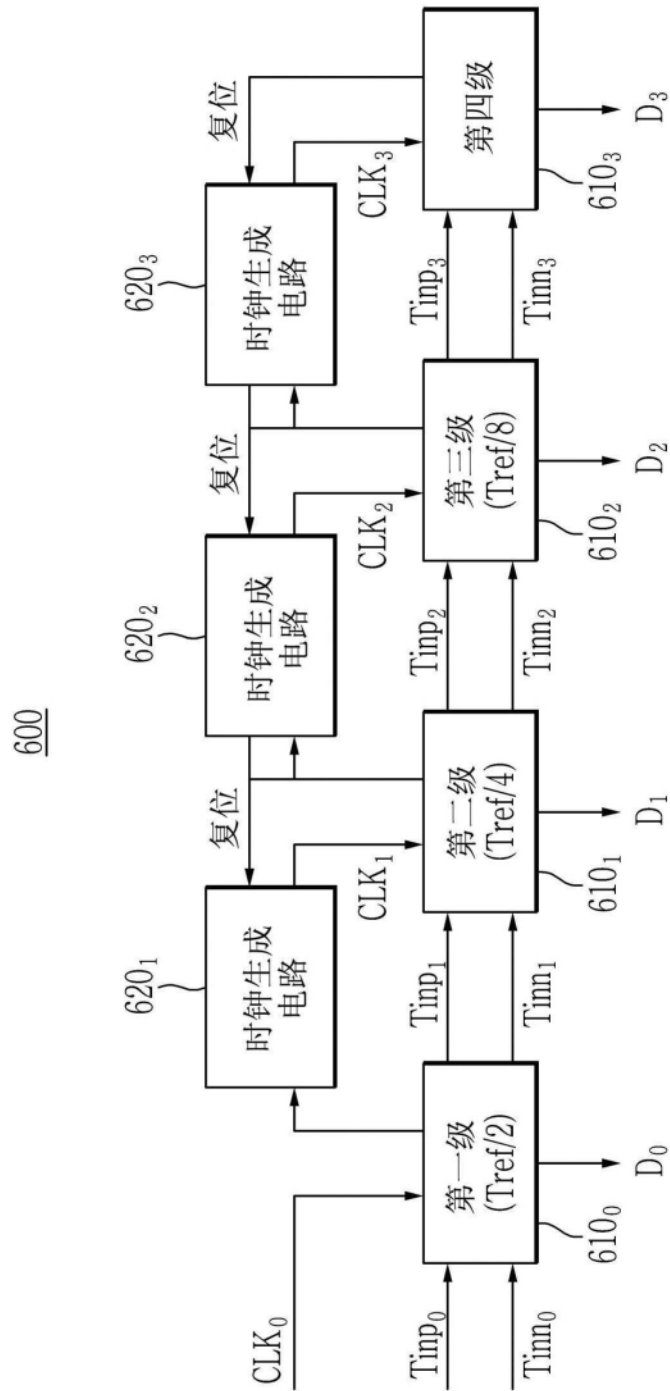


图6

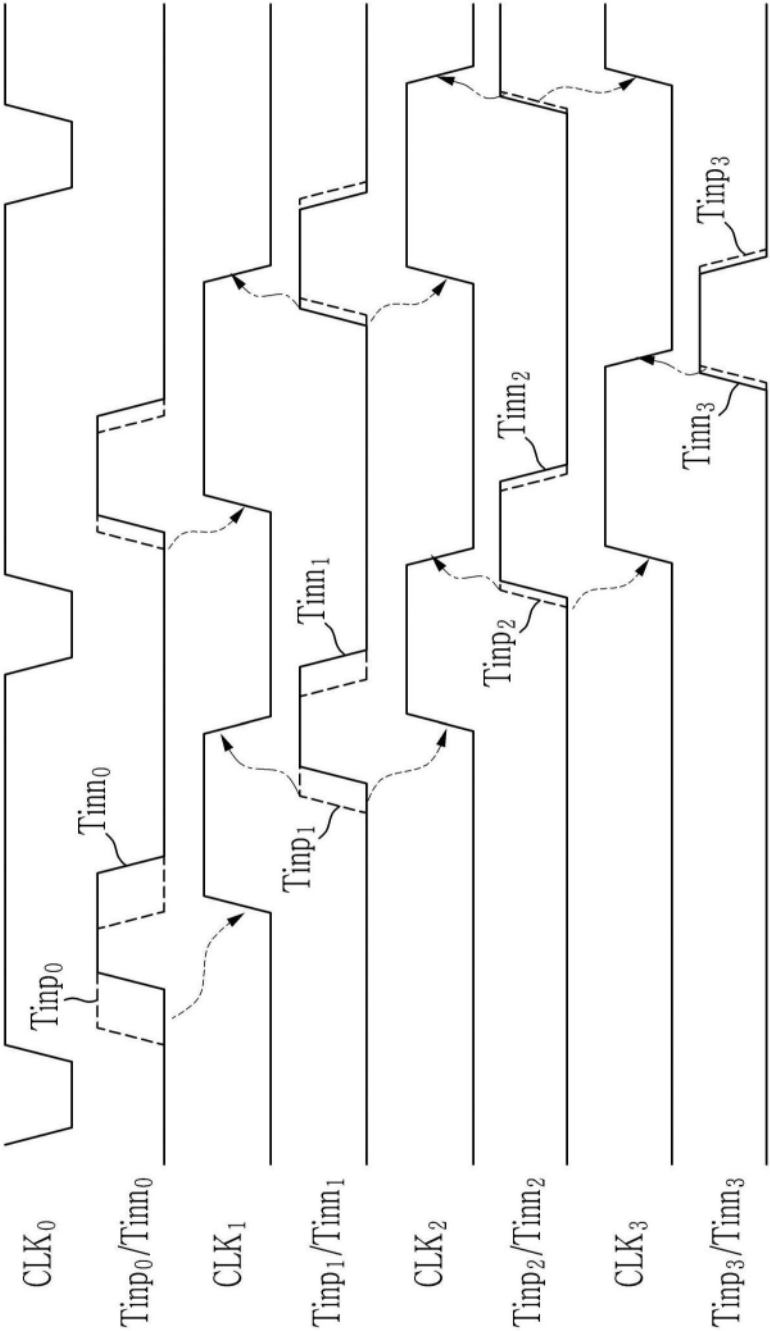


图7

800

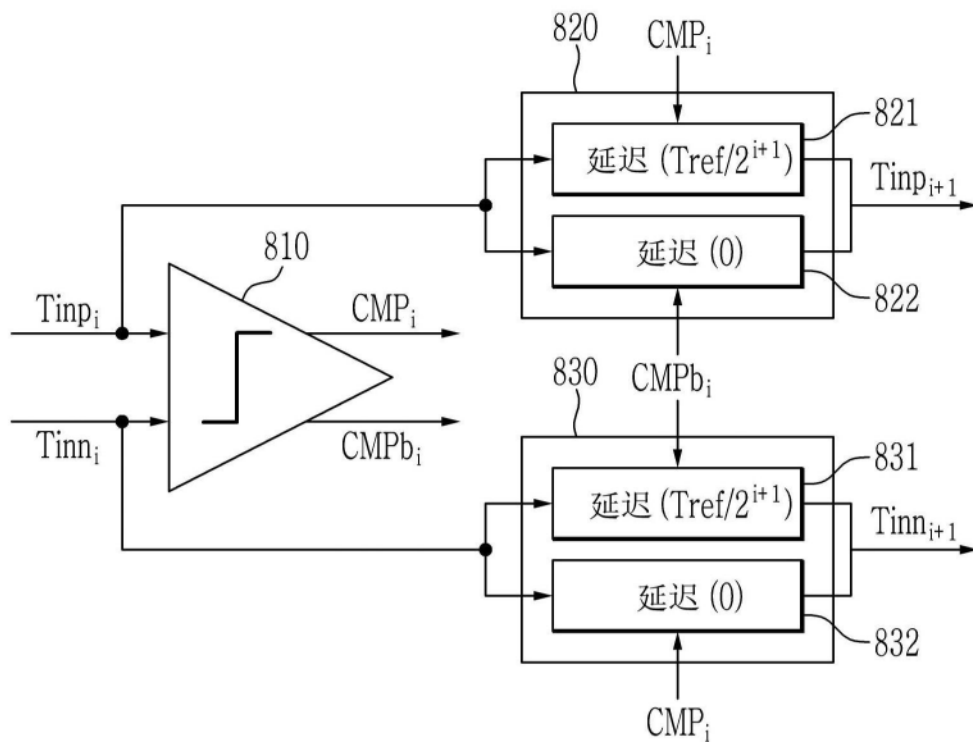


图8

900

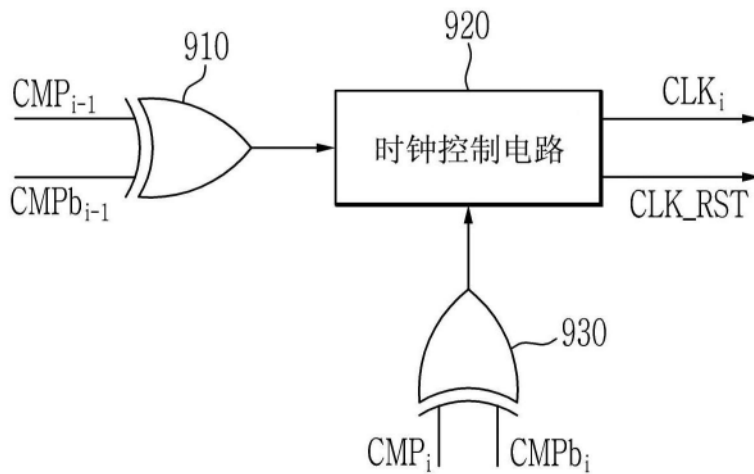


图9

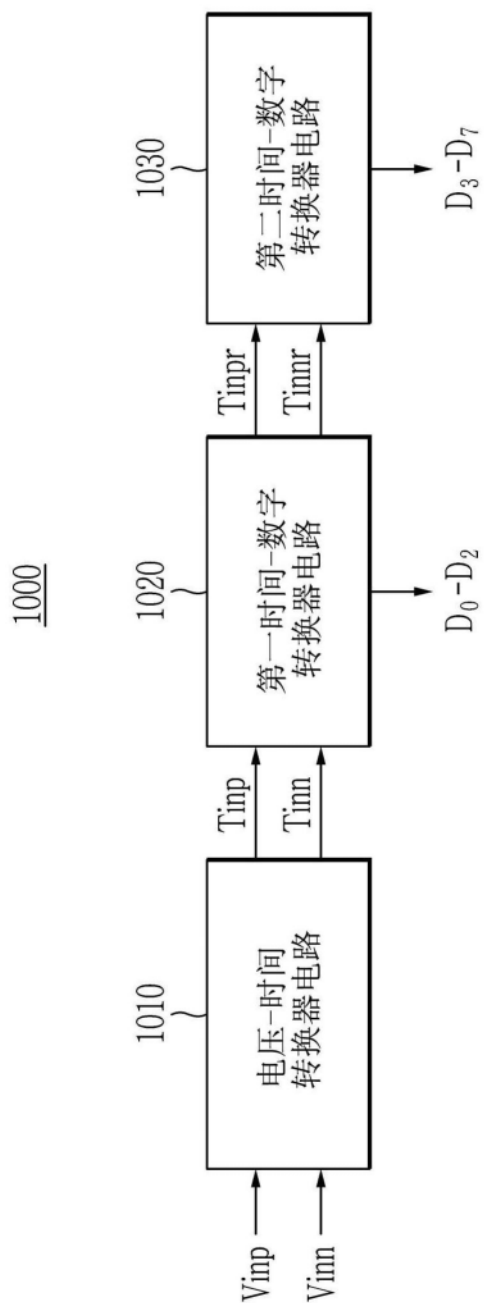


图10

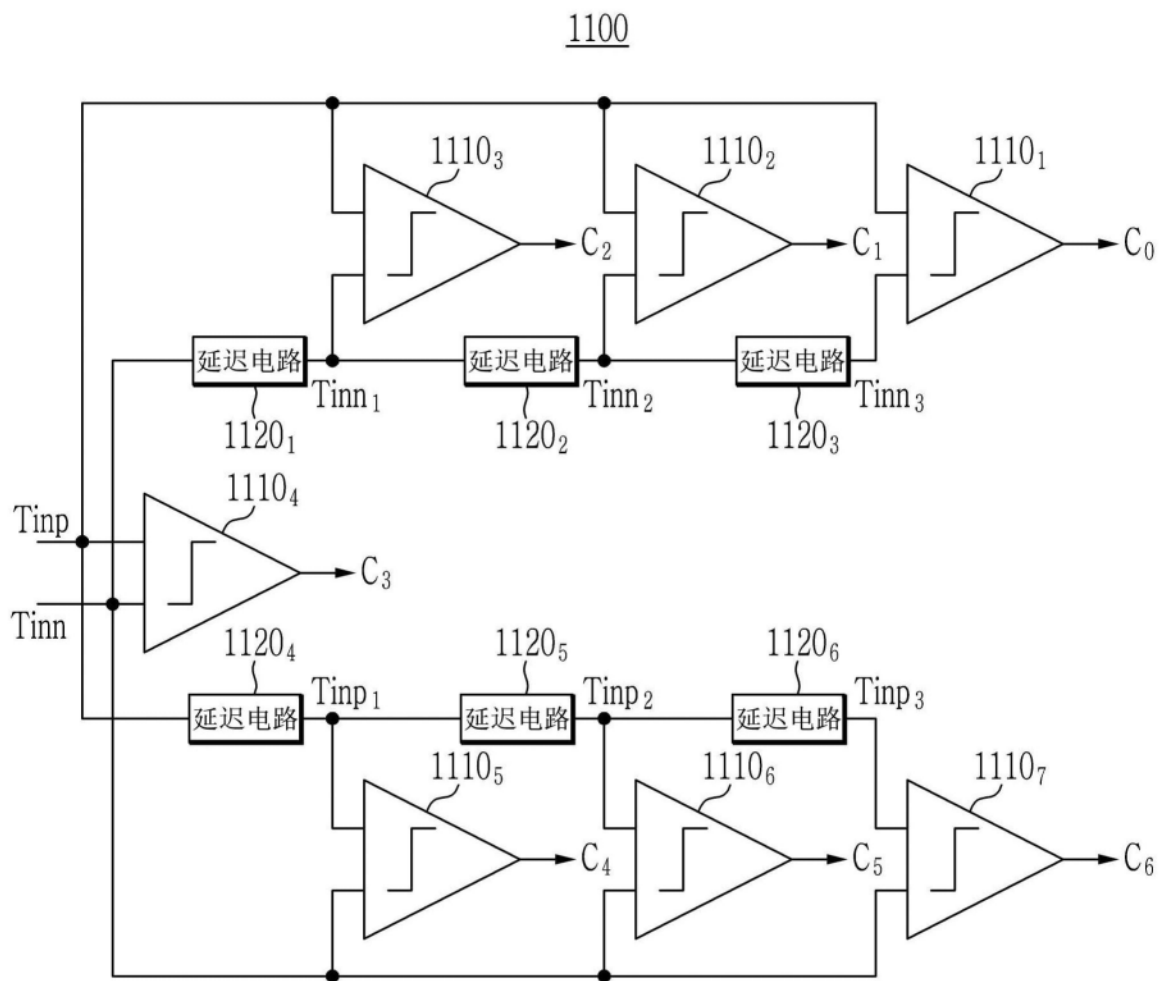


图11

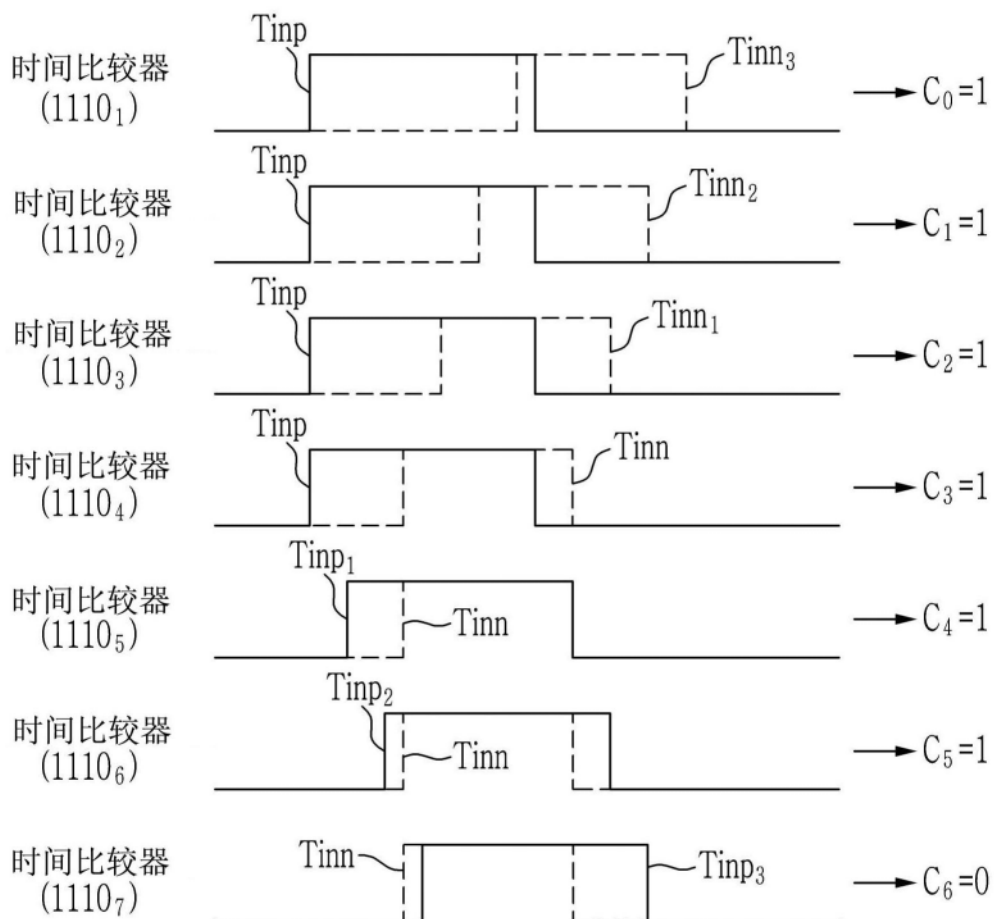


图12

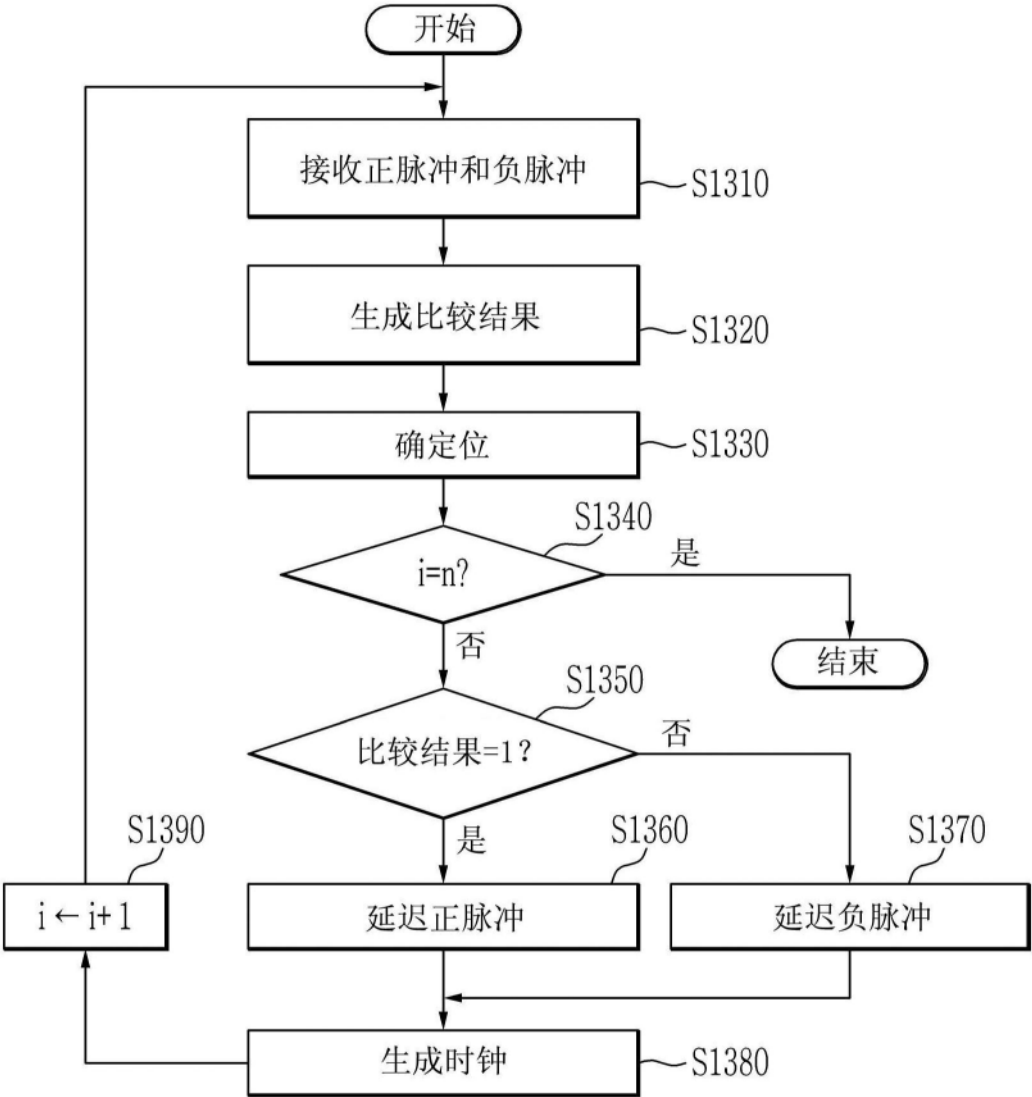


图13

1400

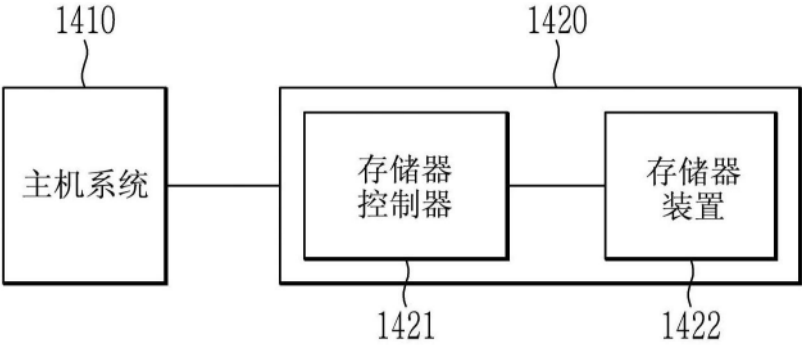


图14

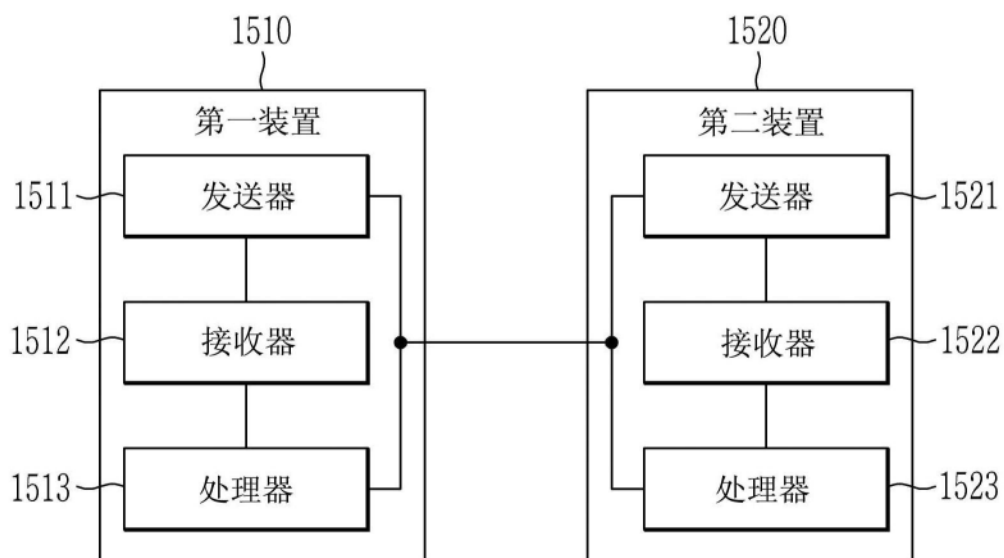
1500

图15