



(12)发明专利

(10)授权公告号 CN 103312992 B

(45)授权公告日 2016.12.28

(21)申请号 201310066435.1

(51)Int.Cl.

(22)申请日 2013.03.04

H04N 5/378(2011.01)

(65)同一申请的已公布的文献号

申请公布号 CN 103312992 A

(56)对比文件

CN 101753864 A, 2010.06.23,

CN 101620880 A, 2010.01.06,

US 2010214462 A1, 2010.08.26,

CN 101753864 A, 2010.06.23,

(43)申请公布日 2013.09.18

(30)优先权数据

2012-050689 2012.03.07 JP

审查员 张林

(73)专利权人 佳能株式会社

地址 日本东京

(72)发明人 小林大祐 大西智也 大屋武

(74)专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 欧阳帆

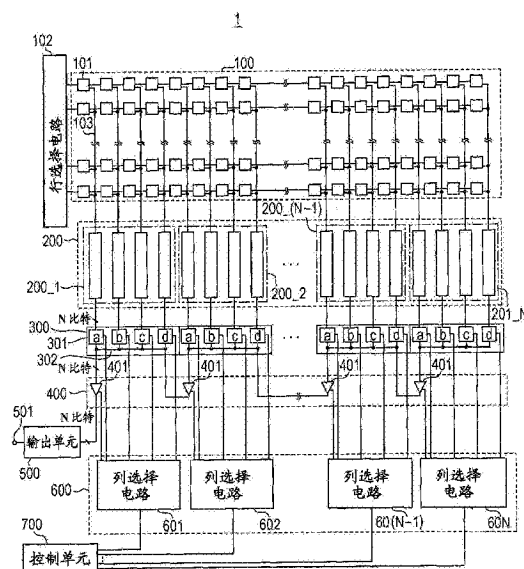
权利要求书1页 说明书11页 附图17页

(54)发明名称

信号传输系统、光电转换设备和图像拾取系统

(57)摘要

本发明涉及信号传输系统、光电转换设备和图像拾取系统。一种信号设备包括：多个套件，其中每个套件包括被配置为输出数字信号的多个数字信号输出单元、连接到多个数字信号输出单元的输出端子的块布线、以及输入端子与块布线连接的缓冲电路，其中包括在多个套件中的一个套件内的缓冲电路的输出端子与包括在多个套件中的另一个套件内的块布线连接。



1. 一种信号传输设备,其特征在于包括:

包含多个第一数字信号输出单元和多个第二数字信号输出单元的多个数字信号输出单元,所述多个数字信号输出单元中的每一个数字信号输出单元被配置为输出数字信号,

具有分别连接到所述多个第一数字信号输出单元的一个不同的输出端子的多个节点的第一块布线,和,具有分别连接到所述多个第二数字信号输出单元的一个不同的输出端子的多个节点的第二块布线,以及

具有第一输入和第一输出的第一缓冲电路,和,具有第二输入和第二输出的第二缓冲电路,第一输入连接到第一块布线的多个节点,并且,第二输入连接到第二块布线的多个节点,

其中第一输出经由第二块布线的多个节点连接到第二输入。

2. 根据权利要求1所述的信号传输设备,其中所述多个数字信号输出单元分别包括模数转换单元。

3. 根据权利要求2所述的信号传输设备,其中所述多个数字信号输出单元分别包括被配置为保持从模数转换单元输出的数字信号的存储单元。

4. 根据权利要求3所述的信号传输设备,其中存储单元包括被配置为调节存储单元的输阻抗的输出阻抗调节单元。

5. 根据权利要求1所述的信号传输设备,其中第一和第二缓冲电路分别包括被配置为调节对应的缓冲电路的输出阻抗的输出阻抗调节单元。

6. 根据权利要求1所述的信号传输设备,其中第一和第二缓冲电路与时钟信号同步地分别输出数字信号。

7. 一种光电转换设备,其特征在于包括:

根据权利要求1到6中的任一项所述的信号传输设备;以及

以矩阵方式布置的多个像素,

其中多个数字信号输出单元中的每一个数字信号输出单元与像素的列对应地被设置。

8. 一种图像拾取系统,其特征在于包括

根据权利要求7所述的光电转换设备;

光学系统,被配置为在多个像素上形成图像;以及

图像信号处理单元,被配置为处理从光电转换设备输出的信号以便产生图像数据。

信号传输系统、光电转换设备和图像拾取系统

技术领域

[0001] 实施例的一个公开的方面涉及信号传输系统、光电转换设备、图像拾取系统以及用于光电转换设备的驱动方法。特别地,实施例的一个方面涉及设置有并行地布置的多个模数(A/D)转换器的信号传输系统。

背景技术

[0002] 提出了一种在以矩阵方式布置像素的像素阵列的各个列上或者多个列上被设置有A/D转换器并且被配置为并行地执行信号处理的图像拾取设备。通过A/D转换获得的数字数据被存储在存储器中,并且其后,存储的数字数据由扫描电路选择以便从图像拾取设备输出。

[0003] 日本专利公开No.2010-147684公开了多个存储器被设定作为一个块(block),并且对于每个块分配一个输出数据的布线(在下文中,其将被称为数据输出线)。在该说明书中,公开了其中为各个块布线设置选择电路并且选择从关联的块布线输出的数字数据或者从另一个选择电路输出的数字数据以被输出的配置。

[0004] 然而,根据日本专利公开No.2010-147684中公开的配置,除了用于每个块的布线之外,还使用了选择电路之间的布线。为此,不仅妨碍了以更高速度传送数据,而且布局(layout)面积的尺寸被增大。

发明内容

[0005] 实施例的一个公开的方面旨在解决上述的问题。

[0006] 根据实施例的一个方面,提供了一种包括多个套件的信号传输设备。多个套件中的每个套件包括被配置为输出数字信号的多个数字信号输出单元、连接到多个数字信号输出单元的输出端子的块布线、以及具有与块布线连接的输入端子的缓冲电路。包括在多个套件中的一个套件内的缓冲电路的输出端子与包括在多个套件中的另一个套件内的块布线连接。

[0007] 根据实施例的另一个方面,提供了一种信号传输设备,其包括:并行地布置的多个数字信号输出单元;以及串联连接的多个输出选择器,其中多个输出选择器中的每个输出选择器选择性地输出从一个数字信号输出单元输出的信号或者从另一个输出选择器输出的信号。

[0008] 从以下参考附图的实施例的描述中本公开的更多的特征将变得清晰。

附图说明

[0009] 图1是根据第一实施例的光电转换设备的配置的框图。

[0010] 图2是根据第一实施例的像素的等效电路图。

[0011] 图3示出根据第一实施例的信号相位。

[0012] 图4A、图4B和图4C是根据第一实施例的光电转换设备的配置的框图和时序图。

- [0013] 图5A和图5B是根据第一实施例的光电转换设备的配置的框图和时序图。
- [0014] 图6是根据第二实施例的光电转换设备的配置的框图。
- [0015] 图7是根据第二实施例的像素的等效电路图。
- [0016] 图8A、图8B、图8C和图8D是根据第二实施例的操作的时序图。
- [0017] 图9是根据第三实施例的光电转换设备的配置的框图。
- [0018] 图10是根据第四实施例的光电转换设备的配置的框图。
- [0019] 图11是根据第五实施例的光电转换设备的配置的框图。
- [0020] 图12是根据第五实施例的操作的时序图。
- [0021] 图13是根据第六实施例的光电转换设备的配置的框图。
- [0022] 图14是根据第七实施例的光电转换设备的配置的框图。
- [0023] 图15是根据第八实施例的光电转换设备的配置的框图。
- [0024] 图16是根据第八实施例的光电转换设备的配置的另一个框图。
- [0025] 图17是根据第九实施例的图像拾取系统的配置的框图。

具体实施方式

[0026] 作为设置有并行布置且被配置为输出数字信号的多个数字信号输出单元的信号传输设备的示例而说明了光电转换设备。实施例的用途不限于光电转换设备。

[0027] 实施例的一个公开的特征可以被描述为通常被描绘为时序图的过程。时序图可以示出几个实体(诸如信号、事件等)的定时关系。虽然时序图可以将操作描述为顺序的过程,但是可以并行地或者同时执行一些操作。另外,除非特别地陈述,否则操作或者定时时刻的顺序可以被重新排列。此外,定时或者时间的距离可以不按比例绘制或者不以精确的比例描绘定时关系。

[0028] 第一实施例

[0029] 图1示出根据本实施例的光电转换设备的配置。在这里,将作为示例描述包括其中以M行×N列的矩阵方式布置像素101的像素阵列100以及在像素阵列100的各个列上设置的信号处理电路200的配置。

[0030] 光电转换设备1包括像素阵列100、信号处理电路组200、存储器组300、缓冲电路组400以及输出单元500。光电转换设备1还可以包括行选择电路102、列选择电路600以及控制单元700。

[0031] 图2是像素101的等效电路图。像素101包括光电转换单元PD并且将根据通过光电转换获得的电荷量的信号输出到信号线103。

[0032] 像素101包括光电转换单元PD、传送晶体管TX、复位晶体管RES、放大晶体管SF以及选择晶体管SEL。用于通过传送晶体管TX、复位晶体管RES和选择晶体管SEL进行的控制操作的控制信号从例如行选择电路102供应,并且一次在一个行上进行所述控制。利用信号PTX,当传送晶体管TX处于导通状态时,蓄积在光电转换单元PD中的电荷被传送到放大晶体管SF的控制电极的节点FD。当像素101被形成在半导体衬底上时,节点FD被形成在浮置扩散区域上。在下文中,节点FD还可以被称为FD单元。利用信号PRES,当复位晶体管RES处于导通状态时,节点FD被复位到电源电压VDD。利用行选择脉冲PSEL,当行选择开关SEL处于导通状态时,放大晶体管与图中未示出的恒流源一起构成源极跟随器电路,并且将根据节点FD处的

电位的信号输出到垂直信号线103。

[0033] 信号处理电路200是用于处理经由垂直信号线103传输的信号。信号处理电路200具有的功能的示例包括基于CDS(相关双采样)的噪声减少、信号放大以及A/D转换。根据本实施例,信号处理电路200至少具有输出n比特数字信号的功能。

[0034] 存储器组300临时保持从信号处理电路200输出的n比特数字信号。存储器组300在各个列上包括可以保持至少n比特数字信号的数字存储器301。多个(在本示例中为四个)数字存储器301公共地使用作为块布线的块数字输出线302。

[0035] 用作存储单元的数字存储器301采用例如SRAM(静态随机访问存储器)的配置。数字存储器301被设置有具有输出阻抗调节功能的输出阻抗调节单元。当通过来自列选择电路600的信号进行选择时,保持在数字存储器301中的数字信号被输出到块数字输出线302。另一方面,在未选择的情况下,输出被设定为高(H)阻抗。作为具体的配置,例如,可以设想各个数字存储器301的输出被设置有开关。

[0036] 各个块数字输出线302连接到缓冲电路401的输入端子。据此,输出到块数字输出线302的数字数据通过缓冲电路401被传输到后续级。与数字存储器301中类似地,缓冲电路401也可以被设置有输出阻抗调节单元。

[0037] 缓冲电路401的输出连接到与连接输入的块数字输出线302不同的块数字输出线。设置在图1的最左位置上的缓冲电路401的输出连接到输出单元500。从输出端子501输出输入到输出单元500的数字信号。输出单元500包括并行/串行转换功能(在下文中,其将被称为P/S转换功能),并且被配置为将n比特并行数据转换成将从输出端子501输出的串行数据。将输出的信号是基于LVDS(低电压差分信号传输,Low Voltage Differential Signaling)系统等的差分的输出。

[0038] 请注意,为了简化描绘,用单根线描绘块数字输出线302,并且缓冲电路401也被示出为一个电路。然而,实际上,为了使得可以传输n比特数字信号,制备了n条布线,并且在各个布线上并行地设置缓冲电路。

[0039] 在图1中,四个数字存储器301被设定为用于一个块的存储器组300,但是每个块的数字存储器301的数量不限于4个。

[0040] 可以设想,根据以下原因,例如,基于由块数字输出线302的布线和要连接的元件引起的寄生负载来确定包括在存储器组300内的数字存储器301的数量S。这将通过使用图3来描述。

[0041] 在图1中,将考虑与连接到输出单元的缓冲电路401关联的块。图3示出了从列选择电路600输出的同步时钟、用于选择包括在与列选择电路600对应的存储器组300内的第(N-1)个数字存储器和第N个数字存储器的信号、要被输入到输出单元500的数据,并且还示出了用于调整用于对输入到输出单元500的数据进行采样的定时的数据获取时钟。

[0042] 列选择电路600的同步时钟在时间A处上升。在同步时钟的上升的延迟后,当由列选择电路600选择第(N-1)个数字存储器301时,保持在数字存储器301中的数字信号被输出到块数字输出线302。缓冲电路401将在块数字输出线302上出现的数字信号传输到输出单元500。

[0043] 输出单元500在时间B处与数据获取时钟同步地获取从输出单元401输出的数字信号上的数据。在图3中,在时间B处,由于输入到输出单元500的数据从第(N-1)个数字存储器

301转变为第N个数字存储器301,因此来自第(N-1)个数字存储器301的数字信号的值在一些情况下可能不被获取。

[0044] 以这样的方式,作为对于在还没有确认输出单元500获取的数字信号的值时的定时处进行获取的要素,例示了由存在于用于数据的传送路径上的布线引起的寄生负载或者由与传送路径连接的元件引起的寄生负载。鉴于以上内容,可以在考虑延迟量的同时设计与块数字输出线302连接的数字存储器301的数量S。

[0045] 根据本实施例,并行布置的多个数字信号输出单元被设定为一个块,并且对于这种块公共地设置块数字输出线和缓冲电路。这种块被设置在多个位置中,并且一个块中的缓冲电路的输出被设定为被供应给另一个块中的块数字输出线。据此,可以省略现有技术中设置的选择电路之间连接的布线。

[0046] 根据此配置,减少通过缓冲电路驱动的负载,并且在抑制信号延迟的同时,也还可以减少布局面积。

[0047] 接下来,作为由图1中示出的光电转换设备进行的操作的示例,将描述稀疏式(thinned-out)读取。在这里,假设列选择电路600由可以不仅执行顺序扫描而且执行跳跃扫描的移位寄存器或者解码器组成。

[0048] 控制单元700将用于切换操作模式的信号供应给列选择电路600,并且选择性地运行多个操作模式,例如,除了对所有像素的顺序扫描之外还有用于仅仅从像素阵列的一部分中的区域的一部分读出信号的稀疏式读取以及切断式(cutout)读取。

[0049] 将通过使用图4A、图4B和图4C描述操作。假设包括在存储器组300的单元内的四个数字存储器301是用于四个列的数字存储器a到d。

[0050] 图4A与图1中示出的光电转换设备1相同。在这里,考虑其中实现仅仅从像素阵列的每四列中的一列读取数字信号的1/4水平稀疏的操作的情况,并且没有读取数字信号的数字存储器301被画阴影线。

[0051] 图4B示出在从所有列上的数字存储器301读出信号的情况下从列选择电路输出的信号。更具体地,图4B是示出由图1中示出的各个列选择电路601、602、……、60(N-1)和60N选择的数字存储器的列以及输入到输出单元500的数据串的时序图。

[0052] 列选择电路601与从控制单元700供应的时钟同步地选择数字存储器301中的a到d。在由列选择电路601进行选择时,从数字存储器301输出的数字信号在具有由包括缓冲电路401的路径上的负载引起的延迟时间的延迟的情况下被输入到输出单元500。

[0053] 当完成了由列选择电路601选择对应块的所有数字存储器时,随后,开始由列选择电路602进行数字存储器301的选择。类似地,此后,进行数字存储器301的扫描,并且将所有列上的数字信号从输出单元500输出。与由列选择电路扫描数字存储器并行地,通过对下一行上的像素进行A/D转换,可以缩短从某一行上的数字信号的输出的结束直到下一行上的数字信号的输出的时间跨度。

[0054] 图4C是示出在仅仅从图4A中的没有画阴影线的数字存储器读出信号的情况下的操作的时序图。由于各个列选择电路在对应的数字存储器301之中选择数字存储器,如图4C中所示出的,因此输出单元500仅仅被供应有来自各个块的数字存储器a的数字信号。

[0055] 此外,将描述另一个读取系统。在图4A和图4C中,已经描述了其中周期性地采样图像拾取区域中的列的水平稀疏式读取。在这里,将描述其中仅仅读出连续列的一部分上的

信号的切断式读取的情况。此外在该情况下,列选择电路可以由可以执行跳跃扫描的移位寄存器或者解码器组成。

[0056] 在图5A中,不从画阴影线的信号处理单元200和画阴影线的数字存储器301的列输出数字信号到输出单元。在图5A中,不从与列选择电路601和60N对应的数字存储器301读出信号,并且从设置为与列选择电路602和60(N-1)对应的数字存储器的一部分以及设置为与列选择电路603到60(N-2)对应的数字存储器读出数字信号。图5B中示出的用于进行切断式读取的操作的情况的时序图示出此情形。

[0057] 请注意在图5A和图5B中示出的切断式读取也可以与在图4A和4C中示出的稀疏式读取结合。

[0058] 此外,根据上面描述的稀疏式读取和切断式读取的示例,没有说明沿着列的方向,但是可以通过行选择电路102进行使像素阵列100的行稀疏的选择或者仅仅一部分连续的行的选择。

[0059] 根据上面描述的本实施例,设置多个包括多个数字信号输出单元、块布线和缓冲电路的套件,并且缓冲电路的输出被供应给另一个套件的块布线,使得可以在抑制面积的增大的同时实现更高速地输出信号。

[0060] 第二实施例

[0061] 将描述另一个实施例。根据第一实施例,已经描述了其中在像素阵列的各个列中设置数字信号输出单元的示例,但是根据本实施例的光电转换设备在各个像素上被设置有数字信号输出单元。

[0062] 图6示出根据一个实施例的光电转换设备的配置。在这里,将作为示例描述设置有其中布置M行×N列的像素1001的像素阵列1000以及各个像素1001上的数字信号输出单元的配置。

[0063] 光电转换设备1'包括像素阵列1000、缓冲电路111、行选择单元2000、数字存储器3000和3002、数字数据处理单元3001、列选择单元4000以及输出单元5000和6000。

[0064] 图7是像素1001的等效电路图。像素1001包括光电转换单元PD,并且从像素1001输出作为数字信号的、根据通过光电转换获得的电荷量的信号。像素1001包括放大器1008、A/D转换单元1009和数字存储器1010。在图7中,电源线1002和1004供应电力,并且接地导线1003和1005供应接地电压。通过设置在电源线1002与接地导线1003之间的电容器元件以及在电源线1004与接地导线1005之间的电容器元件,可以抑制由电源变化所引起的对图像质量的影响。

[0065] 放大器1008包括由放大晶体管SF和电流源I_{const}组成的源极跟随器电路。当光电转换单元PD基于入射光蓄积电荷时,放大晶体管SF处的栅极电位波动,并且放大器1008的输出也改变。

[0066] 从放大器1008输出的信号由A/D转换单元1009转换为n比特数字数据以便被保持在数字存储器1010中。数字存储器1010采用例如SRAM配置。

[0067] 由于数字存储器1010被设置在各个像素中,因此可以提到的是,相对于块数字输出线1006并行地设置多个数字输出单元。

[0068] 像素1001可以输出数字信号就足够了,并且像素1001可以包括基于CDS的噪声减少功能。

[0069] 行选择单元2000被配置为以行为单位地控制由像素1001进行的操作,并且控制通过像素1001进行的光电转换操作、放大操作、A/D转换操作、数字数据的存储操作、存储器数据的读取操作等。在图6中,为了简化描绘,连接行选择单元2000与各个像素1001的控制信号线由单根线表示。

[0070] 由行选择单元2000选择的数字存储器1010将存储的数据和n比特数字信号输出到块数字输出线1006。根据一个实施例,对于各个列,每四行设置一个块数字输出线1006。对于各个块数字输出线1006,设置一个缓冲电路111。换句话说,通过缓冲电路串联连接多个块数字输出线1006。

[0071] 根据一个实施例的数字存储器1010和缓冲电路111可以被设置有调节输出的阻抗的功能。据此,可以控制除由行选择单元2000选择的数字存储器1010和缓冲电路111以外的数字存储器1010和缓冲电路111,以使得可以通过行选择单元2000将输出设定在高阻抗状态中。

[0072] 从行选择单元2000选择的像素1001输出的数字信号经由块数字输出线1006和缓冲电路111被传输到对应列上的数字存储器3000。当由列选择单元4000选择保持在数字存储器3000中的数字信号时,在数字数据处理单元3001中处理数字信号并且将该数字信号传送到对应的数字存储器3002或者输出单元6000。

[0073] 当由列选择单元4000选择数字存储器3002时,数字存储器3002输出保持的数字信号。

[0074] 输出单元5000包括并串行转换功能,并且将n比特并行数据转换成串行数据以便从输出端子501输出。将输出的信号是基于LVDS系统等的差分的输出。

[0075] 由于输出单元6000被设置为与各个数字存储器3000对应,因此可以并行地输出与多个列上的像素对应的数字信号。另一方面,输出单元5000可以串联地输出从数字存储器3002输出的信号。从数字数据处理单元3001输出的数字信号可以被输出到数字存储器3000和输出单元6000中的一个或者同时输出到两者。在由输出单元6000并行地输出数字信号的情况下,与由输出单元5000串行输出数字信号的情况相比,同时工作的输出单元6000的数量更大。因此,与从输出单元5000输出的情况相比,更多地增加了功率消耗,但是实现了可以以更高速度进行输出的优点。例如,可以设想输出单元6000被用于其中要使用以高帧率输出的信号(诸如运动图像)的用途,并且输出单元5000被用于其中可以接受以较低速度输出信号(诸如静态图像)的用途。

[0076] 数字数据处理单元3001被设置有例如进行计算处理(诸如数据校正或者数字放大)的功能,并且由列选择单元4000控制。然而注意,数字数据处理单元3001可以具有仅仅缓冲从缓冲电路111输出的数字信号的配置。

[0077] 在图6中,为了简化描绘,从列选择单元4000到数字存储器3000和3002、数字数据处理单元3001的控制信号线以及块数字输出线1006分别由单根线表示。

[0078] 此外,虽然在图中未示出,但是像素1001可以被设置有对数字存储器1010的数据执行P/S转换的功能,并且可以将数据作为串行数据从像素1001传输到数字存储器3001并且将数据作为并行数据从数字存储器3002传输到输出单元5000。

[0079] 接下来,将描述根据本实施例的操作。图8A示出在从输出单元5000输出数字信号的情况下的操作序列示例。

[0080] 首先,像素执行蓄积电荷的操作(蓄积时段)并且其后对基于获得的电荷的信号执行A/D转换的操作(A/D转换时段)。对于像素阵列的所有像素同时实现电荷时段和A/D转换时段中的操作。

[0081] 接下来,在垂直读取时段中,将数字信号从第一行上的像素输出并且保持在数字存储器3000中。

[0082] 其后,在行数据计算处理时段中,数字数据处理单元3001执行信号处理,并且结果被保持在数字存储器3002中。

[0083] 保持在数字存储器3002中的数据在水平读取时段期间被输出到输出单元5000。

[0084] 在这里,通过与某一行上的水平读取时段中的操作并行地实现对于另一行的垂直读取时段中的操作,实现更高速地读取数字信号。以这样的方式,可以利用其中设置数字存储器3000和3002以使得可以同时进行数据的输入和输出的配置来实现并行地进行水平读取和垂直读取的操作。

[0085] 在垂直读取时段中,对于一个像素传送并行的n比特数据。与此对比,在水平读取时段中,对于列数传送并行的n比特数据。因此,水平读取时段更长。因此,在水平读取时段中,可以不仅运行另一行上的垂直传送时段中的操作,而且运行通过数字数据处理单元3001进行的计算处理。

[0086] 接下来,图8B示出在从输出单元6000读出信号的情况下的操作序列示例。在图8B中,未示出行数据计算处理时段。

[0087] 同样,在图8B中,与图8A中示出的操作中类似地,对于所有像素同时实现电荷时段和A/D转换时段中的操作。

[0088] 与图8A的操作的差别在于,由于从输出单元6000输出信号,因此没有设置水平读取时段。

[0089] 接下来,图8C示出在从输出单元5000读出信号的情况下的另一个操作序列示例。

[0090] 在图8A中,对于所有像素同时进行电荷时段和A/D转换时段中的操作,但是在图8C的操作中,差别在于,对于每个行在不同的定时处进行电荷时段和A/D转换时段中的操作。

[0091] 图8D示出在从输出单元6000读出信号的情况下的另一个操作序列示例。

[0092] 在图8B中,对于所有像素同时进行电荷时段和A/D转换时段中的操作,但是在图8D的操作中,差别在于,对于每个行在不同的定时处进行电荷时段和A/D转换时段中的操作。

[0093] 例如,可以设想通过在图8A和图8B中示出的操作获得静态图像并且通过在图8C和图8D中示出的操作获得运动图像。

[0094] 根据本实施例的光电转换设备可以不仅运行上面参考图8A—8D描述的操作,而且运行根据第一实施例描述的稀疏式读取和切断读取。

[0095] 此外,根据一个实施例,已经例示了其中分别由数字存储器3000和3002保持用于一行的数据的情况,但是通过允许各个数字存储器3000和3002保持用于多个行的数据,可以通过将多个行上的数据同时传送到输出单元5000来实现进一步更高的速度。

[0096] 根据一个实施例,与第一实施例中类似地,设置多个包括多个数字信号输出单元、块布线和缓冲电路的套件,并且缓冲电路的输出被供应给另一个套件的块布线,使得可以在抑制面积的增大的同时实现更高速地输出信号。

[0097] 第三实施例

[0098] 将描述另一个实施例。

[0099] 图9是根据一个实施例的光电转换设备的配置的框图。与根据第二实施例描述的光电转换设备1'中类似地,像素阵列的各个像素被设置有数字信号输出单元。与光电转换设备1'共有的配置被分配有相同的附图标记,并且在下文中将描述不同的点。

[0100] 根据第二实施例,输出单元6000被设置为使得与各个数字存储器3002对应,但是差别在于,根据一个实施例的光电转换设备被设置为为多个数字存储器3002共用地设置的输出单元7000。图9示出其中输出单元7000由相邻四列上的数字存储器3002共享的配置。

[0101] 通过调节输出单元7000的传送速率,可以以等同于图6中示出的配置的速度实现数据传送。例如,PLL(锁相环)电路可以被设置在输出单元7000中,并且通过由PLL电路进行用于决定输出单元5000的传送速率的驱动信号的四边评估(quad edge evaluation),来产生驱动信号。可以与经受四边评估的该驱动信号同步地从输出单元7000输出数字信号。

[0102] 根据一个实施例,实现如下的优点,即,即使在像素的数量增加时,也可以抑制输出单元的输出端子的数量的增加,并且可以根据布局、安装封装、接收数字数据的系统侧的规范等实现灵活的设计。

[0103] 第四实施例

[0104] 将描述另一个实施例。

[0105] 图10是光电转换设备的配置的框图。

[0106] 与第三实施例的差别在于,在根据本实施例的光电转换设备中,各个像素101被设置有数字信号输出单元,每四行设置一个块数字输出线1006和缓冲电路111,并且另外,与从数字存储器3002到输出单元500的传送路径中类似地设置块数字输出线8000和缓冲电路9000。详言之,在数字存储器3002被设定为数字信号输出单元的同时,为多个数字信号输出单元设置块数字输出线和缓冲电路。

[0107] 此外,根据一个实施例,数字存储器3002和缓冲电路9000可以被设置有调节输出阻抗的功能。

[0108] 此外,为了简化描绘,未示出根据第三实施例的输出单元6000和输出单元7000,但是根据一个实施例,也可以设置第二输出单元6000和输出单元7000。

[0109] 第五实施例

[0110] 将描述另一个实施例。

[0111] 图11是根据本实施例的光电转换设备的配置的框图。与图1中示出的光电转换设备1中类似地,像素阵列的各个列被设置有数字信号输出单元。与图1共有的配置被分配有相同的附图标记,并且在下文中将描述不同的点。

[0112] 根据一个实施例,缓冲电路401的输出没有连接到其它块数字输出线302,但是与第一实施例的差别在于,缓冲电路401的输出经由同步电路800连接到其它块数字输出线302。

[0113] 同步电路800与从图中未示出的控制单元供应的并且还供应到输出单元500的数据获取时钟信号同步地操作。通过将数字信号的传输与输出单元500的数据获取时钟信号同步,即使在增大传送的速度的情况下,也可以抑制缓冲电路401之间的数据传送错误或者输出单元500中的数据获取错误。据此,可以实现高速的数据传送。

[0114] 与根据第一实施例的缓冲电路401中类似,同步电路800的输出被设置有调节输出

阻抗的功能。在数字信号不被传输到后续级的情况下,可以提高同步电路800的输出阻抗。

[0115] 同步电路800可以由例如延迟触发器组成。图12中示出在该情况下的操作。

[0116] 图12示出在从所有列上的数字存储器301读出信号的情况下从列选择电路输出的信号。更具体地,图12是示出由各个列选择电路601、602、……、60(N-1)和60N选择的数字存储器的列以及提供到输出单元500的数据串的时序图。图12对应于其中数字信号被从第(N-2)个块、第(N-1)个块和第N个块输入到输出单元500的情况。

[0117] 图12示出用于由图11中的A表示的同步电路800的输入信号。与用于驱动列选择电路601的驱动信号同步地,将输入信号输入到同步电路800。如图12中所示出的,传送的数据对于在相邻块之间产生的输出单元500的数据获取时钟的一个周期具有无效数据。

[0118] 对于由于同步电路800的设置而产生的无效数据,例如,输出单元500可以被设置有用等待时间(latency)的调节功能,并且数据还可以作为不包括无效数据的连续数据被从输出端子501输出。

[0119] 请注意,根据一个实施例,缓冲电路401明确地与同步电路800分离,但是缓冲电路401的功能可以被并入同步电路800中,并且还可以省略缓冲电路401。

[0120] 第六实施例

[0121] 将描述另一个实施例。

[0122] 图13是根据本实施例的光电转换设备的配置的框图。与第一实施例中类似地,设置为与像素阵列100的各个列对应的信号处理单元200具有A/D转换功能。

[0123] 根据一个实施例,从用作数字信号输出单元的数字存储器301输出的数字信号被供应给输出选择器900,输出选择器900被设置为与数字存储器301对应。

[0124] 对应列上的数字存储器301的输出以及设置为与相邻列上的数字存储器301对应的输出选择器900的输出被输入到输出选择器900,并且输出选择器900可以选择性地输出该输入之一。由从图中未示出的控制单元供应的控制信号切换哪一个输入要被输出。

[0125] 可以通过包括例如或(OR)逻辑电路来配置输出选择器900。数字存储器301的输出和相邻列上的输出选择器900的输出被输入到输出选择器900。输出选择器900可以将两个输入之间的OR逻辑传输到下一级中的输出选择器900。

[0126] 为了避免在串联连接的多个输出选择器900之中的端部处的输出选择器900的输出不确定,对于端部,采用数字信号输出单元的输出和接地电压GND之间的OR逻辑。

[0127] 当由列选择单元600选择用作数字信号输出单元的数字存储器301时,数字存储器301输出保持的数字信号。在数字存储器301未被选择的情况下,数字存储器301输出GND电平。利用该配置,基于从所选择的数字存储器301输出的数字信号来确定输出选择器900的OR逻辑的结果,并且该数据可以被传送到下一级中的输出选择器。

[0128] 根据一个实施例,由于数字存储器301的输出与包括OR逻辑电路的输出选择器900连接,因此可以不控制输出的阻抗。

[0129] 利用根据一个实施例的配置,由于可以省略块数字输出线302,因此与第一实施例相比可以进一步减少布局面积。此外,其上驱动各个输出选择器的布线是延伸直到相邻列上的输出选择器的相对短的布线。因此,可以进一步减少与该布线连接的元件或者该布线的寄生负载,并且可以实现更高速地传送数据。

[0130] 第七实施例

[0131] 将描述另一个实施例。

[0132] 图14示出根据一个实施例的光电转换设备的配置。在第六实施例中示出的配置中,输出选择器900被设置于像素阵列100的各个列上,但是根据一个实施例,差别在于,各个像素1001具有数字信号输出单元,并且输出选择器被设置为与各个像素对应。

[0133] 在这里,已经示出了其中将数字信号经由公共布线从数字存储器3002传输到输出单元5000的配置,但是可以类似地采用图13中示出的根据第六实施例的配置。

[0134] 第八实施例

[0135] 将描述另一个实施例。

[0136] 根据第六实施例,在输出选择器900被输入到其它输出选择器900的同时仅仅串联连接输出选择器900,但是可以在输出选择器之间设置缓冲电路和同步电路。

[0137] 图15示出其中图13中示出的每四个输出选择器900设置一个缓冲电路401的配置。

[0138] 此外,图16示出通过在图15的配置中利用同步电路800代替缓冲电路401而获得的配置。

[0139] 在任意一个配置中,通过串联连接输出选择器,其上驱动各个输出选择器的布线是延伸直到相邻列上的输出选择器的相对短的布线。因此,可以进一步减少与该布线连接的元件或者该布线的寄生负载,并且可以实现更高速地传送数据。

[0140] 第九实施例

[0141] 接下来,将在图17中描述根据一个实施例的图像拾取系统的概要。

[0142] 图像拾取系统1100包括例如光学部件1110、图像拾取设备1101、图像信号处理电路单元1130、记录和通信单元1140、定时控制电路单元1150、系统控制电路单元1160以及再现和显示单元1170。对于图像拾取设备1101,可以使用根据各个上述实施例描述的光电转换设备。

[0143] 用作光学系统的光学部件1110(例如透镜)将来自被摄体的光的图像形成到图像拾取设备1101的其中二维地布置多个像素的像素阵列上,以便形成被摄体的图像。图像拾取设备1101在基于来自定时控制电路单元1150的信号的定时处输出根据在像素单元上成像的光的信号。

[0144] 从图像拾取设备1101输出的信号被输入到用作图像信号处理单元的图像信号处理电路单元1130,并且图像信号处理电路单元1130在跟随通过程序等确定的方法的同时对输入的电信号执行处理(诸如校正)。通过图像信号处理电路单元中的处理获得的信号作为图像数据被发送给记录和通信单元1140。记录和通信单元1140将用于形成图像的信号发送到再现和显示单元1170,以便在再现和显示单元1170上再现和显示运动图像或者静态图像。记录和通信单元还接收来自图像信号处理电路单元1130的信号,以便也执行与系统控制电路单元1160的通信,并且还执行将用于形成图像的信号记录在图中未示出的记录介质中的操作。

[0145] 系统控制电路单元1160被配置为以全面的方式控制图像拾取系统的操作并且控制光学部件1110、定时控制电路单元1150、记录和通信单元1140以及再现和显示单元1170的驱动。此外,系统控制电路单元1160被设置有例如图中未示出的用作记录介质的存储介质。用于控制图像拾取系统的程序等被记录在存储介质中。此外,系统控制电路单元1160供应例如用于根据图像拾取系统中的用户的操作切换驱动模式的信号。作为具体的示例,该

控制包括改变要读取的行或者要复位的行、改变与电子变焦关联的视场角(field angle)、与电子图像稳定化关联的视场角的偏移等。

[0146] 定时控制电路单元1150被配置为基于通过用作控制单元的系统控制电路单元1160的控制来控制图像拾取设备1101和图像信号处理电路单元1130的驱动定时。

[0147] 其它

[0148] 已经在采用光电转换设备作为示例的同时说明了上述的各个实施例,但是本公开不限于光电转换设备并且可以被应用于其中并行地布置输出数字信号的数字信号输出单元的配置。

[0149] 虽然已经参考实施例描述了本公开,但是应当理解,本公开不限于所公开的实施例。以下权利要求的范围将被给予最宽的解释从而包括所有这样的修改、等同的结构和功能以及其它实施例的组合。

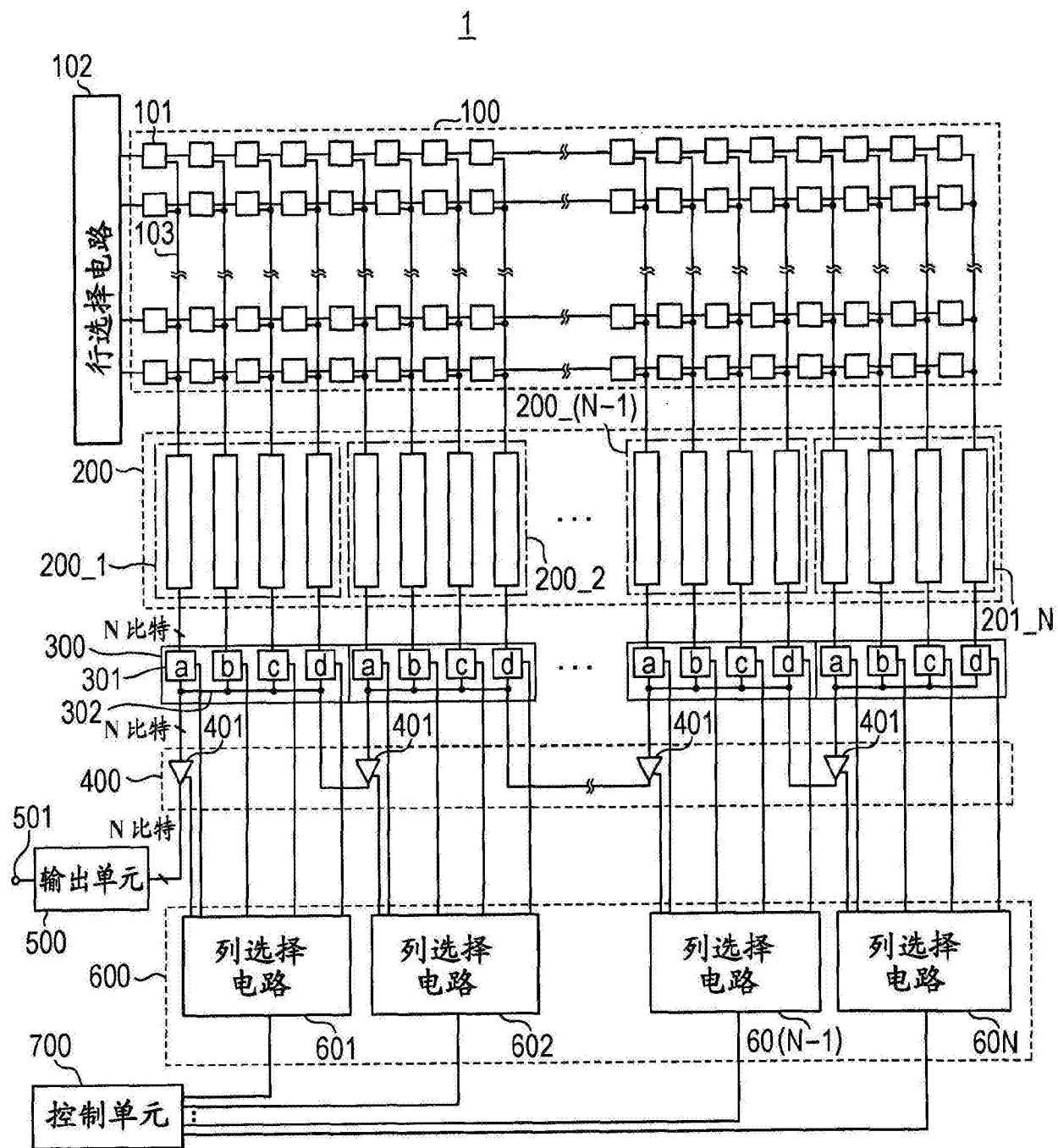


图 1

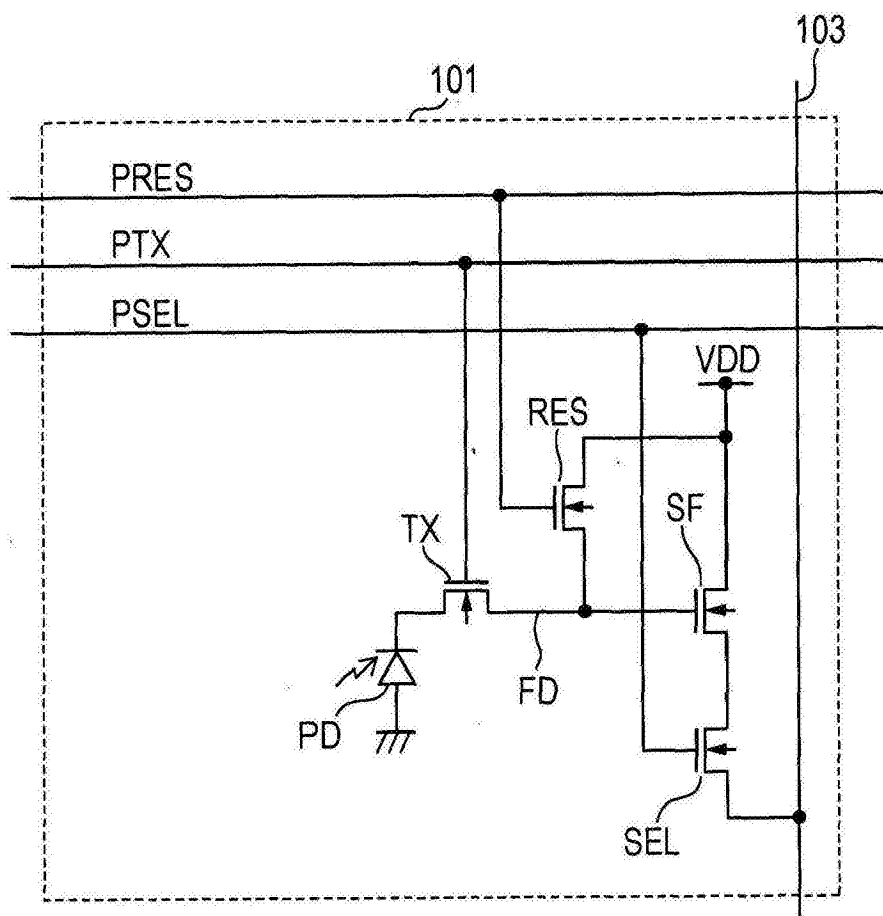


图2

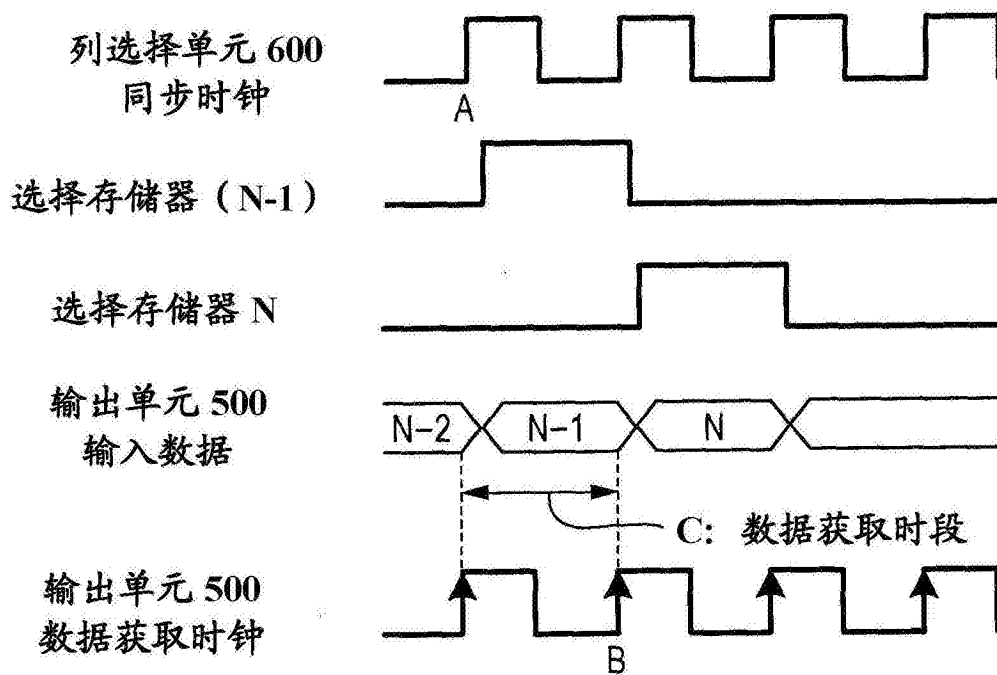


图3

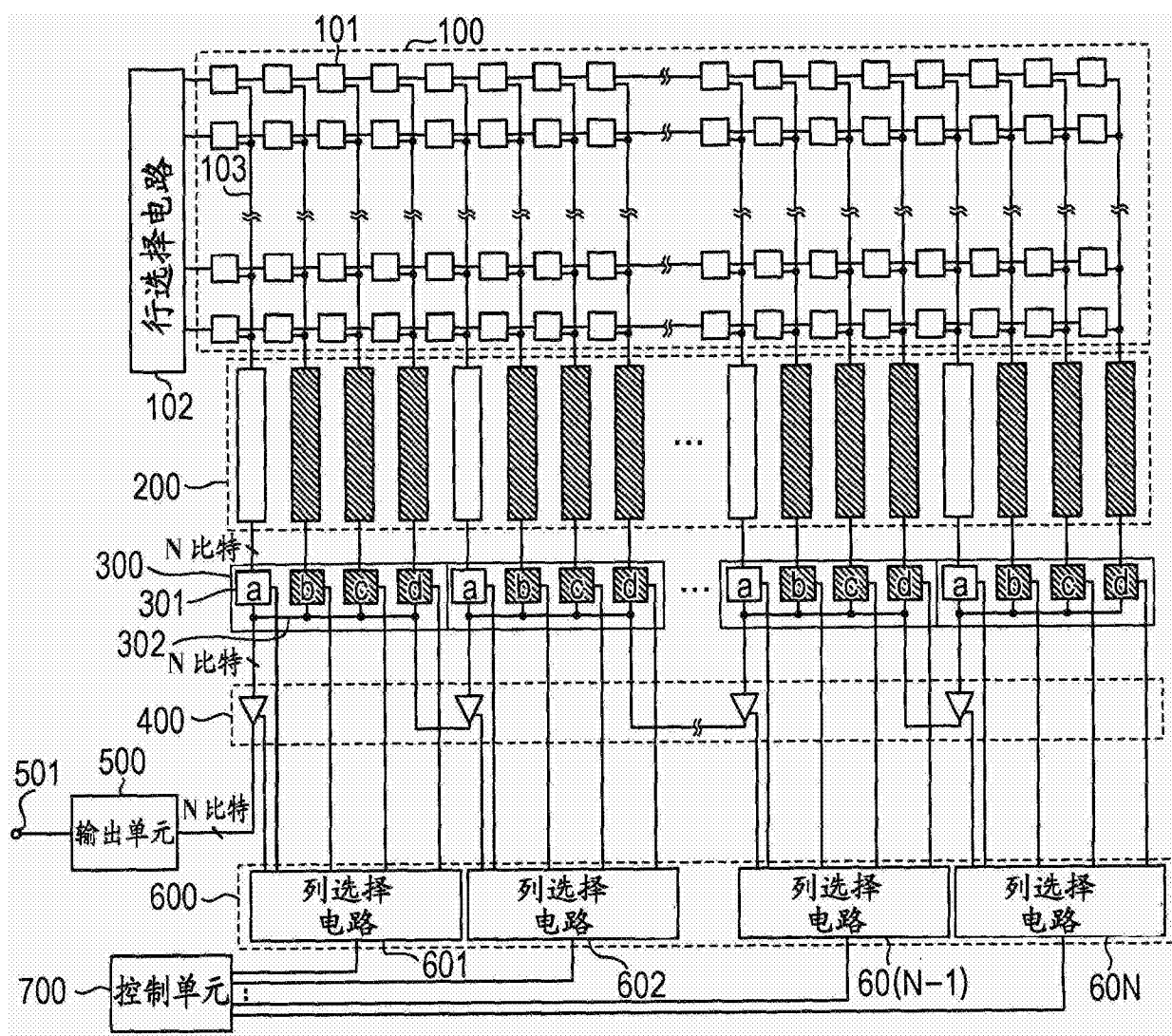


图4A

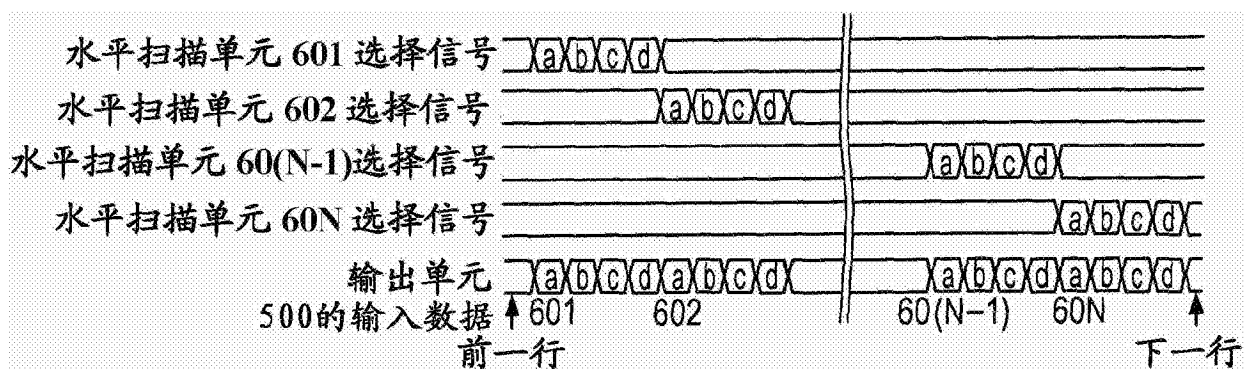


图4B



图4C

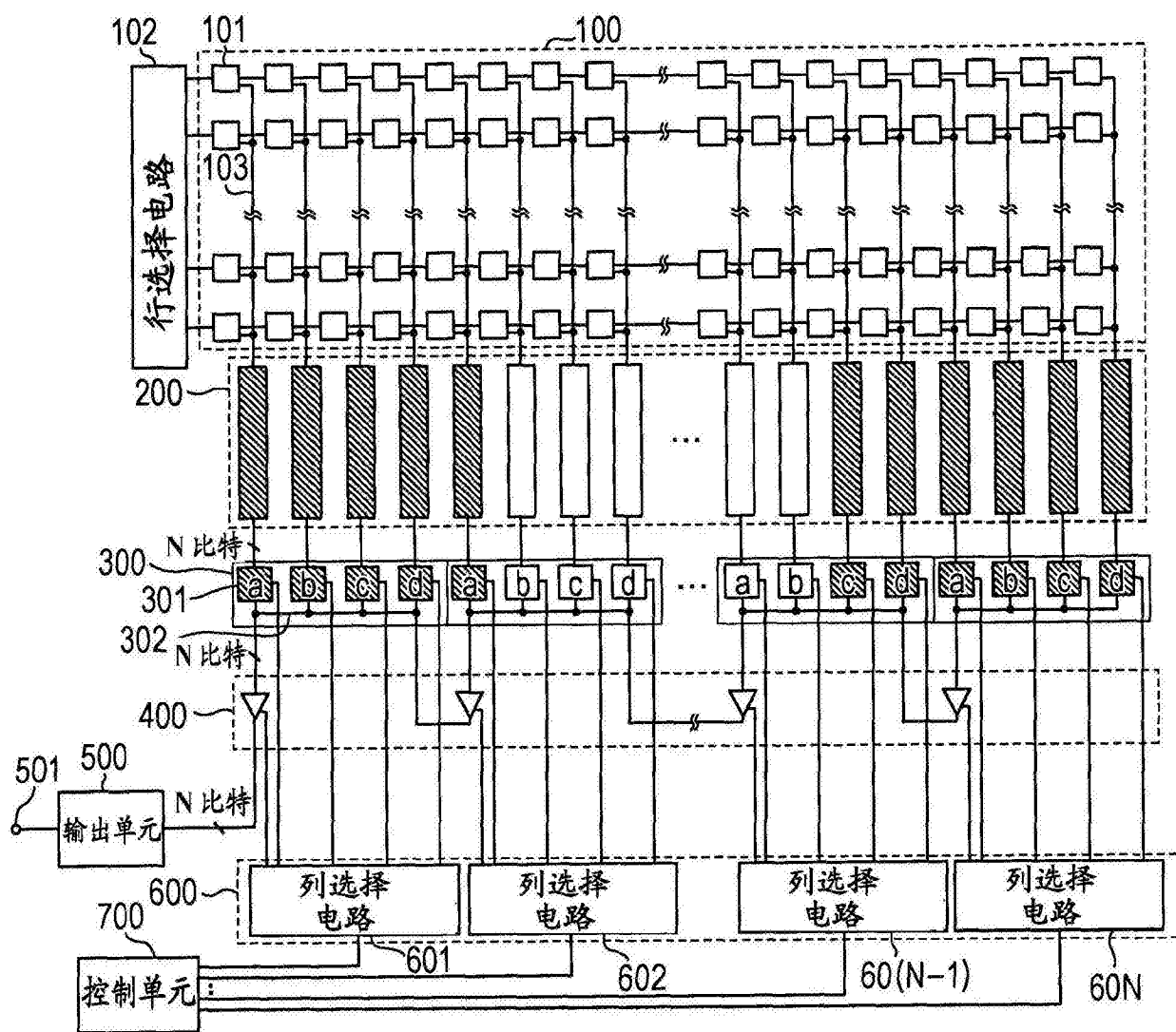


图5A

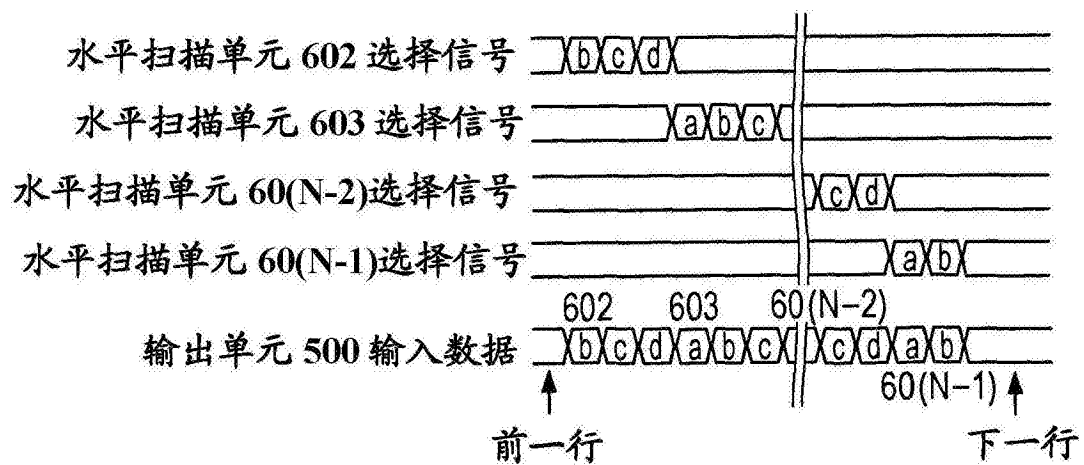


图5B

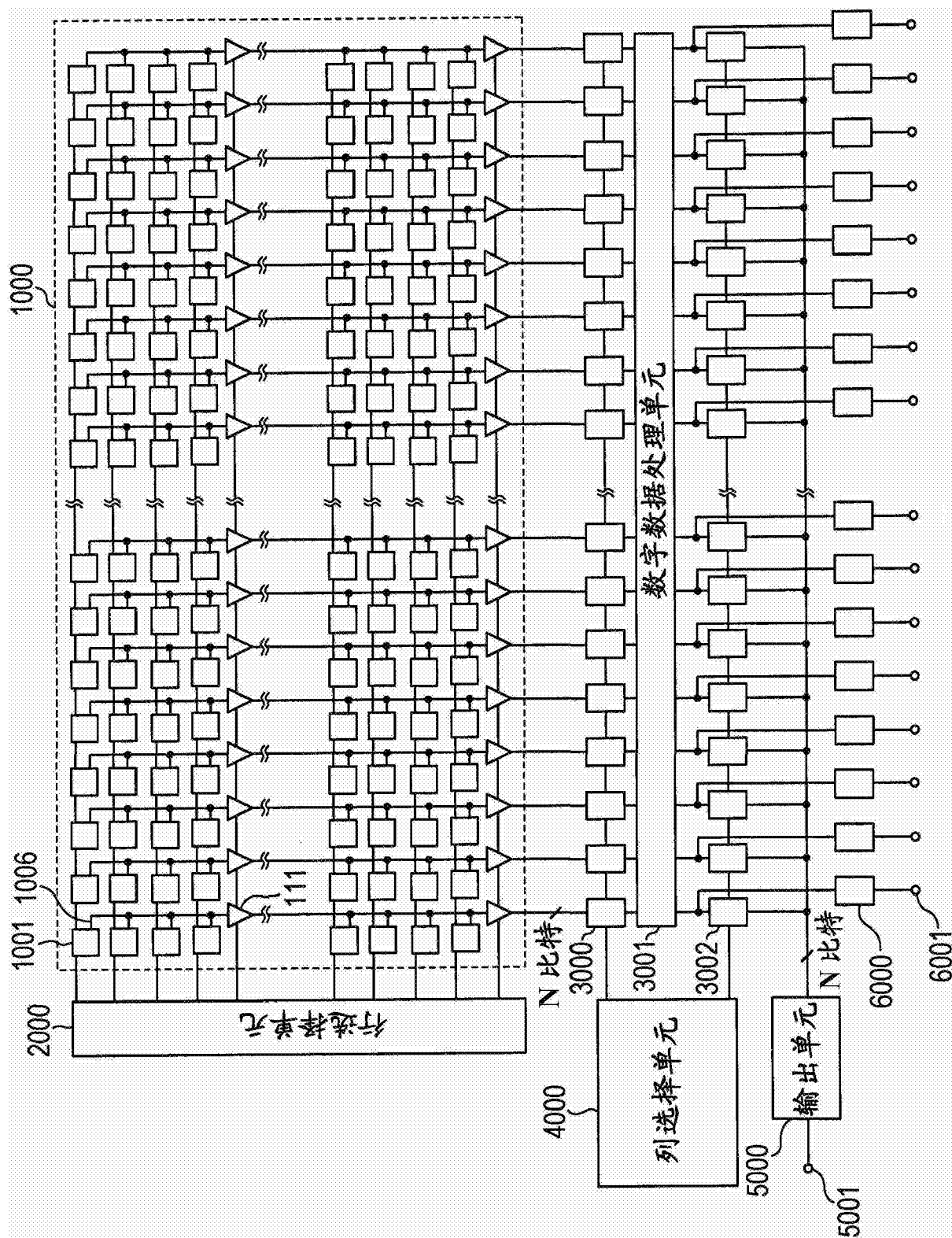


图6

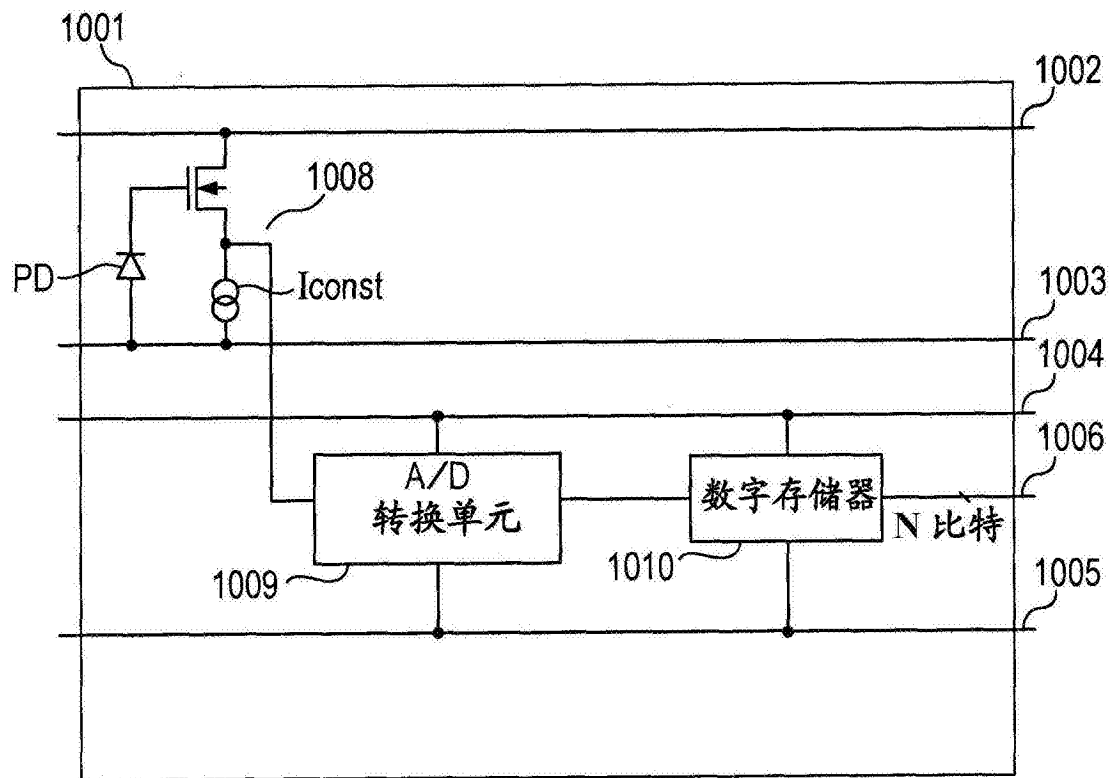


图7

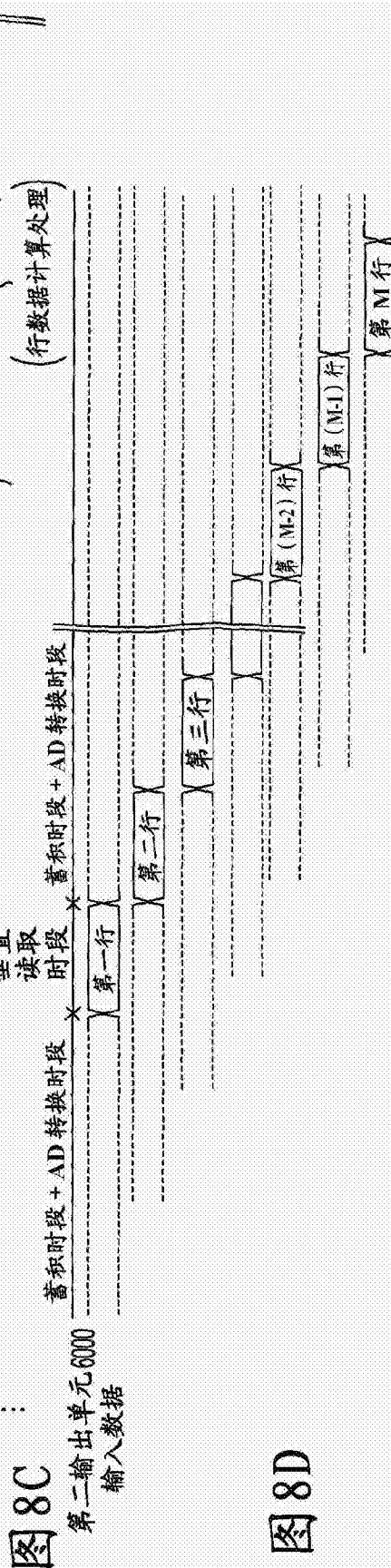
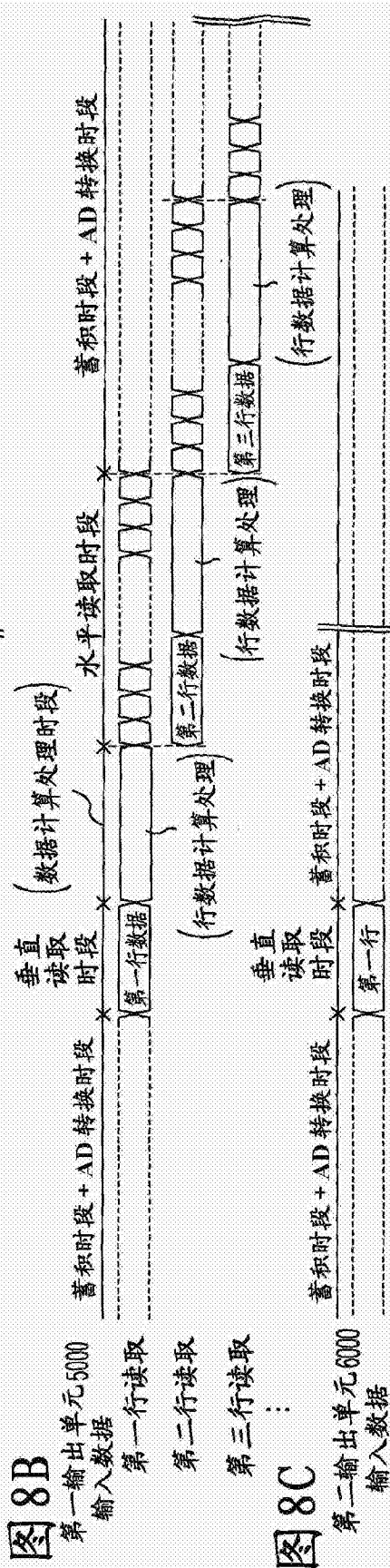
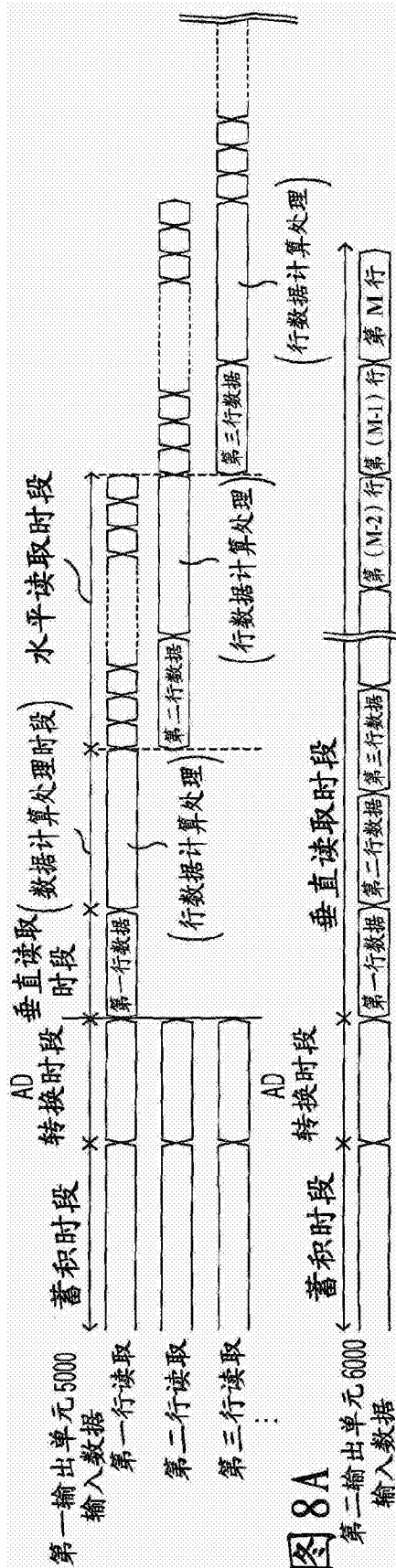


图 8D

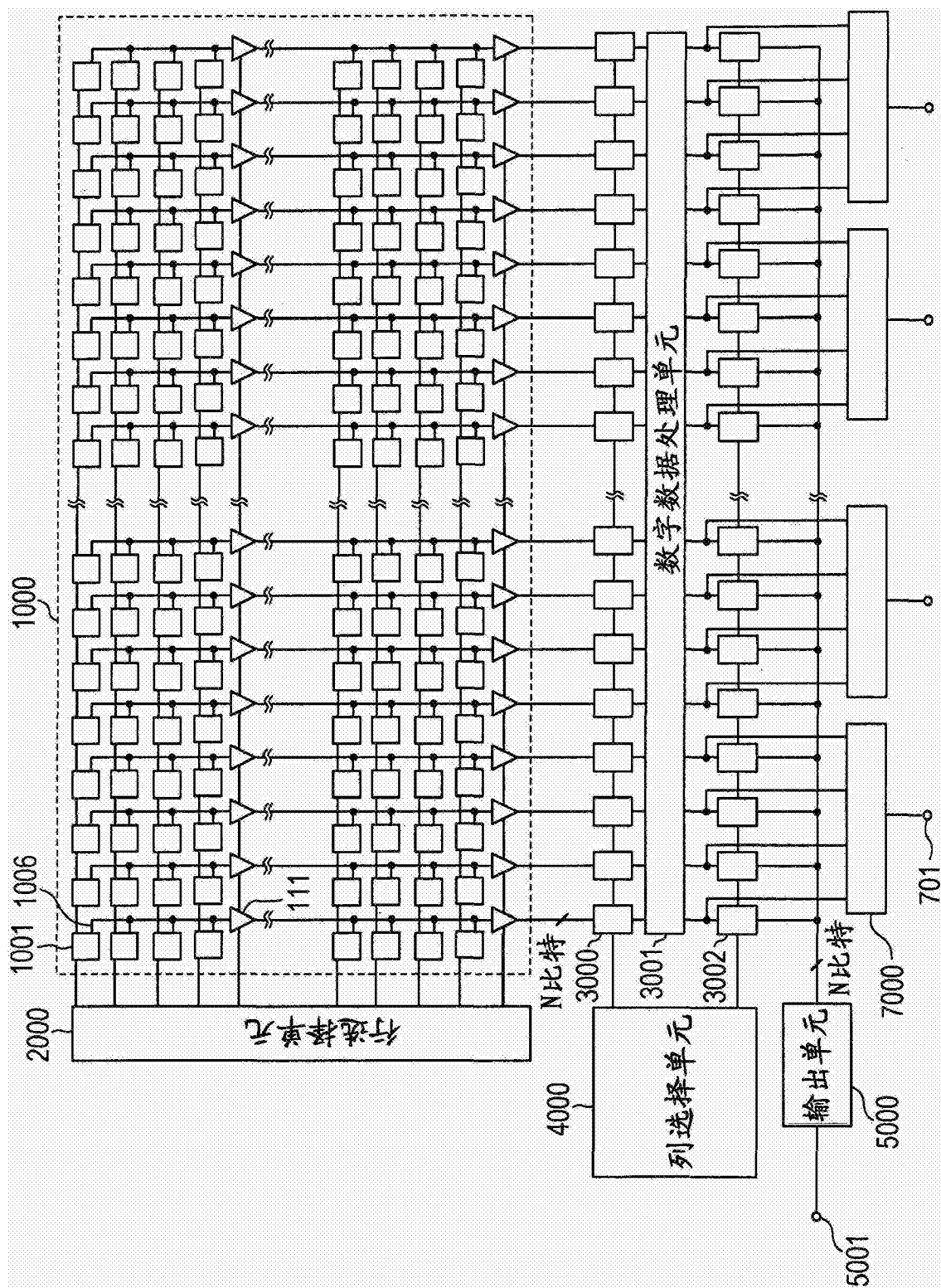


图9

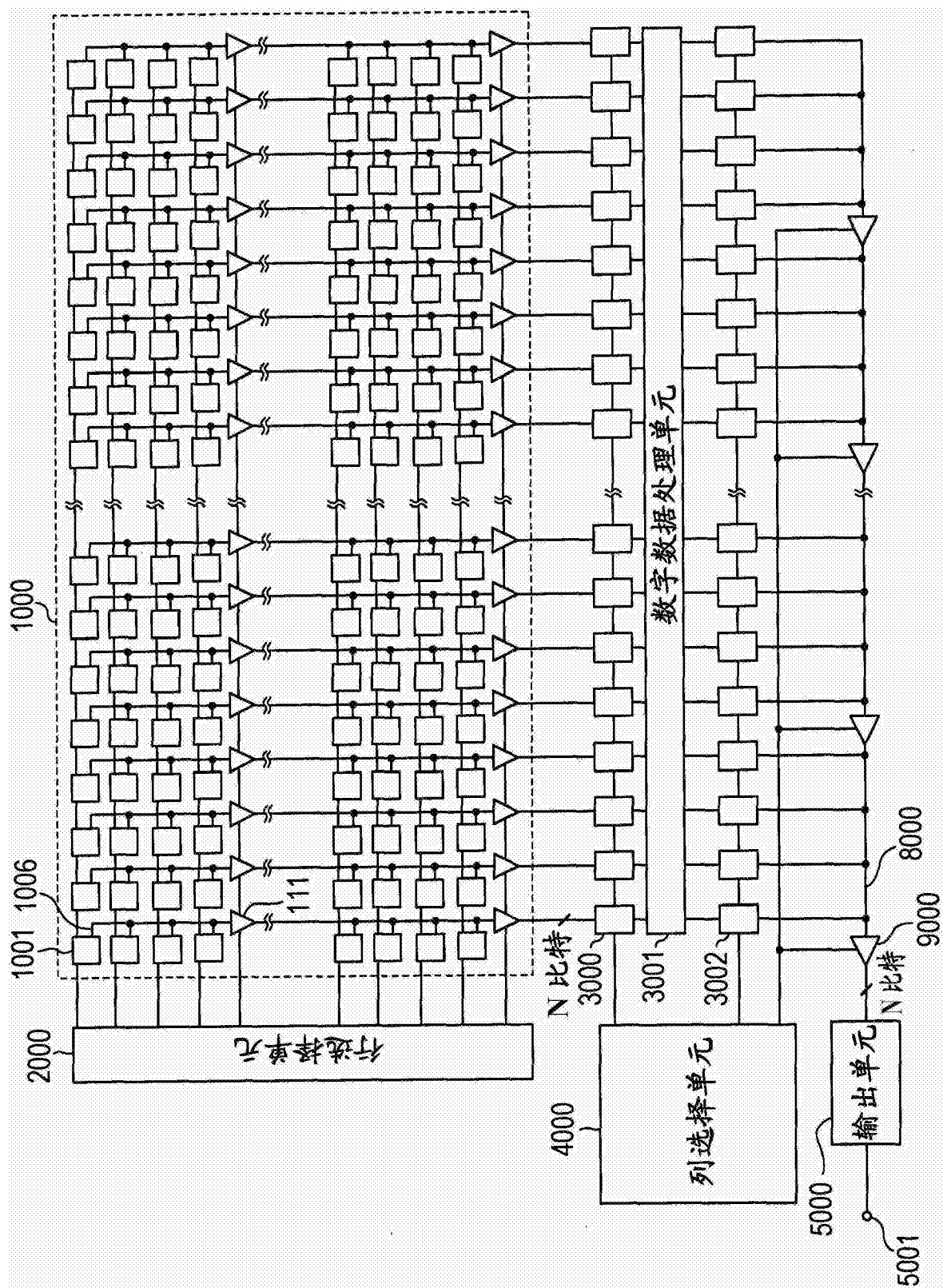


图10

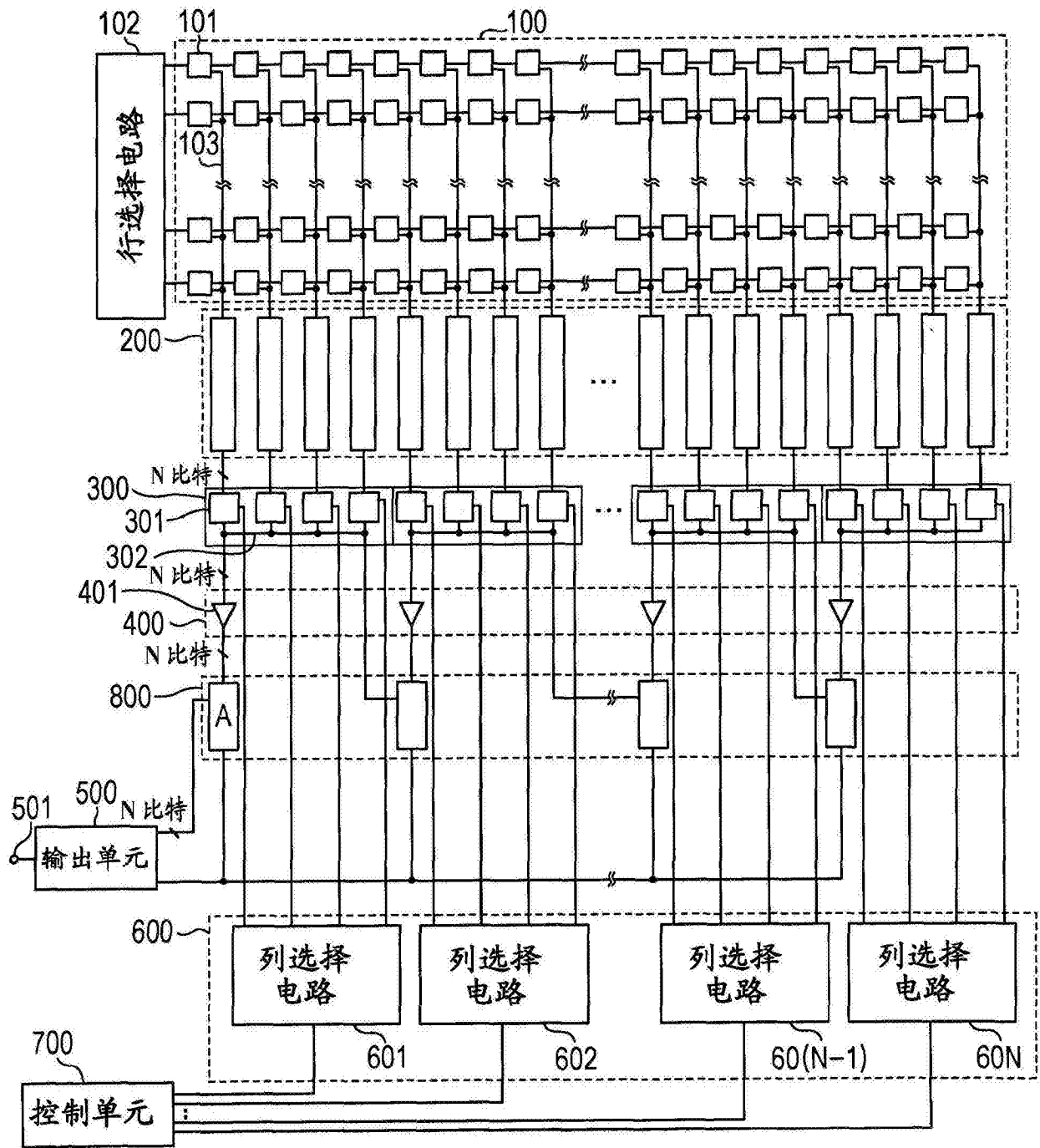


图11

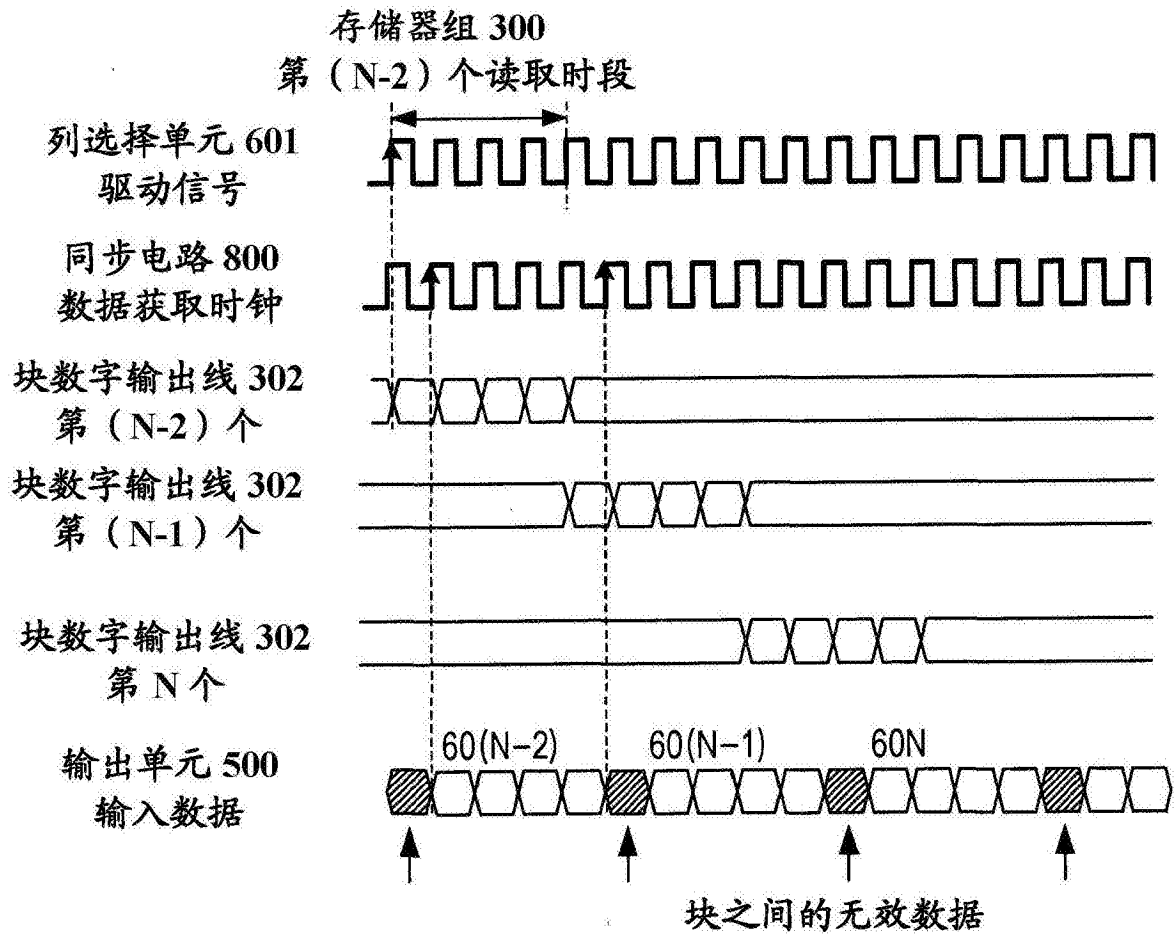


图12

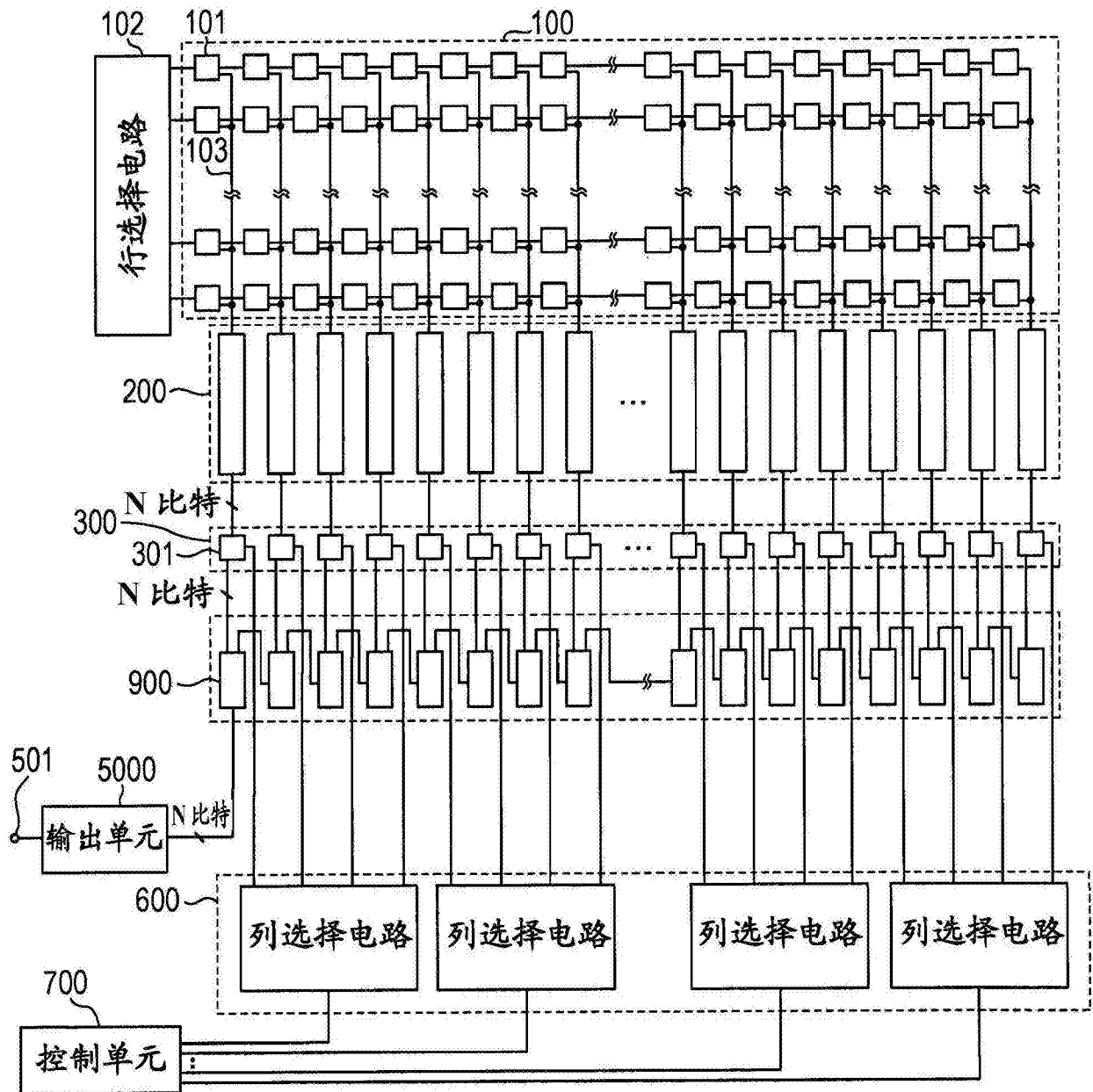


图13

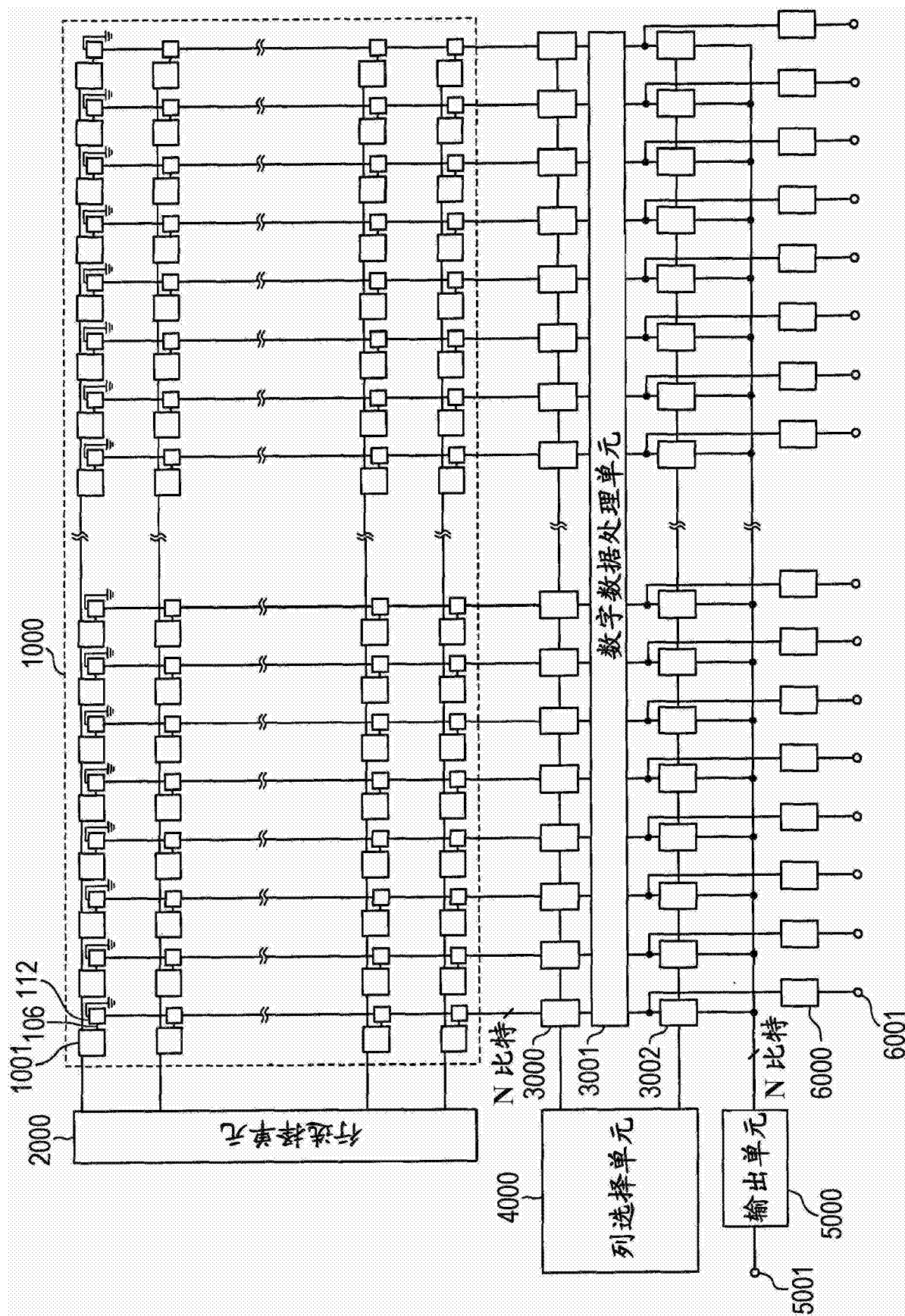


图14

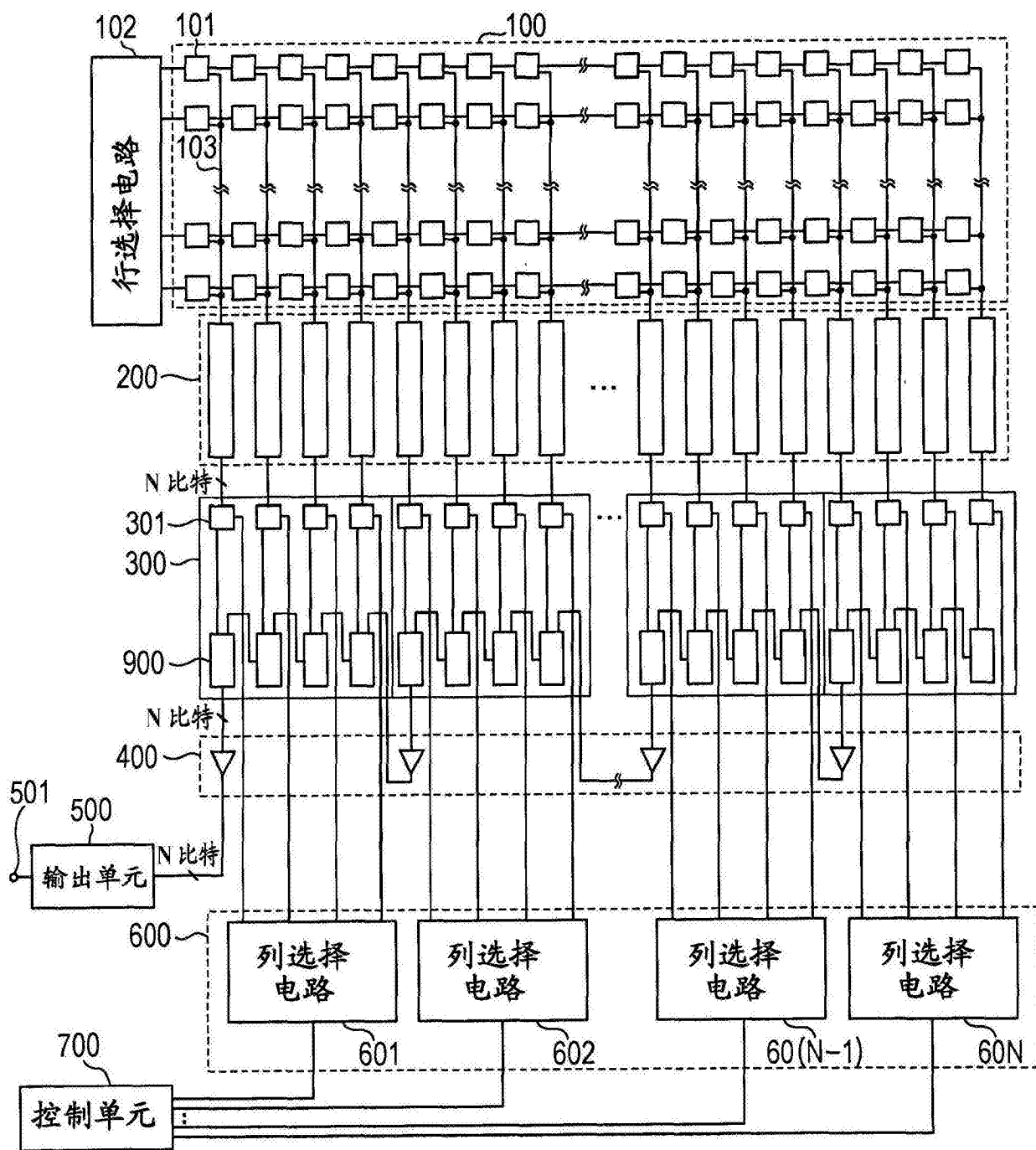


图15

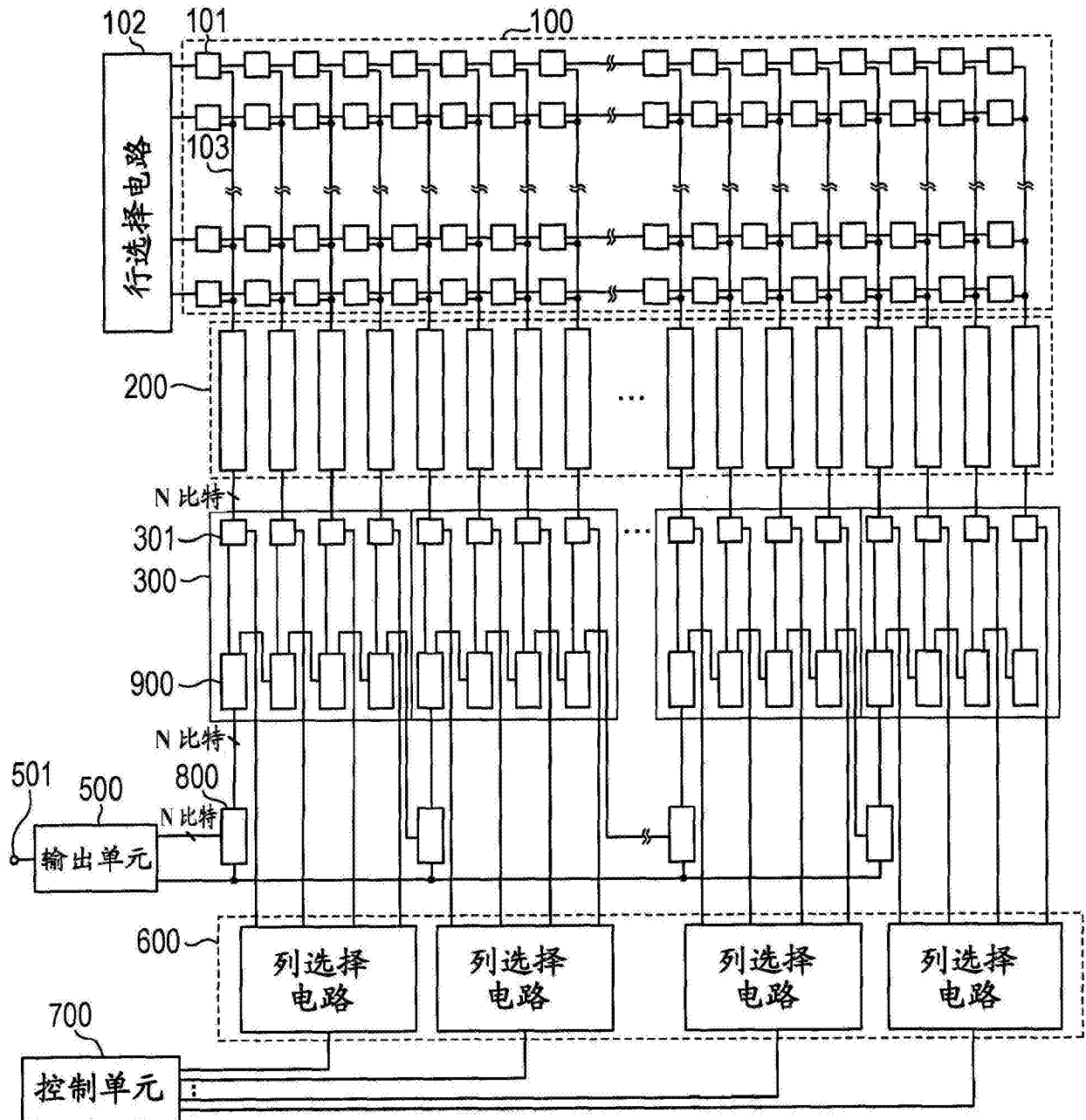


图16

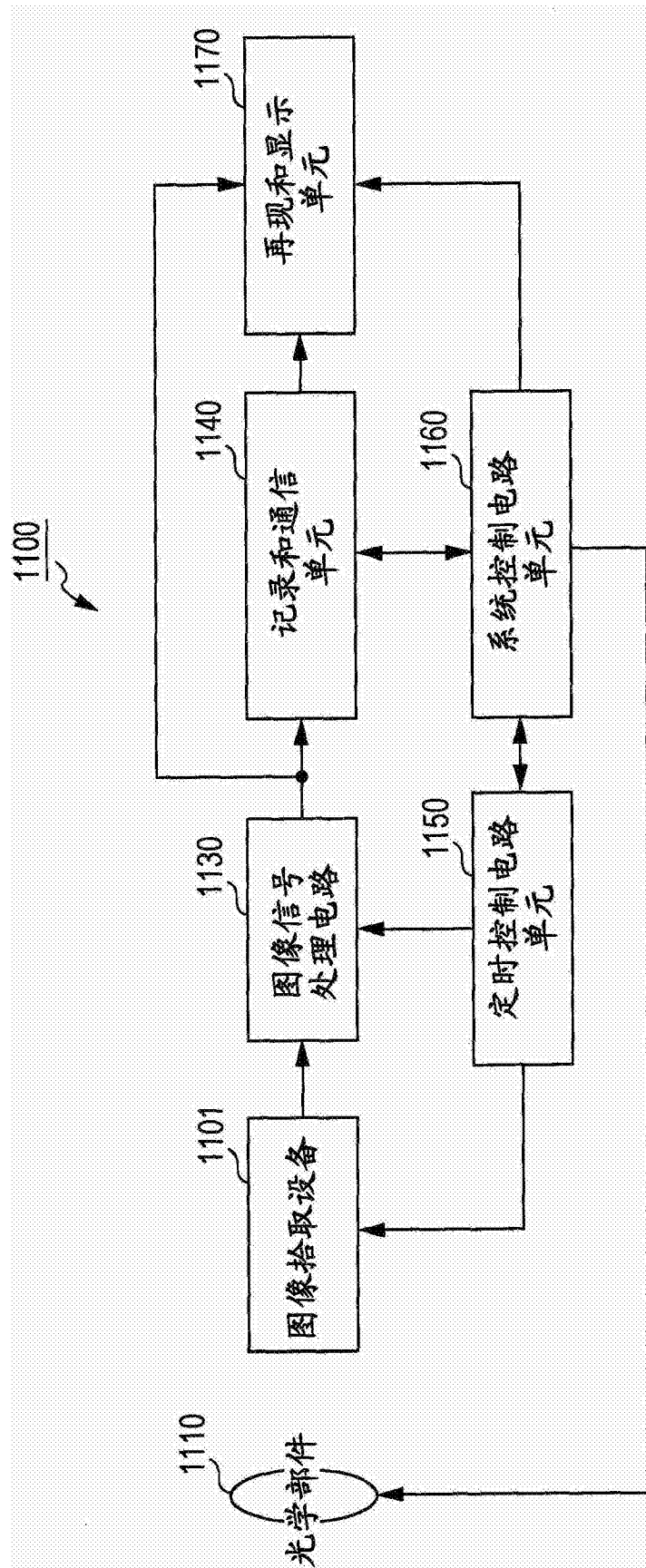


图17