

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2024 年 2 月 15 日 (15.02.2024)



(10) 国际公布号  
**WO 2024/031818 A1**

(51) 国际专利分类号:  
**H10B 12/00** (2023.01)

(21) 国际申请号: PCT/CN2022/124203

(22) 国际申请日: 2022 年 10 月 9 日 (09.10.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:  
202210952952.8 2022年8月9日 (09.08.2022) CN

(71) 申请人: 长鑫存储技术有限公司 (**CHANGXIN MEMORY TECHNOLOGIES, INC.**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(72) 发明人: 李冉 (**LI, Ran**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。臧标 (**ZANG, Biao**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。林志成 (**LIN, Chih-cheng**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。段蕾蕾 (**DUAN, Leilei**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(74) 代理人: 北京律智知识产权代理有限公司 (**BEIJING INTELLEGAL INTELLECTUAL PROPERTY AGENT LTD.**); 中国北京市朝阳区慧忠路5号B1605、B1606、B1607, Beijing 100101 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

(54) Title: SEMICONDUCTOR STRUCTURE AND FORMATION METHOD THEREFOR, AND MEMORY

(54) 发明名称: 半导体结构及其形成方法、存储器

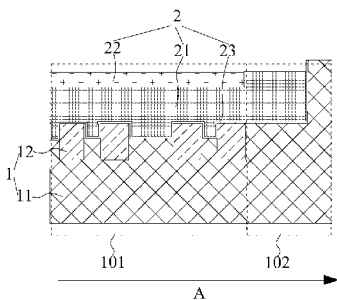


图 3

(57) Abstract: The present disclosure relates to the technical field of semiconductors, and relates to a semiconductor structure and a formation method therefor, and a memory. The semiconductor structure of the present disclosure comprises a substrate and a word-line structure, the substrate comprising an array area and a peripheral area, and the word line structure comprising a first conductive layer, which is located inside the substrate, wherein the first conductive layer extends through the array area to the peripheral area in a first direction; and in a direction perpendicular to the substrate, the height of the first conductive layer located on the surface of the peripheral area is greater than the height of the first conductive layer located on the surface of the array area. By means of the semiconductor structure of the present disclosure, the process difficulty can be reduced, and the product yield can be improved. (FIG. 3)

(57) 摘要: 本公开是关于半导体技术领域, 涉及一种半导体结构及其形成方法、存储器, 本公开的半导体结构包括衬底及字线结构, 其中: 衬底包括阵列区和外围区; 字线结构包括位于衬底内部的第一导电层, 第一导电层沿第一方向贯穿阵列区并延伸至外围区; 在垂直于衬底的方向上, 第一导电层位于外围区表面的高度高于第一导电层位于阵列区表面的高度。本公开的半导体结构可降低工艺难度, 提高产品良率。(图3)

本国际公布:

— 包括国际检索报告(条约第21条(3))。

# 半导体结构及其形成方法、存储器

## 交叉引用

本公开要求于 2022 年 8 月 9 日提交的申请号为 202210952952.8 名称为“半导体结构及其形成方法、存储器”的中国专利申请的优先权，该中国专利申请的全部内容通过引用全部并入本文。

## 技术领域

本公开涉及半导体技术领域，具体而言，涉及一种半导体结构及其形成方法、存储器。

## 背景技术

动态随机存储器（Dynamic Random Access Memory, DRAM）因具有体积小、集成化程度高及传输速度快等优点，被广泛应用于手机、平板电脑等移动设备中。字线结构作为 DRAM 的核心部件，对器件的电性能有着至关重要的作用。

在 DRAM 中通常需要通过字线接触插塞将字线结构电学引出，在此过程中，字线接触插塞需要贯穿字线结构表面的第二导电层才能与字线结构连接，然而，在蚀刻第二导电层的过程中易对衬底造成损伤，产品良率较低。

需要说明的是，在上述背景技术部分公开的信息仅用于加强对本公开的背景的理解，因此可以包括不构成对本领域普通技术人员已知的现有技术的信息。

## 发明内容

有鉴于此，本公开提供一种半导体结构及其形成方法、存储器，可降低工艺难度，提高产品良率。

根据本公开的一个方面，提供一种半导体结构，包括：

衬底，包括阵列区和外围区；

字线结构，包括位于所述衬底内部的第一导电层，所述第一导电层沿第一方向贯穿所述阵列区并延伸至所述外围区；在垂直于所述衬底的方向上，所述第一导电层位于所述外围区表面的高度高于所述第一导电层位于所述阵列区表面的高度。

在本公开的一种示例性实施例中，所述半导体结构还包括：

字线接触插塞，位于所述外围区，且所述字线接触插塞的底面与所述第一导电层连接。

在本公开的一种示例性实施例中，所述字线结构还包括：

第二导电层，所述第二导电层位于所述第一导电层上部，所述第二导电层在所述衬底上的正投影与所述字线接触插塞在所述衬底上的正投影无交叠。

在本公开的一种示例性实施例中，所述第二导电层靠近所述外围区的一端与所述字线接触插塞之间具有第一距离，所述第一距离小于所述第一导电层在所述第一方向上位于所述外围区的长度。

在本公开的一种示例性实施例中，所述第一导电层位于所述外围区的表面与所述第二导电层的表面齐平。

在本公开的一种示例性实施例中，所述第一导电层的材料为金属材料，所述第二导电层的材料为半导体材料。

在本公开的一种示例性实施例中，所述半导体结构还包括：

外围接触插塞，位于所述外围区，并与所述字线接触插塞电连接，且在垂直于所述衬底的方向上，所述外围接触插塞的顶面与所述字线接触插塞的顶面高度相同。

在本公开的一种示例性实施例中，所述字线结构还包括栅间介质层，所述栅间介质层至少随形包覆于所述第一导电层和所述第二导电层的侧壁表面。

5 根据本公开的一个方面，提供一种半导体结构的形成方法，包括：

提供衬底，所述衬底包括阵列区和外围区；

10 在所述衬底内形成多个字线结构，所述字线结构包括位于所述衬底内部的第一导电层，所述第一导电层沿第一方向贯穿所述阵列区并延伸至所述外围区；在垂直于所述衬底的方向上，所述第一导电层位于所述外围区表面的高度高于所述第一导电层位于所述阵列区表面的高度。

在本公开的一种示例性实施例中，所述形成方法还包括：

在所述外围区形成字线接触插塞，所述字线接触插塞的底面与所述第一导电层连接。

在本公开的一种示例性实施例中，所述形成方法还包括：

15 在所述第一导电层的上部形成第二导电层，所述第二导电层在所述衬底上的正投影与所述字线接触插塞在所述衬底上的正投影无交叠。

在本公开的一种示例性实施例中，所述第二导电层靠近所述外围区的一端与所述字线接触插塞之间具有第一距离，所述第一距离小于所述第一导电层在所述第一方向上位于所述外围区的长度。

20 在本公开的一种示例性实施例中，所述第一导电层位于所述外围区的表面与所述第二导电层的表面齐平。

在本公开的一种示例性实施例中，所述第一导电层的材料为金属材料，所述第二导电层的材料为半导体材料。

在本公开的一种示例性实施例中，所述形成方法还包括：

25 在所述外围区形成外围接触插塞，所述外围接触插塞与所述字线接触插塞电连接，且在垂直于所述衬底的方向上，所述外围接触插塞的顶面与所述字线接触插塞的顶面高度相同。

在本公开的一种示例性实施例中，所述字线结构还包括栅间介质层，所述栅间介质层至少随形包覆于所述第一导电层和所述第二导电层的侧壁表面。

30 在本公开的一种示例性实施例中，在所述衬底内形成多个字线结构，包括：

在所述衬底内形成多个字线沟槽，所述字线沟槽贯穿所述阵列区和所述外围区；

在所述字线沟槽内形成随形贴附于所述字线沟槽的侧壁的栅间介质层；

在具有所述栅间介质层的所述字线沟槽内形成所述第一导电层；

在所述第一导电层的表面形成所述第二导电层。

35 在本公开的一种示例性实施例中，在具有所述栅间介质层的所述字线沟槽内形成所述第一导电层，包括：

在所述衬底的表面形成导电材料层，所述导电材料层填满具有所述栅间介质层的所述字线沟槽；

40 在所述导电材料层的表面形成第二光阻层，所述第二光阻层在所述衬底上的正投影与所述外围区重合；

以所述第二光阻层为掩膜蚀刻部分位于所述阵列区的所述导电材料层，至所述阵列区的所述导电材料层的表面与所述衬底的表面齐平；

去除所述第二光阻层；

45 蚀刻剩余的所述导电材料层，直至位于所述外围区的所述导电材料层的表面低于所述衬底的表面且高于位于所述阵列区的所述导电材料层的表面。

在本公开的一种示例性实施例中，在所述第一导电层的表面形成所述第二导电层，包括：

在所述栅间介质层、所述第一导电层及所述衬底共同构成的结构的表面形成半导体材料层；

- 5 去除位于所述字线沟槽外的所述半导体材料层，并继续去除部分所述半导体材料层，至位于所述阵列区的所述半导体材料层的表面与位于所述外围区的所述第一导电层的表面齐平。

根据本公开的一个方面，提供一种存储器，包括上述任意一项所述的半导体结构。

- 10 本公开的半导体结构及其形成方法、存储器，由于第一导电层位于外围区的表面的高度高于第一导电层位于阵列区的表面的高度，可将后续形成的第二导电层形成于位于阵列区的第一导电层的表面，此时无需在外围区形成第二导电层，在后续形成与字线结构连接的字线接触插塞时，用于容纳字线接触插塞的过孔无需穿过第二导电层，进而无需采用对第二导电层的蚀刻速率较大的蚀刻溶液或蚀刻气体进行  
15 蚀刻，可避免在蚀刻第二导电层的过程中对衬底造成的损伤，也可避免蚀刻损伤延伸至阵列区内部，减小衬底中的缺陷来源，提高产品良率。且在上述过程中，由于外围区的字线结构的表面没有第二导电层，在后续形成过孔的过程中，无需蚀刻第二导电层，可减少蚀刻的层数，进而简化工艺（即，减少了蚀刻第二导电层的工艺），降低制造成本；同时，由于第一导电层的高度提高，减小过孔蚀刻高度，降低工艺  
20 难度。

应当理解的是，以上的一般描述和后文的细节描述仅是示例性和解释性的，并不能限制本公开。

## 附图说明

- 25 此处的附图被并入说明书中并构成本说明书的一部分，示出了符合本公开的实施例，并与说明书一起用于解释本公开的原理。显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为相关技术中字线结构的示意图；

图 2 为本公开实施方式中半导体结构的俯视图；

- 30 图 3 为本公开实施方式中半导体结构沿图 2 中 bb' 方向切开的剖面图；

图 4 为本公开实施方式中衬底的俯视图；

图 5 为本公开实施方式中沿图 4 中 aa' 方向切开的剖面图；

图 6 为本公开实施方式中沿图 4 中 bb' 方向切开的剖面图；

图 7 为本公开实施方式中第一导电层沿图 4 中 aa' 方向切开的剖面图；

- 35 图 8 为本公开实施方式中第一导电层沿图 4 中 bb' 方向切开的剖面图；

图 9 为本公开实施方式中绝缘层沿图 4 中 aa' 方向切开的剖面图；

图 10 为本公开实施方式中绝缘层沿图 4 中 bb' 方向切开的剖面图；

图 11 为本公开实施方式中字线接触插塞沿图 4 中 aa' 方向切开的剖面图；

图 12 为本公开实施方式中字线接触插塞沿图 4 中 bb' 方向切开的剖面图；

- 40 图 13 为本公开实施方式中外围区的外围接触插塞的剖面图；

图 14 为本公开实施方式中半导体结构的形成方法的流程图；

图 15 为本公开实施方式中完成步骤 S2301 后沿图 4 中 aa' 方向切开的剖面图；

图 16 为本公开实施方式中完成步骤 S2301 后沿图 4 中 bb' 方向切开的剖面图；

图 17 为本公开实施方式中完成步骤 S2302 后沿图 4 中 aa' 方向切开的剖面图；

图 18 为本公开实施方式中完成步骤 S2302 后沿图 4 中 bb' 方向切开的剖面图;  
图 19 为本公开实施方式中完成步骤 S2303 后沿图 4 中 bb' 方向切开的剖面图;  
图 20 为本公开实施方式中完成步骤 S320 后沿图 4 中 aa' 方向切开的剖面图;  
图 21 为本公开实施方式中完成步骤 S320 后沿图 4 中 bb' 方向切开的剖面图;  
5 图 22 为本公开实施方式中完成步骤 S1401 后沿图 4 中 aa' 方向切开的剖面图;  
图 23 为本公开实施方式中完成步骤 S1401 后沿图 4 中 bb' 方向切开的剖面图;  
图 24 为本公开实施方式中第二接触孔的剖面图。

## 具体实施方式

现在将参考附图更全面地描述示例实施方式。然而，示例实施方式能够以多种  
10 形式实施，且不应被理解为限于在此阐述的实施方式；相反，提供这些实施方式使  
得本公开将全面和完整，并将示例实施方式的构思全面地传达给本领域的技术人员。  
图中相同的附图标记表示相同或类似的结构，因而将省略它们的详细描述。此外，  
附图仅为本公开的示意性图解，并非一定是按比例绘制。

虽然本说明书中使用相对性的用语，例如“上”“下”来描述图标的一个组件对于  
15 另一组件的相对关系，但是这些术语用于本说明书中仅出于方便，例如根据附图中  
所述的示例的方向。能理解的是，如果将图标的装置翻转使其上下颠倒，则所叙述  
在“上”的组件将会成为在“下”的组件。当某结构在其它结构“上”时，有可能是指某  
结构一体形成于其它结构上，或指某结构“直接”设置在其它结构上，或指某结构通  
过另一结构“间接”设置在其它结构上。

20 用语“一个”、“一”、“该”、“所述”和“至少一个”用以表示存在一个或多个要素/  
组成部分/等；用语“包括”和“具有”用以表示开放式的包括在内的意思并且是指除了  
列出的要素/组成部分/等之外还可存在另外的要素/组成部分/等；用语“第一”和“第  
二”等仅作为标记使用，不是对其对象的数量限制。

25 字线结构是动态随机存储器（Dynamic Random Access Memory，DRAM）的核  
心部件之一，在制程过程中，如图 1 所示，为了节省空间，通常将字线结构埋入衬  
底 100 内部，字线结构通常包括堆叠设置的第一导电层 200 和第二导电层 300，通  
过与字线结构连接的引线将字线结构电学引出。在形成引线的过程中，为了降低电  
阻，在形成容纳引线的过孔 400 时，需要将第二导电层 300 刻透，进而露出其下方  
30 的第一导电层 200，然而，第二导电层 300 的材料的物理及化学性能通常与衬底 100  
中的有源区的材料类似，在蚀刻第二导电层 300 的过程中易对有源区造成损伤，产  
品良率较低。

本公开实施方式提供了一种半导体结构，图 2 示出了本公开实施方式中半导体  
结构的俯视图，图 3 示出了本公开实施方式中半导体结构沿图 2 中 bb' 方向切开的剖  
面图；参见图 2 及图 3 所示，该半导体结构可包括衬底 1 及字线结构 2，其中：

35 衬底 1 可包括阵列区 101 和外围区 102；

字线结构 2 可包括位于衬底 1 内部的第一导电层 21，第一导电层 21 沿第一方  
向 A 贯穿阵列区 101 并延伸至外围区 102；在垂直于衬底 1 的方向上，第一导电层  
21 位于外围区 102 表面的高度高于第一导电层 21 位于阵列区 102 表面的高度。

40 本公开的半导体结构，由于第一导电层 21 位于外围区 102 的表面的高度高于第  
一导电层 21 位于阵列区 101 的表面的高度，可将后续形成的第二导电层 22 形成于  
位于阵列区 101 的第一导电层 21 的表面，此时无需在外围区 102 形成第二导电层  
22，在后续形成与字线结构 2 连接的字线接触插塞时，用于容纳字线接触插塞的过  
孔无需穿过第二导电层 22，进而无需采用对第二导电层 22 的蚀刻速率较大的蚀刻  
溶液或蚀刻气体进行蚀刻，可避免在蚀刻第二导电层 22 的过程中对衬底 1 造成的损

5 伤,也可避免蚀刻损伤延伸至阵列区 101 内部,减小衬底 1 中的缺陷来源,提高产品良率。且在上述过程中,由于外围区 102 的字线结构 2 的表面没有第二导电层 22,在后续形成过孔的过程中,无需蚀刻第二导电层 22,可减少蚀刻的层数,进而简化工艺(即,减少了蚀刻第二导电层 22 的工艺),降低制造成本;同时,由于第一导电层 21 的高度提高,减小过孔蚀刻高度,可降低工艺难度。

下面对本公开的半导体结构的各部分进行详细说明:

如图 4-图 6 所示,衬底 1 可呈平板结构,其可为矩形、圆形、椭圆形、多边形或不规则图形,其材料可以是半导体材料,例如,其材料可为硅,但是不限于硅或其他半导体材料,在此不对衬底 1 的形状及材料做特殊限定。

10 在本公开的一些实施方式中,如图 4 所示,衬底 1 可为硅衬底,其内部形成有浅沟槽隔离结构 11,浅沟槽隔离结构 11 可以通过在衬底 1 内形成沟槽后,再在沟槽内填充隔离材料层而形成。浅沟槽隔离结构 11 的材料可以包括氮化硅或氧化硅等,在此不做特殊限定。浅沟槽隔离结构 11 的截面形状可以根据实际需要进行设定。浅沟槽隔离结构 11 能在衬底 1 上分隔出若干个有源区 12。

15 在本公开的一些实施方式中,继续参见图 6 所示,衬底 1 可包括阵列区 101 及外围区 102,阵列区 101 与外围区 102 可邻接分布,外围区 102 可位于阵列区 101 的一侧,也可环绕于阵列区 101 的外周,阵列区 101 可用于形成电容阵列、晶体管阵列、连接晶体管以及电容的字线结构 2 和位线结构,外围区 102 可用于形成字线接触插塞。字线接触插塞可以连接位于外围区 102 的字线驱动器、感测放大器、行解码器和列解码器以及特殊功能的控制电路,控制电路可通过控制字线及位线来实现晶体管及电容的存储及读取功能。举例而言,阵列区 101 可为圆形区域、矩形区域或不规则图形区域,当然,也可以是其他形状的区域,在此不做特殊限定。外围区 102 可为环形区域,并可环绕于阵列区 101 的外周,其可以是圆环区域、矩形环区域或其他形状的环形区域,在此不再一一列举。各有源区 12 均可位于阵列区 101 内,各有源区 12 可在阵列区 101 内呈阵列分布。

需要说明的是,外围区 102 与阵列区 101 的边界没有明显划分,在本实施例中,外围区 102 与阵列区 101 的边界以各条第二导电层 22 的端点连线作为区分,外围区 102 的边缘与有源区 12 侧边之间具有一定距离,该距离范围内的区域可属于阵列区 101。

30 在本公开的一种示例性实施方式中,参见图 4 及图 5 所示,衬底 1 内可设有多个沿第一方向 A 延伸的字线沟槽 201,且各字线沟槽 201 可沿第二方向 B 间隔分布。字线沟槽 201 可以是由衬底 1 表面向内凹陷所构成的槽状结构,其底端与衬底 1 贯通。在第一方向 A 上,字线沟槽 201 可贯穿阵列区 101 及外围区 102,且字线沟槽 201 中位于阵列区 101 的部分可贯穿多个有源区 12。

35 第一方向 A 可与第二方向 B 相交,例如,第一方向 A 与第二方向 B 可相互垂直。需要说明的是,垂直可以是绝对垂直,也可以是大致垂直,在制造过程中难免会有偏差,在本公开中,可能由于制作工艺限制引起角度的偏差,使得第一方向 A 和第二方向 B 的夹角有一定的偏差,只要第一方向 A 和第二方向 B 的角度偏差在预设范围内,均可认为第一方向 A 与第二方向 B 垂直。举例而言,预设范围可为  $10^\circ$ ,  
40 即:第一方向 A 和第二方向 B 的夹角在大于或等于  $80^\circ$ ,小于或等于  $100^\circ$  的范围内时均可认为第一方向 A 和第二方向 B 垂直。

继续参见图 2 及图 3 所示,可在各字线沟槽 201 内均形成字线结构 2,即,可在衬底 1 内形成多个字线结构 2,各字线结构 2 均可沿第一方向 A 延伸,多个字线结构 2 可沿第二方向 B 间隔分布。

45 在本公开的一些实施方式中,字线结构 2 可贯穿阵列区 101 和外围区 102,举

例而言，各字线结构 2 均可由外围区 102 向阵列区 101 延伸，且其在阵列区 101 的部分可贯穿多个有源区 12。

在本公开的一些实施方式中，参见图 7 及图 8 所示，字线结构 2 可包括第一导电层 21，第一导电层 21 可贯穿阵列区 101 并延伸至外围区 102，第一导电层 21 位于外围区 102 的表面的高度可高于第一导电层 21 位于阵列区 101 的表面的高度，以便于后续在外围区 102 形成字线接触插塞。

在本公开的一种示例性实施方式中，第一导电层 21 的材料可为金属材料，举例而言，其材料可为钨、钛、钽中的一种。

在本公开的一种示例性实施方式中，继续参见图 2 及图 3 所示，字线结构 2 还可包括第二导电层 22，第二导电层 22 可位于第一导电层 21 的上部，并与第一导电层 21 接触连接。

在本公开的一种示例性实施方式中，第二导电层 22 的材料可为半导体材料，该半导体材料可具有较低功函数的材料，举例而言，其材料可为多晶硅。在保证字线结构 2 的开启电压的情况下，可在第一导电层 21 的表面设置功函数较低的第二导电层 22，通过第二导电层 22 降低栅诱导漏极泄漏电流（Gate-Induced Drain Leakage, GIDL）。

在本公开的一些示例性实施方式中，继续参见图 2-图 8 所示，字线结构 2 还可包括栅间介质层 23，栅间介质层 23 可至少随形包覆于第一导电层 21 和第二导电层 22 的侧壁的表面，其可以是形成于第一导电层 21 和第二导电层 22 的侧壁的表面上的薄膜层。

在本公开的一种示例性实施方式中，参见图 5-图 7 所示，可在各字线沟槽 201 的侧壁及表面形成随形贴附的栅间介质层 23，栅间介质层 23 的材料可以包括氧化硅、氮化硅、氮氧化硅等，也可为前述材料的组合，其厚度可以是 1nm~9nm，举例而言，其可以是 1nm、2nm、4nm、6nm、8nm 或 9nm，当然，也可以是其他厚度，在此不再一一列举。

举例而言，可通过化学气相沉积、物理气相沉积、原子层沉积、热蒸发或热氧化等方式在各字线沟槽 201 的侧壁及底部形成随形贴附的栅间介质层 23，当然，也可通过其他方式形成栅间介质层 23，在此不做特殊限定。为了工艺方便，在形成栅间介质层 23 的过程中，可使栅间介质层 23 完全覆盖衬底 1 的顶表面，随后可去除位于衬底 1 表面的栅间介质层 23，只保留位于各字线沟槽 201 的侧壁及底部的栅间介质层 23。

在本公开的一些实施方式中，可采用热氧化工艺对栅间介质层 23 的表面进行处理，以提高栅间介质层 23 的膜层的致密性，进而减小漏电流，提高栅控能力，还可增强栅间介质层 23 对衬底 1 中杂质的阻隔效果，避免衬底 1 中的杂质扩散至字线沟槽 201 内，可提高结构稳定性。

在本公开的一些实施方式中，可在栅间介质层 23 表面形成扩散阻挡层，用于避免金属材料向衬底 1 扩散，增大漏电流风险。扩散阻挡层可随形贴附于栅间介质层 23 的表面，即，栅间介质层 23 可位于扩散阻挡层与字线沟槽 201 的内壁之间，扩散阻挡层的材料可以是氮化钛，其厚度可以是 0.5nm~2nm，例如，其可以是 0.5nm、1nm、1.5nm 或 2nm。在一些实施方式中，可以通过化学气相沉积、物理气相沉积或原子层沉积等工艺在栅间介质层 23 的表面形成扩散阻挡层，在此不对扩散阻挡层的成型工艺做特殊限定。

在本公开的一种示例性实施方式中，可采用化学气相沉积、物理气相沉积、原子层沉积、真空蒸镀、磁控溅射或热蒸发等方式在形成有栅间介质层 23 的字线沟槽 201 内填充导电材料，以在字线沟槽 201 内形成第一导电层 21，需要说明的是，在

垂直于衬底 1 的方向上,第一导电层 21 位于外围区 102 的部分的表面的高度高于其位于阵列区 101 的部分的表面的高度。

需要说明的是,在栅间介质层 23 的表面形成有扩散阻挡层时,第一导电层 21 可形成于扩散阻挡层的表面,即,可在形成有栅间介质层 23 及扩散阻挡层的字线沟槽 201 内填充导电材料,以在字线沟槽 201 内形成第一导电层 21。

可采用物理气相沉积、化学气相沉积、原子层沉积、真空蒸镀或磁控溅射等工艺在第一导电层 21 的表面形成第二导电层 22,第二导电层 22 可覆盖于位于阵列区 101 的第一导电层 21 的表面,第二导电层 22 在衬底 1 上的正投影与外围区 102 无交叠,且第二导电层 22 在衬底 1 上的正投影可与阵列区 101 的边界重合。

在本公开的一种示例性实施方式中,继续参见图 2 及图 3 所示,第二导电层 22 的厚度可与阵列区 101 的第一导电层 21 和外围区 102 的第一导电层 21 的高度差相等,即,第二导电层 22 的表面可与外围区 102 的第一导电层 21 的表面齐平,第二导电层 22 只覆盖于第一导电层 21 位于阵列区 101 的部分的表面。此时,相比于现有技术(第二导电层 22 覆盖第一导电层 21 的全部表面),在第二导电层 22 和第一导电层 21 组成的整体结构所占的空间相同的情况下,本公开中的字线结构 2 中的第一导电层 21 的占比增多,由于第一导电层 21 的材料为金属材料,可提高金属材料在字线结构 2 中的占比,有助于减小字线结构 2 的电阻。

在本公开的一种示例性实施方式中,如图 9 及图 10 所示,本公开的半导体结构还可包括绝缘层 5,绝缘层 5 可以是形成于字线结构 2 的顶部的薄膜,也可以是形成于字线结构 2 的顶部的涂层,在此不对绝缘层 5 的形式做特殊限定。绝缘层 5 在衬底 1 上的正投影可覆盖各字线结构 2 在衬底 1 上的正投影。可通过绝缘层 5 对字线结构 2 的表面进行绝缘保护,以避免字线结构 2 的表面损伤;同时,还可通过绝缘层 5 将字线结构 2 与其他结构隔绝开,避免字线结构 2 与其他结构之间发生耦合或短路,可提高产品良率。

在本公开的一些实施方式中,绝缘层 5 可同时覆盖第二导电层 22 的表面和位于外围区 102 表面的第一导电层 21 的表面,即,绝缘层 5 可覆盖第一导电层 21 和第二导电层 22 共同构成的结构的表面。可通过绝缘层 5 对第一导电层 21 和第二导电层 22 进行绝缘保护,以避免第一导电层 21 和第二导电层 22 的表面损伤;同时,还可通过绝缘层 5 将第一导电层 21 和第二导电层 22 与其他结构隔绝开,避免第一导电层 21 和第二导电层 22 与其他结构之间发生耦合或短路,可提高产品良率。

举例而言,绝缘层 5 的材料可为氮化硅或其他绝缘材料,可通过化学气相沉积、物理气相沉积、原子层沉积、热蒸发、真空蒸镀或磁控溅射等方式在第一导电层 21 和第二导电层 22 共同构成的结构的表面形成绝缘层 5,当然,也可通过其他方式形成绝缘层 5,在此不对绝缘层 5 的形成方式做特殊限定。

在本公开的一种示例性实施方式中,如图 11 及图 12 所示,本公开的半导体结构还可包括字线接触插塞 6,字线接触插塞 6 可形成于外围区 102,即,第二导电层 22 在衬底 1 上的正投影与字线接触插塞 6 在衬底 1 上的正投影无交叠。且第二导电层 22 可与字线接触插塞 6 间隔分布,例如,第二导电层 22 靠近外围区 102 的一端可与字线接触插塞 6 之间具有第一距离,第一距离可小于第一导电层 21 在第一方向 A 上位于外围区 102 的长度,有助于使字线导电插塞 6 与第一导电层 21 位于外围区 102 的部分与第二导电层 22 隔离设置,避免字线导电插塞 6 的形成对第二导电层 22 造成损伤。

继续参见图 12 所示,字线接触插塞 6 的底面可与位于外围区 102 的第一导电层 21 的表面接触连接,以便于通过字线接触插塞 6 将字线结构 2 电学引出,进而可通过字线接触插塞 6 将字线结构 2 中的数据信号引出。

在本公开的一些实施方式中，字线接触插塞 6 的一侧与字线结构 2 连接，另一侧可通过外围接触插塞 7 与包括字线驱动器、感测放大器、行解码器和列解码器以及特殊功能的控制电路连接，控制电路通过字线接触插塞 6 电流传送可实现控制字线结构 2 及位线结构，实现晶体管及电容的存储及读取功能。

5 在本公开的一些实施方式中，继续参见图 12 所示，字线接触插塞 6 可沿垂直于衬底 1 的方向贯穿绝缘层 5，即，字线接触插塞 6 可埋于绝缘层 5 内，可通过绝缘层 5 对字线接触插塞 6 进行绝缘保护，在此过程中，可避免字线接触插塞 6 与周围其他结构之间发生耦合或短路，可进一步提高产品良率。

10 在本公开的一种示例性实施方式中，如图 13 所示，本公开的半导体结构还可包括外围接触插塞 7，外围接触插塞 7 可位于外围区 102，外围接触插塞 7 的一端可与外围区 102 内的晶体管的源漏极 110 连接；在垂直于衬底 1 的方向上，外围接触插塞 7 可贯穿绝缘层 5，并可与字线接触插塞 6 间隔分布，外围接触插塞 7 的顶面可与字线接触插塞 6 的顶面高度相同。

15 在本公开的一些实施方式中，外围接触插塞 7 可通过位于绝缘层 5 表面的连接线与字线接触插塞 6 电连接，进而实现外围电路对阵列区 101 中的各部件的控制。

本公开实施方式还提供了一种半导体结构的形成方法，图 14 示出了本公开的半导体结构的形成方法的流程图，参见图 14 所示，本公开的形成方法可包括步骤 S110 及步骤 S120，其中：

步骤 S110，提供衬底，所述衬底包括阵列区和外围区；

20 步骤 S120，在所述衬底内形成多个字线结构，所述字线结构包括位于所述衬底内部的第一导电层，所述第一导电层沿第一方向贯穿所述阵列区并延伸至所述外围区；在垂直于所述衬底的方向上，所述第一导电层位于所述外围区表面的高度高于所述第一导电层位于所述阵列区表面的高度。

25 本公开的半导体结构的形成方法，由于第一导电层 21 位于外围区 102 的表面的高度高于第一导电层 21 位于阵列区 101 的表面的高度，可将后续形成的第二导电层 22 形成于位于阵列区 101 的第一导电层 21 的表面，此时无需在外围区 102 形成第二导电层 22，在后续形成与字线结构 2 连接的字线接触插塞 6 时，用于容纳字线接触插塞 6 的过孔无需穿过第二导电层 22，进而无需采用对第二导电层 22 的蚀刻速率较大的蚀刻溶液或蚀刻气体进行蚀刻，可避免在蚀刻第二导电层 22 的过程中对衬底 1 造成的损伤，也可避免蚀刻损伤延伸至阵列区 101 内部，减少衬底 1 中的缺陷来源，提高产品良率。且在上述过程中，由于外围区 102 的字线结构 2 的表面没有第二导电层 22，在后续形成过孔的过程中，无需蚀刻第二导电层 22，可减少蚀刻的层数，进而简化工艺（即，减少了蚀刻第二导电层 22 的工艺），降低制造成本；同时，由于第一导电层 21 的高度提高，减小过孔蚀刻高度，可降低工艺难度。

35 下面对本公开实施方式中的半导体结构的形成方法的各步骤及其具体细节进行详细说明：

如图 14 所示，在步骤 S110 中，提供衬底，所述衬底包括阵列区和外围区。

40 如图 4-图 6 所示，衬底 1 可呈平板结构，其可为矩形、圆形、椭圆形、多边形或不规则图形，其材料可以是半导体材料，例如，其材料可为硅，但是不限于硅或其他半导体材料，在此不对衬底 1 的形状及材料做特殊限定。

45 在本公开的一些实施方式中，如图 4 所示，衬底 1 可为硅衬底，其内部形成有浅沟槽隔离结构 11，浅沟槽隔离结构 11 可以通过在衬底 1 内形成沟槽后，再在沟槽内填充隔离材料层而形成。浅沟槽隔离结构 11 的材料可以包括氮化硅或氧化硅等，在此不做特殊限定。浅沟槽隔离结构 11 的截面形状可以根据实际需要进行设定。浅沟槽隔离结构 11 能在衬底 1 上分隔出若干个有源区 12。

在本公开的一些实施方式中，继续参见图 6 所示，衬底 1 可包括阵列区 101 及外围区 102，阵列区 101 与外围区 102 可邻接分布，外围区 102 可位于阵列区 101 的一侧，也可环绕于阵列区 101 的外周，阵列区 101 可用于形成电容阵列、晶体管阵列、连接晶体管以及电容的字线结构 2 和位线结构，外围区 102 可用于形成与外围电路连接的字线接触插塞 6。外围电路可以包括字线驱动器、感测放大器、行解码器和列解码器以及特殊功能的控制电路，外围电路可通过控制字线及位线来实现晶体管及电容的存储及读取功能。举例而言，阵列区 101 可为圆形区域、矩形区域或不规则图形区域，当然，也可以是其他形状的区域，在此不做特殊限定。外围区 102 可为环形区域，并可环绕于阵列区 101 的外周，其可以是圆环区域、矩形环区域或其他形状的环形区域，在此不再一一列举。各有源区 12 均可位于阵列区 101 内，各有源区 12 可在阵列区 101 内呈阵列分布。

需要说明的是，外围区 102 与阵列区 101 没有明显划分，在本实施例中，外围区 102 的边界与阵列区 101 的边界以各条第二导电层 22 的端点连线作为区分，外围区 102 的边缘与有源区 12 侧边之间具有一定距离，该距离范围内的区域可属于阵列区 101。

如图 14 所示，在步骤 S120 中，在所述衬底内形成多个字线结构，所述字线结构包括位于所述衬底内部的第一导电层，所述第一导电层沿第一方向贯穿所述阵列区并延伸至所述外围区；在垂直于所述衬底的方向上，所述第一导电层位于所述外围区表面的高度高于所述第一导电层位于所述阵列区表面的高度。

参见 7 及图 8 所示，字线结构 2 可包括第一导电层 21，第一导电层 21 可贯穿阵列区 101 并延伸至外围区 102，进而使得第一导电层 21 成台阶状，以便于后续在外围区 102 形成字线接触插塞 6。

在本公开的一种示例性实施方式中，第一导电层 21 的材料可为金属材料，举例而言，其材料可为钨、钛、钽中的一种。

在本公开的一种示例性实施方式中，继续参见图 2 及图 3 所示，字线结构 2 还可包括第二导电层 22，第二导电层 22 可位于第一导电层 21 的上部，并与第一导电层 21 接触连接。

在本公开的一种示例性实施方式中，第二导电层 22 的材料可为半导体材料，该半导体材料可具有较低功函数的材料，举例而言，其材料可为多晶硅。在保证字线结构 2 的开启电压的情况下，可在第一导电层 21 的表面设置功函数较低的第二导电层 22，通过第二导电层 22 降低栅诱导漏极泄漏电流（Gate-Induced Drain Leakage, GIDL）。

在本公开的一些示例性实施方式中，继续参见图 2-图 8 所示，字线结构 2 还可包括栅间介质层 23，栅间介质层 23 可至少随形包覆于第一导电层 21 和第二导电层 22 的侧壁的表面，其可以是形成于第一导电层 21 和第二导电层 22 的侧壁的表面上的薄膜层。

在本公开的一种示例性实施方式中，在衬底 1 内形成多个字线结构 2 可包括步骤 S210-步骤 S240，其中：

步骤 S210，在所述衬底 1 内形成多个字线沟槽 201，所述字线沟槽 201 贯穿所述阵列区 101 和所述外围区 102。

继续参见图 4 及图 5 所示，各字线沟槽 201 均可沿第一方向 A 延伸，且多个字线沟槽 201 可沿第二方向 B 间隔分布。字线沟槽 201 可以是由衬底 1 表面向内凹陷所构成的槽状结构，其底端与衬底 1 的贯通。在第一方向 A 上，字线沟槽 201 可贯穿阵列区 101 及外围区 102，且字线沟槽 201 中位于阵列区 101 的部分可贯穿多个有源区 12。

第一方向 A 可与第二方向 B 相交, 例如, 第一方向 A 与第二方向 B 可相互垂直。需要说明的是, 垂直可以是绝对垂直, 也可以是大致垂直, 在制造过程中难免会有偏差, 在本公开中, 可能由于制作工艺限制引起角度的偏差, 使得第一方向 A 和第二方向 B 的夹角有一定的偏差, 只要第一方向 A 和第二方向 B 的角度偏差在预设范围内, 均可认为第一方向 A 与第二方向 B 垂直。举例而言, 预设范围可为  $10^\circ$ , 即: 第一方向 A 和第二方向 B 的夹角在大于或等于  $80^\circ$ , 小于或等于  $100^\circ$  的范围内时均可认为第一方向 A 和第二方向 B 垂直。

在本公开的一些实施方式中, 在所述衬底 1 内形成多个字线沟槽 201, 所述字线沟槽 201 贯穿所述阵列区 101 和所述外围区 102 (即步骤 S210) 可包括步骤 S2101-步骤 S2104, 其中:

步骤 S2101, 在所述衬底 1 表面形成掩膜层。

本公开的一些实施方式中, 可通过化学气相沉积、物理气相沉积、真空蒸镀、磁控溅射、原子层沉积或其它方式在衬底 1 的表面形成掩膜层, 掩膜层可为多层膜层结构, 也可以为单层膜层结构, 其材料可以是聚合物、 $\text{SiO}_2$ 、 $\text{SiN}$ 、多晶硅和  $\text{SiCN}$  中至少一种, 当然, 也可以是其它材料, 在此不再一一列举。

在一些实施方式中, 掩膜层可为多层, 其可以包括聚合物层、氧化层和硬掩膜层, 其中, 聚合物层可形成于衬底 1 的表面, 氧化层可位于硬掩膜层和聚合物层之间。可通过化学气相沉积工艺在衬底 1 的表面形成聚合物层, 通过真空蒸镀工艺在聚合物层的表面形成氧化层, 通过原子层沉积工艺在氧化层的表面形成硬掩膜层。

步骤 S2102, 在所述掩膜层的表面形成第一光阻层。

可通过旋涂或其它方式在掩膜层背离衬底 1 的表面形成第一光阻层, 第一光阻层的材料可以是正性光刻胶或负性光刻胶, 在此不做特殊限定。

步骤 S2103, 对所述第一光阻层进行曝光并显影, 以形成多个沿第一方向 A 延伸并沿第二方向 B 间隔分布的显影区, 所述显影区在所述衬底 1 上的正投影贯穿所述阵列区 101 和所述外围区 102。

可采用掩膜版对第一光阻层进行曝光, 该掩膜版的图案可与字线沟槽 201 所需的图案匹配。随后, 可对曝光后的第一光阻层进行显影, 从而形成多个沿第一方向 A 延伸并沿第二方向 B 间隔分布的显影区, 每个显影区均可分别露出掩膜层的表面, 显影区的图案可与字线沟槽 201 所需的图案相同, 显影区的尺寸可与字线沟槽 201 所需的尺寸相同, 即, 显影区可呈条状, 且其在衬底 1 上的正投影可贯穿阵列区 101 和外围区 102。在本公开的一些实施方式中, 显影区在衬底 1 上的正投影可贯穿外围区 102 及多个有源区 12。

步骤 S2104, 在所述显影区对所述掩膜层及所述衬底 1 进行蚀刻, 以形成多个沿第一方向 A 延伸并沿第二方向 B 间隔分布的字线沟槽 201。

可通过非等向蚀刻工艺在各显影区对掩膜层进行蚀刻, 蚀刻区域可露出衬底 1, 从而在掩膜层上形成多个掩膜图案, 掩膜图案可呈条形, 且各掩膜图案在衬底 1 上的正投影可分别贯穿阵列区 101 和外围区 102。在本公开的一些实施方式中, 显影区在衬底 1 上的正投影可贯穿多个有源区 12。举例而言, 掩膜图案可为沿第一方向 A 延伸的条形图案, 多个掩膜图案可沿第二方向 B 间隔分布。

需要说明的是, 当掩膜层为单层结构时, 可采用一次蚀刻工艺形成掩膜图案, 当掩膜层为多层结构时, 可对各膜层进行分层蚀刻, 即: 一次蚀刻工艺可蚀刻一层, 可采用多次蚀刻工艺将掩膜层刻透, 以形成掩膜图案, 在一实施方式中, 掩膜图案的形状和尺寸可与各字线沟槽 201 所需的图案和尺寸相同。

需要说明的是, 在完成上述蚀刻工艺后, 可通过清洗液清洗或通过灰化等工艺去除第一光阻层, 使具有掩膜图案的掩膜层不再被第一光阻层覆盖。

可采用具有掩膜图案的掩膜层为掩膜，进而对衬底 1 进行非等向蚀刻，以便形成多个沿第一方向 A 延伸且沿第二方向 B 间隔分布的字线沟槽 201。

步骤 S220，在所述字线沟槽 201 内形成随形贴附于所述字线沟槽 201 的侧壁的栅间介质层 23。

5 继续参见图 2 及图 3 所示，可在各字线沟槽 201 内均形成字线结构 2，即，可在衬底 1 内形成多个字线结构 2，各字线结构 2 均可沿第一方向 A 延伸，多个字线结构 2 可沿第二方向 B 间隔分布。

在本公开的一些实施方式中，字线结构 2 可贯穿阵列区 101 和外围区 102，举例而言，各字线结构 2 均可由外围区 102 向阵列区 101 延伸，且其在阵列区 101 的部分可贯穿多个有源区 12。

继续参见图 5-图 7 所示，可在各字线沟槽 201 的侧壁及表面形成随形贴附的栅间介质层 23，栅间介质层 23 的材料可以包括氧化硅、氮化硅、氮氧化硅等，也可可为前述材料的组合，其厚度可以是 1nm~9nm，举例而言，其可以是 1nm、2nm、4nm、6nm、8nm 或 9nm，当然，也可以是其他厚度，在此不再一一列举。

15 举例而言，可通过化学气相沉积、物理气相沉积、原子层沉积、热蒸发或热氧化等方式在各字线沟槽 201 的侧壁及底部形成随形贴附的栅间介质层 23，当然，也可通过其他方式形成栅间介质层 23，在此不做特殊限定。为了工艺方便，在形成栅间介质层 23 的过程中，可使栅间介质层 23 完全覆盖衬底 1 的顶表面，随后可去除位于衬底 1 的顶表面的栅间介质层 23，只保留位于各字线沟槽 201 的侧壁及底部的栅间介质层 23。

在本公开的一些实施方式中，可采用热氧化工艺对栅间介质层 23 的表面进行处理，以提高栅间介质层 23 的膜层的致密性，进而减小漏电流，提高栅控能力，还可增强栅间介质层 23 对衬底 1 中杂质的阻隔效果，避免衬底 1 中的杂质扩散至字线沟槽 201 内，可提高结构稳定性。

25 在本公开的一些实施方式中，可在栅间介质层 23 表面形成扩散阻挡层，用于避免金属材料向衬底 1 扩散，增大漏电流风险。扩散阻挡层可随形贴附于栅间介质层 23 的表面，即，栅间介质层 23 可位于扩散阻挡层与字线沟槽 201 的内壁之间，扩散阻挡层的材料可以是氮化钛，其厚度可以是 0.5nm~2nm，例如，其可以是 0.5nm、1nm、1.5nm 或 2nm。在一些实施方式中，可以通过化学气相沉积、物理气相沉积或原子层沉积等工艺在栅间介质层 23 的表面形成扩散阻挡层，在此不对扩散阻挡层的成型工艺做特殊限定。

步骤 S230，在具有所述栅间介质层 23 的所述字线沟槽 201 内形成所述第一导电层 21。

35 在本公开的一种示例性实施方式中，可采用化学气相沉积、物理气相沉积、原子层沉积、真空蒸镀、磁控溅射或热蒸发等方式在形成有栅间介质层 23 的字线沟槽 201 内填充导电材料，以在字线沟槽 201 内形成第一导电层 21。

需要说明的是，在栅间介质层 23 的表面形成有扩散阻挡层时，第一导电层 21 可形成于扩散阻挡层的表面，即，可在形成有栅间介质层 23 及扩散阻挡层的字线沟槽 201 内填充导电材料，以在字线沟槽 201 内形成第一导电层 21。

40 在本公开的一种示例性实施方式中，在具有所述栅间介质层 23 的所述字线沟槽 201 内形成第一导电层 21（即，步骤 S230）可包括步骤 S2301-步骤 S2305，其中：

步骤 S2301，在所述衬底 1 的表面形成导电材料层 210，所述导电材料层 210 填满具有所述栅间介质层 23 的所述字线沟槽 201。

参见图 15 及图 16 所示，可通过真空蒸镀、磁控溅射、化学气相沉积、物理气相沉积、原子层沉积或热蒸发等方式在各具有栅间介质层 23 的字线沟槽 201 内分别

填充导电材料，当然，也可采用其他方式在各具有栅间介质层 23 的字线沟槽 201 内分别填充导电材料。导电材料可填满各字线沟槽 201，进而形成导电材料层 210。

步骤 S2302，在所述导电材料层 210 的表面形成第二光阻层 4，所述第二光阻层 4 在所述衬底 1 上的正投影与所述外围区 102 重合。

5 参见图 17 及图 18 所示，可通过旋涂或其它方式在导电材料层 210 的表面形成第二光阻层 4，第二光阻层 4 的材料可以是正性光刻胶或负性光刻胶，在此不做特殊限定。需要说明的是，第二光阻层 4 可覆盖于外围区 102 的表面，且其在衬底 1 上的正投影可与外围区 102 的边界重合。

10 步骤 S2303，以所述第二光阻层 4 为掩膜蚀刻部分位于所述阵列区 101 的所述导电材料层 210，至所述阵列区 101 的所述导电材料层 210 的表面与所述衬底 1 的表面齐平。

15 参见图 19 所示，可采用干法蚀刻工艺对未被第二光阻层 4 覆盖的导电材料层 210 进行蚀刻，并在未被第二光阻层 4 覆盖的导电材料层 210 的表面与衬底 1 的表面齐平时停止蚀刻，此时，未被光阻层覆盖的区域的导电材料层 210 的表面低于被第二光阻层 4 覆盖的区域的导电材料层 210 的表面，即，位于阵列区 101 的导电材料层 210 的表面低于位于外围区 102 的导电材料层 210 的表面。在本公开的一些实施方式中，干法蚀刻的蚀刻气体可为四氟化碳，当然，蚀刻气体还可以是其他气体，只要能将导电材料层 210 去除，且不损伤其他结构即可，在此不再一一列举。

步骤 S2304，去除所述第二光阻层 4。

20 可通过清洗液清洗或通过灰化等工艺去除第二光阻层 4，使经过蚀刻后的导电材料层 210 不再被第二光阻层 4 覆盖。

步骤 S2305，蚀刻剩余的所述导电材料层 210，直至位于所述外围区 102 的所述导电材料层 210 的表面低于所述衬底 1 的表面。

25 可对剩余的导电材料层 210 进行回蚀刻，直至位于外围区 102 的衬底 1 表面的导电材料层 210 被完全清除，且在回蚀刻过程中可使字线沟槽 201 中的导电材料层 210 的表面低于衬底 1 的表面，以便于后续对第一导电层 21 表面进行绝缘隔离，避免第二导电层 22 与周围其他结构之间发生耦合或短路。可将回蚀刻后剩余的导电材料层 210 定义为第一导电层 21。

30 在本公开的一些实施方式中，可采用干法蚀刻的方式进行回蚀刻，其实可气体可为四氟化碳或其他可将导电材料层 210 去除且不损伤其他结构的气体。

步骤 S240，在所述第一导电层 21 的表面形成所述第二导电层 22。

35 可采用物理气相沉积、化学气相沉积、原子层沉积、真空蒸镀或磁控溅射等工艺在第一导电层 21 的表面形成第二导电层 22，第二导电层 22 可覆盖于位于阵列区 101 的第一导电层 21 的表面，第二导电层 22 在衬底 1 上的正投影与外围区 102 无交叠，且第二导电层 22 在衬底 1 上的正投影可与阵列区 101 的边界重合。

40 在本公开的一种示例性实施方式中，继续参见图 2 及图 3 所示，第二导电层 22 的厚度可与阵列区 101 的第一导电层 21 和外围区 102 的第一导电层 21 的高度差相等，即，第二导电层 22 的表面可与外围区 102 的第一导电层 21 的表面齐平，第二导电层 22 只覆盖于第一导电层 21 位于阵列区 101 的部分的表面。此时，相比于现有技术（第二导电层 22 覆盖第一导电层 21 的全部表面），在第二导电层 22 和第一导电层 21 组成的整体结构所占的空间相同的情况下，本公开中的字线结构 2 中的第一导电层 21 的占比增多，由于第一导电层 21 的材料为金属材料，可提高金属材料在字线结构 2 中的占比，有助于减小字线结构 2 的电阻。

45 在本公开的一种示例性实施方式中，在所述第一导电层的表面形成所述第二导电层 22（即，步骤 S240）可包括步骤 S310 及步骤 S320，其中：

步骤 S310, 在所述字线结构 2 与所述衬底 1 共同构成的结构的表面形成半导体材料层 310。

参见图 20 及图 21 所示, 可采用物理气相沉积、化学气相沉积、原子层沉积、真空蒸镀或磁控溅射等工艺在字线结构 2 和衬底 1 共同构成的结构的表面形成半导体材料层 310, 半导体材料层 310 的厚度可大于位于阵列区 101 的字线结构 2 的表面与衬底 1 表面的高度差, 即, 半导体材料层 310 可填满各字线沟槽 201 并可铺满衬底 1 的整个表面。

步骤 S320, 去除位于所述字线沟槽 201 外的所述半导体材料层 310, 并继续去除部分所述半导体材料层 310, 至位于所述阵列区 101 的所述半导体材料层 310 的表面与位于所述外围区 102 的所述字线结构 2 的表面齐平。

继续参见图 2 及图 3 所示, 可对半导体材料层 310 进行回蚀刻, 直至位于外围区 102 表面的半导体材料层 310 被完全清除, 且在回蚀刻过程中, 可使位于阵列区 101 的半导体材料层 310 的表面与位于外围区 102 的字线结构 2 的表面齐平。可将回蚀刻后剩余的半导体材料层 310 定义为第二导电层 22。

在本公开的一种示例性实施方式中, 本公开的半导体结构的形成方法还可包括:

步骤 S130, 在所述字线结构 2 的顶部形成绝缘层 5, 所述绝缘层 5 在所述衬底 1 上的正投影覆盖各所述字线结构 2 在所述衬底 1 上的正投影。

继续参见图 9 及图 10 所示, 绝缘层 5 可以是形成于字线结构 2 的表面的薄膜, 也可以是形成于字线结构 2 的表面的涂层, 在此不对绝缘层 5 的形式做特殊限定。绝缘层 5 在衬底 1 上的正投影可覆盖各字线结构 2 在衬底 1 上的正投影。可通过绝缘层 5 对字线结构 2 的表面进行绝缘保护, 以避免字线结构 2 的表面损伤; 同时, 还可通过绝缘层 5 将字线结构 2 与其他结构隔绝开, 避免字线结构 2 与其他结构之间发生耦合或短路, 可提高产品良率。

在本公开的一些实施方式中, 绝缘层 5 可同时覆盖第二导电层 22 的表面和位于外围区 102 表面的第一导电层 21 的表面, 即, 绝缘层 5 可覆盖第一导电层 21 和第二导电层 22 共同构成的结构的表面。可通过绝缘层 5 对第一导电层 21 和第二导电层 22 进行绝缘保护, 以避免第一导电层 21 和第二导电层 22 的表面损伤; 同时, 还可通过绝缘层 5 将第一导电层 21 和第二导电层 22 与其他结构隔绝开, 避免第一导电层 21 和第二导电层 22 与其他结构之间发生耦合或短路, 可提高产品良率。

举例而言, 绝缘层 5 的材料可为氮化硅或其他绝缘材料, 可通过化学气相沉积、物理气相沉积、原子层沉积、热蒸发、真空蒸镀或磁控溅射等方式在第一导电层 21 和第二导电层 22 共同构成的结构的表面形成绝缘层 5, 当然, 也可通过其他方式形成绝缘层 5, 在此不对绝缘层 5 的形成方式做特殊限定。

在本公开的一种示例性实施方式中, 本公开的半导体结构的形成方法还可包括:

步骤 S140, 在所述外围区 102 形成字线接触插塞 6, 所述字线接触插塞 6 的底面与所述第一导电层 21 连接。

继续参见图 11 及图 12 所示, 字线接触插塞 6 可形成于外围区 102, 即, 第二导电层 22 在衬底 1 上的正投影与字线接触插塞 6 在衬底 1 上的正投影无交叠。且第二导电层 22 可与字线接触插塞 6 间隔分布, 例如, 第二导电层 22 靠近外围区 102 的一端可与字线接触插塞 6 之间具有第一距离, 第一距离可小于第一导电层 21 在第一方向 A 上位于外围区 102 的长度, 有助于使字线导电插塞 6 与第一导电层 21 位于外围区 102 的部分与第二导电层 22 隔离设置, 避免字线导电插塞 6 的形成对第二导电层 22 造成损伤。

继续参见图 12 所示, 字线接触插塞 6 的底面可与位于外围区 102 的第一导电层 21 的表面接触连接, 以便于通过字线接触插塞 6 将字线结构 2 电学引出, 进而可通过字线接触插塞 6 将字线结构 2 中的数据信号引出。

在本公开的一些实施方式中, 字线接触插塞 6 的一侧与字线结构 2 连接, 另一侧可通过外围接触插塞 7 与字线驱动器、感测放大器、行解码器和列解码器以及特殊功能的控制电路连接, 控制电路通过字线接触插塞 6 电流传送可实现控制字线结构 2 及位线结构, 实现晶体管及电容的存储及读取功能。

在本公开的一些实施方式中, 继续参见图 12 所示, 字线接触插塞 6 可沿垂直于衬底 1 的方向贯穿绝缘层 5, 即, 字线接触插塞 6 可埋于绝缘层 5 内, 可通过绝缘层 5 对字线接触插塞 6 进行绝缘保护, 在此过程中, 可避免字线接触插塞 6 与周围其他结构之间发生耦合或短路, 可进一步提高产品良率。

在本公开的一些实施方式中, 在所述外围区 102 形成字线接触插塞 6, 所述字线接触插塞 6 的底面与所述第一导电层 21 连接 (即, 步骤 S140) 可包括步骤 S1401 及步骤 S1402, 其中:

步骤 S1401, 形成贯穿所述绝缘层 5 的第一接触孔 601, 所述第一接触孔 601 露出所述字线结构 2。

参见图 22 及图 23 所示, 可通过蚀刻工艺在外围区 102 形成第一接触孔 601, 第一接触孔 601 可露出字线结构 2, 当然, 也可通过其他方式形成第一接触孔 601, 在此不对第一接触孔 601 的形成方式做特殊限定。

需要说明的是, 由于第一接触孔 601 形成于外围区 102, 而字线结构 2 位于外围区 102 的部分的表面未被第二导电层 22 覆盖, 在蚀刻形成第一接触孔 601 的过程中, 无需穿过第二导电层 22, 进而无需采用对第二导电层 22 的蚀刻速率较大的蚀刻溶液或蚀刻气体进行蚀刻, 可避免在蚀刻第二导电层 22 的过程中对衬底 1 造成的损伤, 也可避免蚀刻损伤延伸至阵列区 101 内部, 减小衬底 1 中的缺陷来源, 提高产品良率。且在上述过程中, 由于外围区 102 的字线结构 2 的表面没有第二导电层 22, 在形成第一接触孔 601 的过程中, 无需蚀刻第二导电层 22, 可减少蚀刻的层数, 进而简化工艺 (即, 减少了蚀刻第二导电层 22 的工艺), 降低制造成本; 同时, 由于第一导电层 21 的高度提高, 减小过孔蚀刻高度, 可降低工艺难度。

第一接触孔 601 可为圆形孔、椭圆形孔、矩形孔或其他形状的孔状结构, 在此不对第一接触孔 601 的形状做特殊限定, 只要能露出字线结构 2 即可。第一接触孔 601 的数量可为多个, 例如, 第一接触孔 601 的数量可与字线结构 2 的数量相等, 各第一接触孔 601 可一一对应的露出各字线结构 2。

步骤 S1402, 在所述第一接触孔 601 内填充金属导电材料, 以形成所述字线接触插塞 6。

可分别向各第一接触孔 601 内填充金属导电材料, 进而可在各第一接触孔 601 内分别形成子电路, 各子电路共同构成字线接触插塞 6。举例而言, 可通过电镀、真空蒸镀、磁控溅射、化学气相沉积、物理气相沉积、原子层沉积或热蒸发等工艺在各第一接触孔 601 内分别填充第一导电材料, 进而形成字线接触插塞 6。

在本公开的一些实施方式中, 金属导电材料可为氮化钛或钨, 当然也可以是其他导电性能较强的材料, 在此不再一一列举。

在本公开的一种示例性实施方式中, 本公开的半导体结构的形成方法还可包括: 步骤 S150, 在所述外围区 102 形成外围接触插塞 7, 所述外围接触插塞 7 与所述字线接触插塞 6 电连接, 且在垂直于所述衬底 1 的方向上, 所述外围接触插塞 7 的顶面与所述字线接触插塞 6 的顶面高度相同。

继续参见图 13 所示, 外围接触插塞 7 可位于外围区 102, 外围接触插塞 7 的一

端可与外围区 102 内的晶体管的源漏极 110 连接；在垂直于衬底 1 的方向上，外围接触插塞 7 可贯穿绝缘层 5，并可与字线接触插塞 6 间隔分布，外围接触插塞 7 的顶面可与字线接触插塞 6 的顶面高度相同。

在本公开的一些实施方式中，外围接触插塞 7 可通过位于绝缘层 5 表面的连接

5 线与字线接触插塞 6 电连接，进而实现外围电路对阵列区 101 中的各部件的控制。

在本公开的一些实施方式中，在所述外围区 102 形成外围接触插塞 7，所述外围接触插塞 7 与所述字线接触插塞 6 电连接，且在垂直于所述衬底 1 的方向上，所述外围接触插塞 7 的顶面与所述字线接触插塞 6 的顶面高度相同（即，步骤 S150）可包括步骤 S1501 及步骤 S1502，其中：

10 步骤 S1501，形成贯穿所述绝缘层 5 的第二接触孔 701，所述第二接触孔 701 露出所述外围区 102 的晶体管的源漏极 110。

如图 24 所示，可通过蚀刻工艺对位于外围区 2 的绝缘层 5 进行蚀刻，进而在外围区 102 形成第二接触孔 701，第二接触孔 701 可露出外围区 102 的晶体管的源漏极 110，当然，也可通过其他方式形成第二接触孔 701，在此不对第二接触孔 701 的

15 形成方式做特殊限定。

第二接触孔 701 可为圆形孔、椭圆形孔、矩形孔或其他形状的孔状结构，在此不对第二接触孔 701 的形状做特殊限定，只要能露出外围区 102 的晶体管的源漏极 100 即可。第二接触孔 701 的数量可为多个，例如，第二接触孔 701 的数量可与外围区 102 的晶体管的数量相等，各第二接触孔 701 可一一对应的露出外围区 102 的

20 各晶体管的源漏极 110。

步骤 S1402，在所述第二接触孔 701 内填充第二导电材料，以形成所述外围接触插塞 7。

可分别向各第二接触孔 701 内填充第二导电材料，进而在各第二接触孔 701 内分别形成子电路，各子电路共同构成外围接触插塞 7。举例而言，可通过电镀、真空蒸镀、磁控溅射、化学气相沉积、物理气相沉积、原子层沉积或热蒸发等工艺在

25 各第二接触孔 701 内分别填充第二导电材料，进而形成外围接触插塞 7。

在本公开的一些实施方式中，第二导电材料与第一导电材料可以相同，也可以不同，在此不做特殊限定。举例而言，第二导电材料可为氮化钛或钨，当然，也可以是其他导电性能较强的材料，在此不再一一列举。

30 需要说明的是，尽管在附图中以特定顺序描述了本公开中半导体结构的形成方法的各个步骤，但是，这并非要求或者暗示必须按照该特定顺序来执行这些步骤，或是必须执行全部所示的步骤才能实现期望的结果。附加的或备选的，可以省略某些步骤，将多个步骤合并为一个步骤执行，以及/或者将一个步骤分解为多个步骤执行等。

35 本公开实施例还提供一种存储器，该存储器可包括由上述任一实施例中的半导体结构，其具体细节、形成工艺以及有益效果已经在对应的半导体结构及半导体结构的形成方法中进行了详细说明，此处不再赘述。

举例而言，该存储器可以是动态随机存取存储器（Dynamic Random Access Memory, DRAM）、静态随机存取存储器（static random access memory, SRAM）

40 等。当然，还可以是其它存储装置，在此不再一一列举。

本领域技术人员在考虑说明书及实践这里公开的发明后，将容易想到本公开的其它实施方案。本申请旨在涵盖本公开的任何变型、用途或者适应性变化，这些变型、用途或者适应性变化遵循本公开的一般性原理并包括本公开未公开的本技术领域中的公知常识或惯用技术手段。说明书和实施例仅被视为示例性的，本公开的真正范围和

45 范围和精神由所附的权利要求指出。

## 权利要求

1、一种半导体结构，其中，包括：

衬底，包括阵列区和外围区；

5 字线结构，包括位于所述衬底内部的第一导电层，所述第一导电层沿第一方向贯穿所述阵列区并延伸至所述外围区；在垂直于所述衬底的方向上，所述第一导电层位于所述外围区表面的高度高于所述第一导电层位于所述阵列区表面的高度。

2、根据权利要求1所述的半导体结构，其中，所述半导体结构还包括：

字线接触插塞，位于所述外围区，且所述字线接触插塞的底面与所述第一导电层连接。

10 3、根据权利要求2所述的半导体结构，其中，所述字线结构还包括：

第二导电层，所述第二导电层位于所述第一导电层上部，所述第二导电层在所述衬底上的正投影与所述字线接触插塞在所述衬底上的正投影无交叠。

15 4、根据权利要求3所述的半导体结构，其中，所述第二导电层靠近所述外围区的一端与所述字线接触插塞之间具有第一距离，所述第一距离小于所述第一导电层在所述第一方向上位于所述外围区的长度。

5、根据权利要求3所述的半导体结构，其中，所述第一导电层位于所述外围区的表面与所述第二导电层的表面齐平。

6、根据权利要求3所述的半导体结构，其中，所述第一导电层的材料为金属材料，所述第二导电层的材料为半导体材料。

20 7、根据权利要求3所述的半导体结构，其中，所述半导体结构还包括：

外围接触插塞，位于所述外围区，并与所述字线接触插塞电连接，且在垂直于所述衬底的方向上，所述外围接触插塞的顶面与所述字线接触插塞的顶面高度相同。

25 8、根据权利要求3-7任一项所述的半导体结构，其中，所述字线结构还包括栅间介质层，所述栅间介质层至少随形包覆于所述第一导电层和所述第二导电层的侧壁表面。

9、一种半导体结构的形成方法，其中，包括：

提供衬底，所述衬底包括阵列区和外围区；

30 在所述衬底内形成多个字线结构，所述字线结构包括位于所述衬底内部的第一导电层，所述第一导电层沿第一方向贯穿所述阵列区并延伸至所述外围区；在垂直于所述衬底的方向上，所述第一导电层位于所述外围区表面的高度高于所述第一导电层位于所述阵列区表面的高度。

10、根据权利要求9所述的形成方法，其中，所述形成方法还包括：

在所述外围区形成字线接触插塞，所述字线接触插塞的底面与所述第一导电层连接。

35 11、根据权利要求10所述的形成方法，其中，所述形成方法还包括：

在所述第一导电层的上部形成第二导电层，所述第二导电层在所述衬底上的正投影与所述字线接触插塞在所述衬底上的正投影无交叠。

40 12、根据权利要求11所述的形成方法，其中，所述第二导电层靠近所述外围区的一端与所述字线接触插塞之间具有第一距离，所述第一距离小于所述第一导电层在所述第一方向上位于所述外围区的长度。

13、根据权利要求11所述的形成方法，其中，所述第一导电层位于所述外围区的表面与所述第二导电层的表面齐平。

14、根据权利要求11所述的形成方法，其中，所述第一导电层的材料为金属材料，所述第二导电层的材料为半导体材料。

45 15、根据权利要求11所述的形成方法，其中，所述形成方法还包括：

在所述外围区形成外围接触插塞，所述外围接触插塞与所述字线接触插塞电连接，且在垂直于所述衬底的方向上，所述外围接触插塞的顶面与所述字线接触插塞的顶面高度相同。

5 16、根据权利要求 11-15 任一项所述的形成方法，其中，所述字线结构还包括栅间介质层，所述栅间介质层至少随形包覆于所述第一导电层和所述第二导电层的侧壁表面。

17、根据权利要求 16 所述的形成方法，其中，在所述衬底内形成多个字线结构，包括：

10 在所述衬底内形成多个字线沟槽，所述字线沟槽贯穿所述阵列区和所述外围区；  
在所述字线沟槽内形成随形贴附于所述字线沟槽的侧壁的栅间介质层；  
在具有所述栅间介质层的所述字线沟槽内形成所述第一导电层；  
在所述第一导电层的表面形成所述第二导电层。

18、根据权利要求 17 所述的形成方法，其中，在具有所述栅间介质层的所述字线沟槽内形成所述第一导电层，包括：

15 在所述衬底的表面形成导电材料层，所述导电材料层填满具有所述栅间介质层的所述字线沟槽；

在所述导电材料层的表面形成第二光阻层，所述第二光阻层在所述衬底上的正投影与所述外围区重合；

20 以所述第二光阻层为掩膜蚀刻部分位于所述阵列区的所述导电材料层，至所述阵列区的所述导电材料层的表面与所述衬底的表面齐平；

去除所述第二光阻层；

蚀刻剩余的所述导电材料层，直至位于所述外围区的所述导电材料层的表面低于所述衬底的表面且高于位于所述阵列区的所述导电材料层的表面。

25 19、根据权利要求 17 所述的形成方法，其中，在所述第一导电层的表面形成所述第二导电层，包括：

在所述栅间介质层、所述第一导电层及所述衬底共同构成的结构的表面形成半导体材料层；

30 去除位于所述字线沟槽外的所述半导体材料层，并继续去除部分所述半导体材料层，至位于所述阵列区的所述半导体材料层的表面与位于所述外围区的所述第一导电层的表面齐平。

20、一种存储器，包括权利要求 1-8 任一项所述的半导体结构。

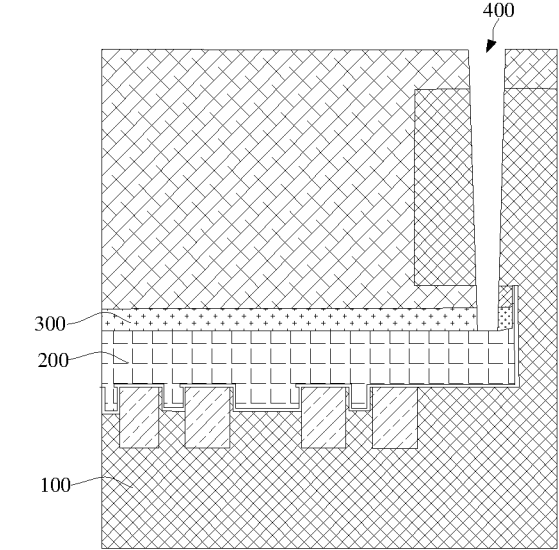


图 1

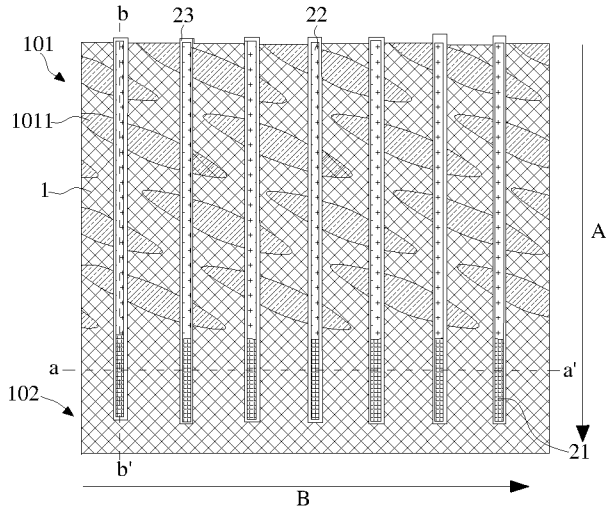


图 2

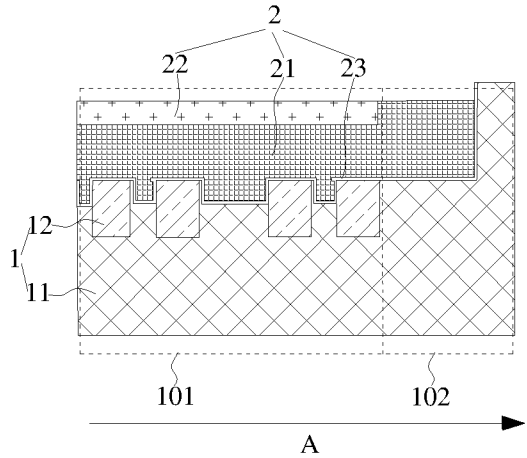


图 3

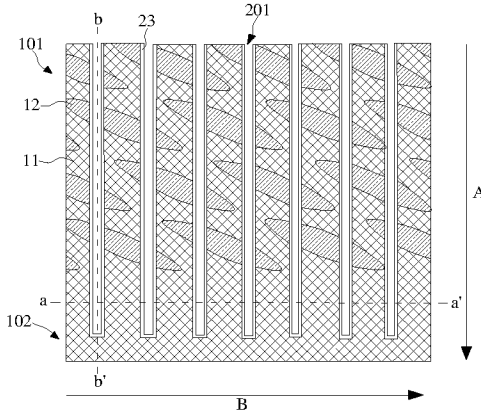


图 4

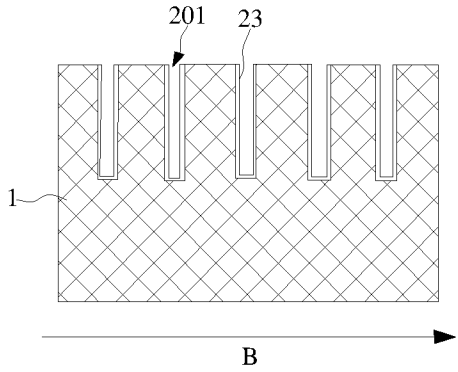


图 5

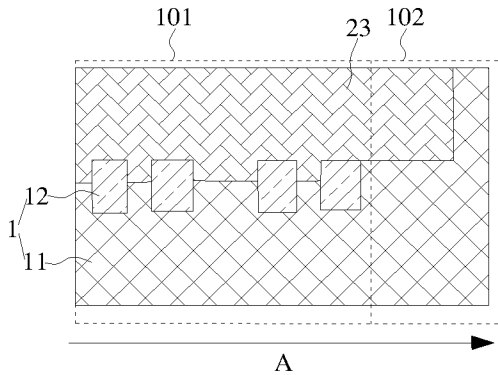


图 6

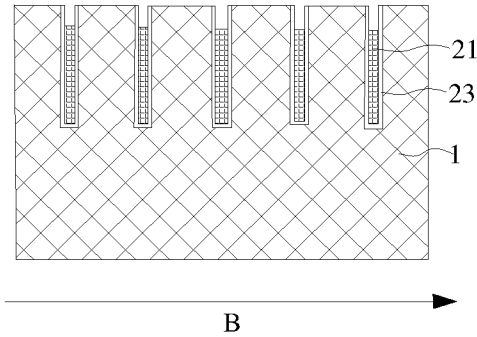


图 7

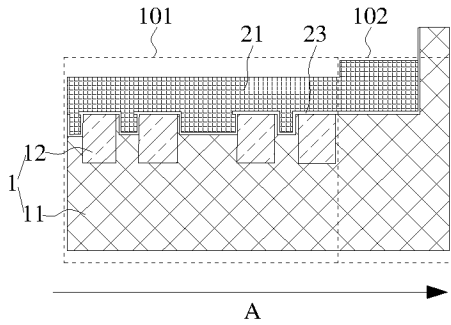


图 8

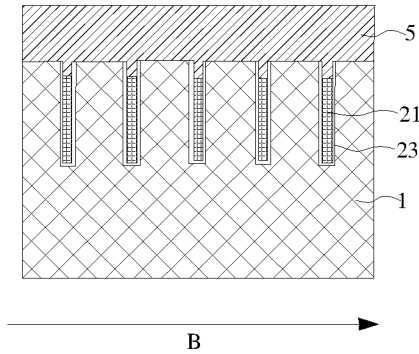


图 9

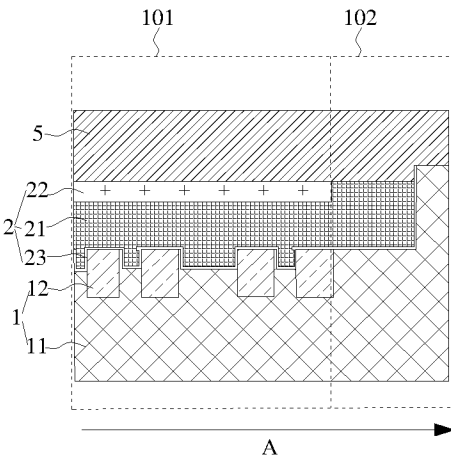


图 10

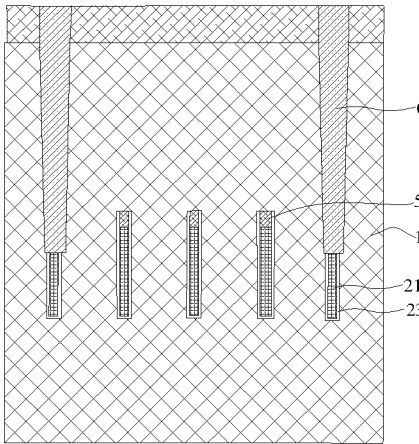


图 11

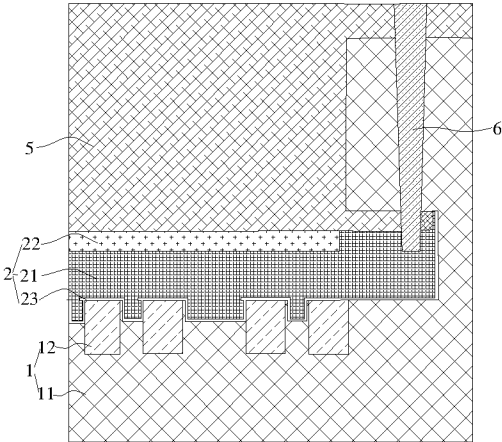


图 12

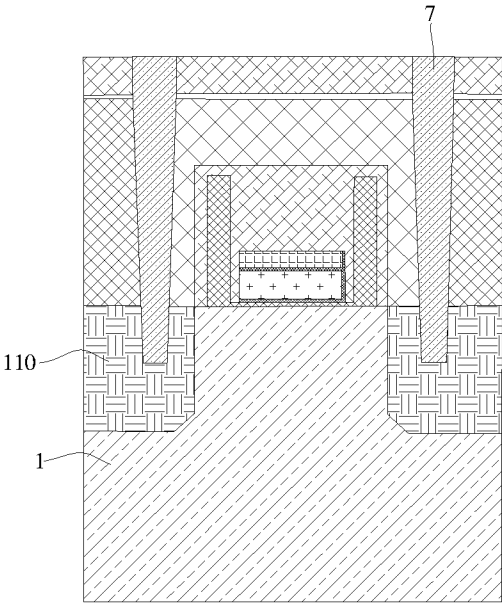


图 13

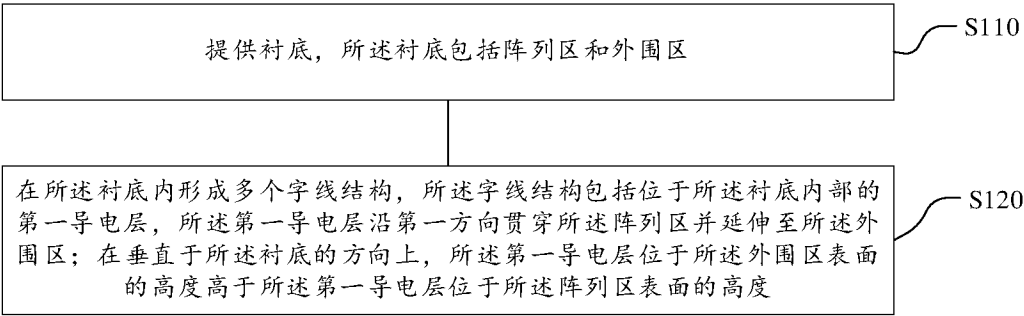


图 14

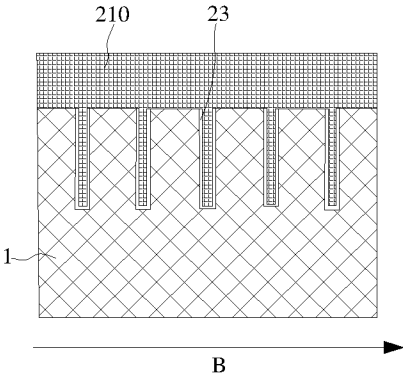


图 15

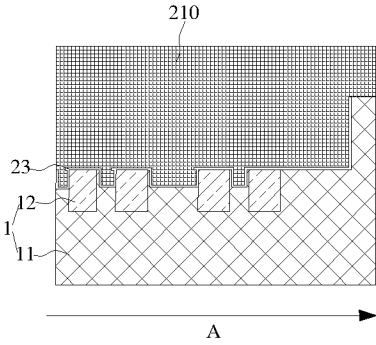


图 16

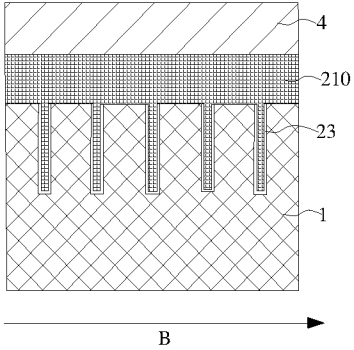


图 17

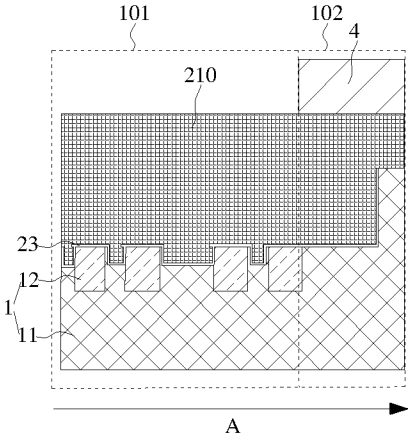


图 18

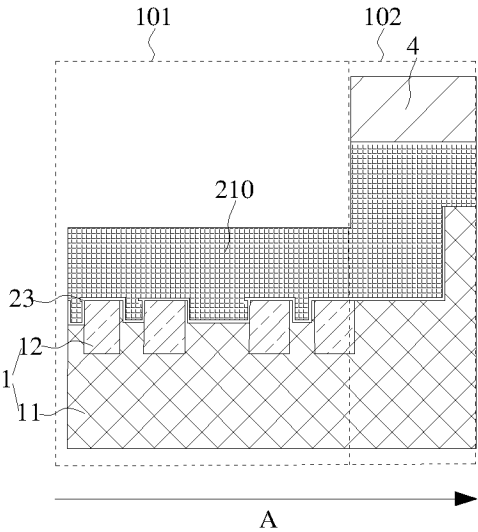


图 19

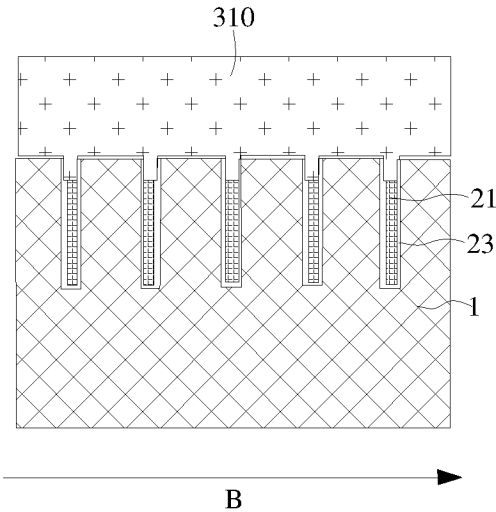


图 20

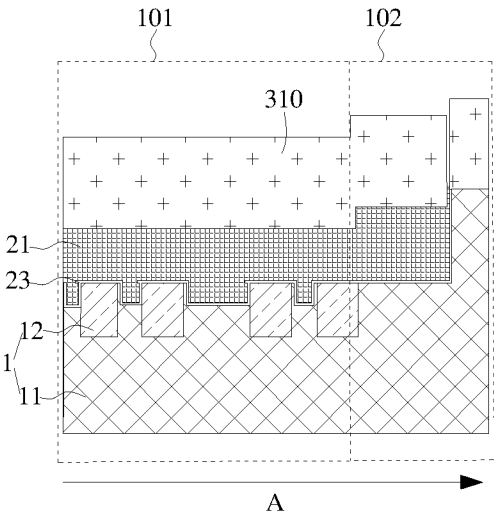


图 21

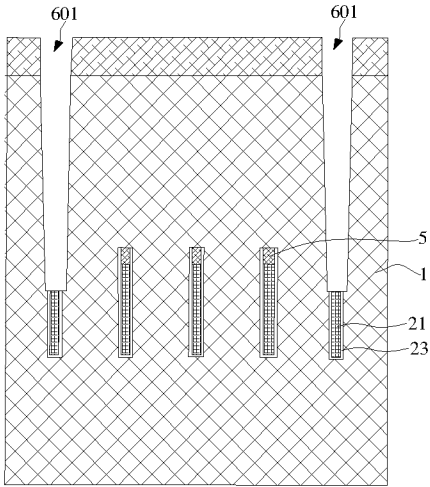


图 22

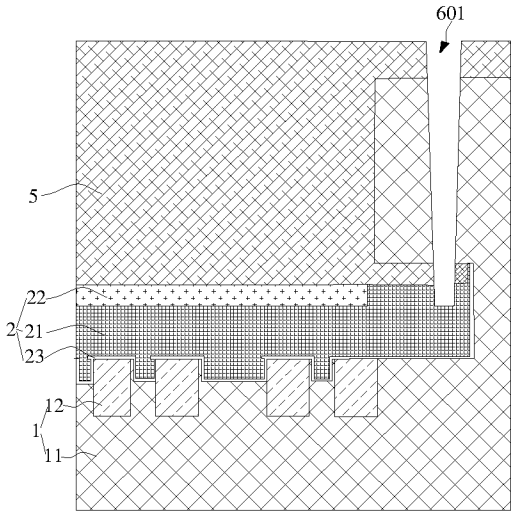


图 23

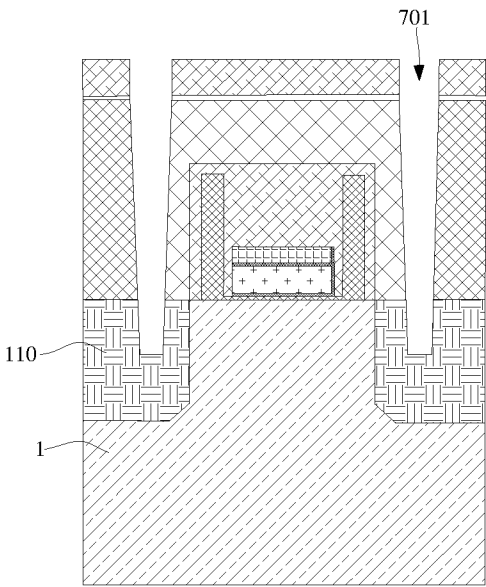


图 24

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/124203

**A. CLASSIFICATION OF SUBJECT MATTER**

H10B12/00(2023.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

IPC:H10B12/+; H01L27/+

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; VEN; DWPI; WOTXT; EPTXT; USTXT; CNKI: 动态随机存储器, 字线, 高, 厚, 接触, 插塞, 外围, DRAM, dynamic random access memory, word line, high, thick, contact, plug, periphery

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                       | Relevant to claim No. |
|-----------|------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| X         | CN 113539972 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 2021-10-22<br>(2021-10-22)<br>description, paragraphs 55-112, and figures 6-12       | 1-20                  |
| X         | CN 112951825 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 2021-06-11<br>(2021-06-11)<br>description, paragraphs 56-120, and figure 1-figure 3c | 1-2, 9-10, 20         |
| Y         | CN 112951825 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 2021-06-11<br>(2021-06-11)<br>description, paragraphs 56-120, and figure 1-figure 3c | 3-8, 11-19            |
| Y         | CN 114725107 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 2022-07-08<br>(2022-07-08)<br>description, paragraphs 56-102, and figures 2-12       | 3-8, 11-19            |
| A         | CN 112670269 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 2021-04-16<br>(2021-04-16)<br>entire document                                        | 1-20                  |



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

06 April 2023

Date of mailing of the international search report

12 April 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/  
CN)  
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,  
Beijing 100088

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/124203

### C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages          | Relevant to claim No. |
|-----------|---------------------------------------------------------------------------------------------|-----------------------|
| A         | US 2014206186 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2014-07-24 (2014-07-24)<br>entire document | 1-20                  |
| -----     |                                                                                             |                       |

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/CN2022/124203**

| Patent document cited in search report |            |    | Publication date (day/month/year) | Patent family member(s) |             |    | Publication date (day/month/year) |
|----------------------------------------|------------|----|-----------------------------------|-------------------------|-------------|----|-----------------------------------|
| CN                                     | 113539972  | A  | 22 October 2021                   | None                    |             |    |                                   |
| CN                                     | 112951825  | A  | 11 June 2021                      | CN                      | 211017077   | U  | 14 July 2020                      |
|                                        |            |    |                                   | WO                      | 2021115042  | A1 | 17 June 2021                      |
|                                        |            |    |                                   | EP                      | 3971975     | A1 | 23 March 2022                     |
|                                        |            |    |                                   | US                      | 2022157830  | A1 | 19 May 2022                       |
| CN                                     | 114725107  | A  | 08 July 2022                      | None                    |             |    |                                   |
| CN                                     | 112670269  | A  | 16 April 2021                     | CN                      | 210837738   | U  | 23 June 2020                      |
| US                                     | 2014206186 | A1 | 24 July 2014                      | US                      | 8946077     | B2 | 03 February 2015                  |
|                                        |            |    |                                   | KR                      | 20140094353 | A  | 30 July 2014                      |

## 国际检索报告

国际申请号

PCT/CN2022/124203

## A. 主题的分类

H10B12/00 (2023.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

## B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

IPC:H10B12/+; H01L27/+

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNABS; CNTXT; VEN; DWPI; WOTXT; EPTXT; USTXT; CNKI: 动态随机存储器, 字线, 高, 厚, 接触, 插塞, 外围, DRAM, dynamic random access memory, word line, high, thick, contact, plug, periphery

## C. 相关文件

| 类 型* | 引用文件, 必要时, 指明相关段落                                                               | 相关的权利要求     |
|------|---------------------------------------------------------------------------------|-------------|
| X    | CN 113539972 A (长鑫存储技术有限公司) 2021-10-22 (2021 - 10 - 22)<br>说明书第55-112段, 图6-12   | 1-20        |
| X    | CN 112951825 A (长鑫存储技术有限公司) 2021-06-11 (2021 - 06 - 11)<br>说明书第56-120段, 图1-图3c  | 1-2、9-10、20 |
| Y    | CN 112951825 A (长鑫存储技术有限公司) 2021-06-11 (2021 - 06 - 11)<br>说明书第56-120段, 图1-图3c  | 3-8、11-19   |
| Y    | CN 114725107 A (长鑫存储技术有限公司) 2022-07-08 (2022 - 07 - 08)<br>说明书第56-102段, 图2-12   | 3-8、11-19   |
| A    | CN 112670269 A (长鑫存储技术有限公司) 2021-04-16 (2021 - 04 - 16)<br>全文                   | 1-20        |
| A    | US 2014206186 A1 (SAMSUNG ELECTRONICS CO LTD) 2014-07-24 (2014 - 07 - 24)<br>全文 | 1-20        |

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

\* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&amp;” 同族专利的文件

国际检索实际完成的日期

2023年4月6日

国际检索报告邮寄日期

2023年4月12日

ISA/CN的名称和邮寄地址

中国国家知识产权局

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

沈冬云

电话号码 (+86) 020-28958914

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2022/124203

| 检索报告引用的专利文件 |            |    | 公布日<br>(年/月/日) | 同族专利 |             |    | 公布日<br>(年/月/日) |
|-------------|------------|----|----------------|------|-------------|----|----------------|
| CN          | 113539972  | A  | 2021年10月22日    | 无    |             |    |                |
| CN          | 112951825  | A  | 2021年6月11日     | CN   | 211017077   | U  | 2020年7月14日     |
|             |            |    |                | WO   | 2021115042  | A1 | 2021年6月17日     |
|             |            |    |                | EP   | 3971975     | A1 | 2022年3月23日     |
|             |            |    |                | US   | 2022157830  | A1 | 2022年5月19日     |
| CN          | 114725107  | A  | 2022年7月8日      | 无    |             |    |                |
| CN          | 112670269  | A  | 2021年4月16日     | CN   | 210837738   | U  | 2020年6月23日     |
| US          | 2014206186 | A1 | 2014年7月24日     | US   | 8946077     | B2 | 2015年2月3日      |
|             |            |    |                | KR   | 20140094353 | A  | 2014年7月30日     |