



ÚŘAD PRO VYNÁLEZY  
A OBJEVY

# POPIS VYNÁLEZU

## K AUTORSKÉMU OSVĚDČENÍ

222 950

(11)

(B1)

(61)

(23) Výstavní priorita  
(22) Přihlášeno 19 04 82  
(21) PV 2797-82

(51) Int. Cl. G 06 F 13/06

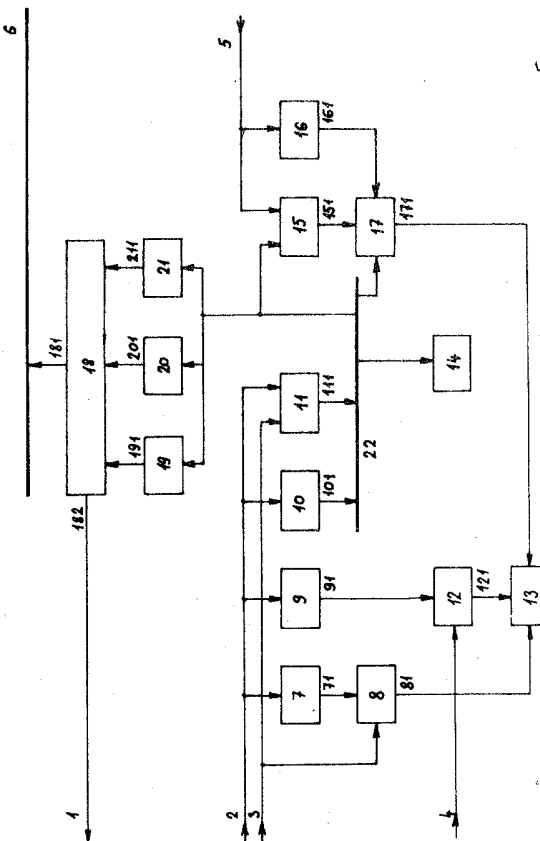
(40) Zveřejněno 30 11 82  
(45) Vydáno 01 03 84

(75)

Autor vynálezu KELBLER JOSEF ing., PRAHA

(54) Zapojení adresových obvodů rychlé vyrovnávací paměti s pamětí přeložených adres

Vynález se týká oboru počítačové techniky a řeší problém zvýšení rychlosti operačního procesoru počítače. Tento problém řeší vynález tím, že zapojení využívá tři registry přeložených adres a že vybavování informací jak z paměti přeložených adres, tak z rychlé vyrovnávací paměti probíhá současně, přičemž část ochranného klíče je v příznakové části paměti přeložených adres a část je v paměti odkazu, která je adresována až přeloženou adresou.



Vynález se týká zapojení adresových obvodů rychlé vyrovnávací paměti s pamětí přeložených adres.

Dosavadní známá zapojení rychlých vyrovnávacích pamětí pracujících v počítačích s virtuálním adresováním používala pro adresaci reálnou adresu, která byla získána nejprve přeložením v paměti přeložených adres, což vedlo k delší vybavovací době dat z rychlé vyrovnávací paměti. Jiná zapojení sice používala současné vybavování jak z rychlé vyrovnávací paměti tak z paměti přeložených adres s tím, že příznaková část paměti přeložených adres obsahovala vždy v každé položce informaci o celém ochranném klíči. Toto řešení mělo nevýhodu v tom, že při čtení nebo zápisu ochranného klíče bylo nutné sekvenčně prohledávat všechny položky v paměti přeložených adres. Dosavadní známá zapojení rychlých vyrovnávacích pamětí používala jeden registr přeložené adresy, který byl využíván při styku rychlé vyrovnávací paměti s operační pamětí. Používání jednoho registru přeložené adresy v rychlých vyrovnávacích pamětech, které přidělují svůj cyklus několika žádostem od různých řadičů má tu nevýhodu, že dochází k časovým ztrátám mezi jednotlivými styky rychlé vyrovnávací paměti a operační paměti.

Uvedené nevýhody odstraňuje zapojení adresových obvodů rychlé vyrovnávací paměti s pamětí přeložených adres podle vynálezu, jehož podstata spočívá v tom, že střední adresový vstup celého obvodu je spojen se vstupem adresáře paměti přeložených adres, se vstupem příznakové části paměti přeložených adres, se vstupem datové části paměti přeložených adres a s druhým vstupem sledovače. Horní adresový vstup celého obvodu je spojen s prvním vstupem adresového komparátoru paměti přeložených adres a s prvním vstupem sledovače. Výstup adresáře paměti přeložených adres je spojen s druhým vstupem adresového komparátoru paměti přeložených adres, jehož výstup je spojen s prvním vstupem řadiče.

222 950

Řídicí vstup celého obvodu je spojen s prvním vstupem komparátoru klíče, jehož druhý vstup je spojen s výstupem příznakové části paměti přeložených adres. Výstup komparátoru klíče je spojen s druhým vstupem řadiče, jehož třetí vstup je spojen s výstupem adresového komparátoru rychlé vyrovnávací paměti. Výstup datové části paměti přeložených adres je spojen prostřednictvím vnitřní adresové sběrnice s výstupem sledovače, se vstupem paměti odkazů, s prvním adresovým vstupem adresového komparátoru rychlé vyrovnávací paměti, a dále s prvním vstupem adresáře rychlé vyrovnávací paměti, se vstupem registru přeložené adresy operačního procesoru a rovněž se vstupem registru přeložené adresy přípravy instrukce a se vstupem registru přeložené adresy předečítaných dat. Výstup registru přeložené adresy operačního procesoru je spojen s prvním vstupem multiplexoru, jehož druhý vstup je spojen s výstupem registru přeložené adresy přípravy instrukce. Výstup registru přeložené adresy předečítaných dat je spojen s třetím vstupem multiplexoru, jehož druhý výstup je připojen na vnější adresovou sběrnici, která je zároveň vnějším výstupem celého obvodu. První výstup multiplexoru je spojen s adresovým výstupem celého obvodu. Spodní adresový vstup celého obvodu je spojen s druhým vstupem adresáře rychlé vyrovnávací paměti a se vstupem příznakové části rychlé vyrovnávací paměti, jejíž výstup je spojen s ovládacím vstupem adresového komparátoru rychlé vyrovnávací paměti, jehož druhý adresový vstup je spojen s výstupem adresáře rychlé vyrovnávací paměti.

Na adresové vstupy celého obvodu je přivedena virtuální adresa z jiných obvodů počítače - z operačního procesoru nebo z bloku přípravy instrukce nebo z obvodů předečítání dat. Tato virtuální adresa po přeložení v paměti přeložených adres postupuje jako reálná adresa k paměti odkazů, kde nastavuje jednobitovou informaci a k rychlé vyrovnávací paměti, kde se zjišťuje, zdali je položka odpovídající reálné adrese v rychlé vyrovnávací paměti přítomna. Není-li přítomna, pak je přeložená adresa nahrána do jednoho ze třech registrů přeložené adresy podle toho, zda se jednalo původně o virtuální adresu z operačního procesoru nebo z bloku přípravy instrukce nebo z obvodů předečítání dat. Přeložená adresa v registru přeložené adresy čeká až bude uvolněna cesta po vnější adresové sběrnici do operační paměti, aby mohl být blok příslušející této adrese nahrán z operač-

ní paměti do rychlé vyrovnávací paměti, jedná-li se o čtení, nebo aktualizována data v operační paměti, jedná-li se o zápis.

Příklad zapojení adresových obvodů rychlé vyrovnávací paměti s pamětí přeložených adres podle vynálezu je znázorněn na připojeném výkresu.

Střední adresový vstup 2 celého obvodu je spojen se vstupem adresáře 7 paměti přeložených adres, se vstupem příznakové části 9 paměti přeložených adres, se vstupem datové části 10 paměti přeložených adres a s druhým vstupem sledovače 11. Horní adresový vstup 3 celého obvodu je spojen s prvním vstupem adresového komparátoru 8 paměti přeložených adres a s prvním vstupem sledovače 11. Výstup 71 adresáře 7 paměti přeložených adres je spojen s druhým vstupem adresového komparátoru 8 paměti přeložených adres, jehož výstup 81 je spojen s prvním vstupem řadiče 13. Řídící vstup 4 celého obvodu je spojen s prvním vstupem komparátoru 12 klíče, jehož druhý vstup je spojen s výstupem 91 příznakové části 9 paměti přeložených adres. Výstup 121 komparátoru 12 klíče je spojen s druhým vstupem řadiče 13, jehož třetí vstup je spojen s výstupem 171 adresového komparátoru 17 rychlé vyrovnávací paměti. Výstup 101 datové části 10 paměti přeložených adres je spojen prostřednictvím vnitřní adresové sběrnice 22 s výstupem 111 sledovače 11, se vstupem paměti 14 odkazů, s prvním adresovým vstupem adresového komparátoru 17 rychlé vyrovnávací paměti, a dále s prvním vstupem adresáře 15 rychlé vyrovnávací paměti, se vstupem registru 19 přeložené adresy operačního procesoru a rovněž se vstupem registru 20 přeložené adresy přípravy instrukce a se vstupem registru 21 přeložené adresy předečítaných dat. Výstup 191 registru 19 přeložené adresy operačního procesoru je spojen s prvním vstupem multiplexoru 18, jehož druhý vstup je spojen s výstupem 201 registru 20 přeložené adresy přípravy instrukce. Výstup 211 registru 21 přeložené adresy předečítaných dat je spojen s třetím vstupem multiplexoru 18, jehož druhý výstup 181 je připojen na vnější adresovou sběrnici 6, která je zároveň vnějším výstupem celého obvodu. První výstup 182 multiplexoru 18 je spojen s adresovým výstupem 1 celého obvodu. Spodní adresový vstup 5 celého obvodu je spojen s druhým vstupem adresáře 15 rychlé vyrovnávací paměti a se vstupem příznakové části 16 rychlé vyrovnávací paměti, jejíž výstup 161 je spojen s ovládacím vstupem ad-

222 950

resového komparátoru 17 rychlé vyrovnávací paměti, jehož druhý adresový vstup je spojen s výstupem 151 adresáře 15 rychlé vyrovnávací paměti.

Střední část virtuální adresy postupuje ze středního adresového vstupu 2 jak na vstup adresáře 7 paměti přeložených adres, tak na vstup příznakové části 9 paměti přeložených adres, tak na vstup datové části 10 paměti přeložených adres, tak na druhý vstup sledovače 11. Z výstupu 71 adresáře 7 paměti přeložených adres postupuje vybraná adresa na druhý vstup adresového komparátoru 8 paměti přeložených adres. Na první vstup téhož adresového komparátoru 8 je přivedena horní část virtuální adresy z horního adresového vstupu 3 celého obvodu. Obě adresy se v adresovém komparátoru 8 paměti přeložených adres porovnávají. Informace o porovnávání je ve formě řídicího signálu z výstupu 81 téhož adresového komparátoru 8 přivedena na první vstup řadiče 13. Horní část virtuální adresy z horního adresového vstupu 3 celého obvodu je také přivedena na první vstup sledovače 11, jehož úkolem je případně obcházet datovou část 10 paměti přeložených adres. Na výstupu 91 příznakové části 9 paměti přeložených adres se vybírá ochranný klíč, který je přiveden na druhý vstup komparátoru 12 klíče, kde je porovnáván s klíčem, který je přiveden na první vstup téhož komparátoru 12 z řídicího vstupu 4 celého obvodu. Informace o porovnání je ve formě řídicího signálu z výstupu 121 přivedena na druhý vstup řadiče 13. Přeložená adresa postupuje buď z výstupu 101 datové části 10 paměti přeložených adres nebo z výstupu 111 sledovače 11 přes vnitřní adresovou sběrnici 22 na vstup paměti 14 odkazů, kde nastavuje jednobitovou informaci, a dále na první adresový vstup adresového komparátoru 17 rychlé vyrovnávací paměti, na první vstup adresáře 15 rychlé vyrovnávací paměti, na vstup registru 19 přeložené adresy operačního procesoru, na vstup registru 20 přeložené adresy přípravy instrukce a na vstup registru 21 přeložené adresy předečítaných dat.

Přeložená adresa se v adresovém komparátoru 17 rychlé vyrovnávací paměti porovnává s adresou, která je přivedena z výstupu 151 adresáře 15 rychlé vyrovnávací paměti na druhý adresový vstup téhož komparátoru 17. Porovnání se provádí s přihlédnutím k platnostní informaci, která je přivedena ve formě řídicího signálu z výstupu 161 příznakové části 16 rychlé vy-

rovnávací paměti na řídicí vstup adresového komparátoru 17 rychlé vyrovnávací paměti. Výsledek porovnání je přiveden jako řídicí signál z výstupu 171 téhož komparátoru 17 na třetí vstup řadiče 13. Adresář 15 i příznaková část 16 rychlé vyrovnávací paměti jsou adresované spodní částí virtuální adresy, která postupuje ze spodního adresového vstupu 5 celého obvodu na druhý vstup adresáře 15 rychlé vyrovnávací paměti a na vstup příznakové části 16 rychlé vyrovnávací paměti. Adresář 15 rychlé vyrovnávací paměti lze aktualizovat přeloženou adresou, která je přivedena z vnitřní adresové sběrnice 22 na první vstup téhož adresáře. Není-li v rychlé vyrovnávací paměti žádaná položka, nahraje se přeložená adresa z vnitřní adresové sběrnice 22 buď do registru 19 přeložené adresy operačního procesoru, nebo do registru 20 přeložené adresy přípravy instrukce, nebo registru 21 přeložené adresy předečítaných dat. Přeložená adresa postupuje pak buď z výstupu 191 registru 19 přeložené adresy operačního procesoru na první vstup multiplexoru 18, nebo z výstupu 201 registru 20 přeložené adresy přípravy instrukce na druhý vstup multiplexoru 18, nebo z výstupu 211 registru 21 přeložené adresy předečítaných dat na třetí vstup multiplexoru 18. Multiplexor 18 vybírá přeloženou adresu z jednoho ze tří registrů přeložené adresy a vysílá tuto adresu z jeho druhého výstupu 181 na vnější adresovou sběrnici. Celý obvod je spojen touto vnější adresovou sběrnici s operační pamětí. Přeložená adresa z prvního výstupu 182 multiplexoru 18 postupuje na adresový výstup 1 celého obvodu.

Zapojení adresových obvodů rychlé vyrovnávací paměti s pamětí přeložených adres podle vynálezu má proti známým zapojením výhodu v tom, že vybavování informací jak z paměti přeložených adres, tak z rychlé vyrovnávací paměti probíhá současně s tím, že část ochranného klíče je v příznakové části paměti přeložených adres a část je v paměti odkazu, která je adresována až přeloženou adresou z paměti přeložených adres. Toto řešení má výhodu v tom, že při čtení i zápisu ochranného klíče není třeba sekvenčně prohledávat položky paměti přeložených adres. Při čtení ochranného klíče stačí pouze přečíst ochranný klíč z paměti klíčů u operační paměti a část ochranného klíče z paměti odkazů. Tímto způsobem se zvyšuje rychlost počítače, přičemž nejsou zapotřebí obvody pro čtení paměti přeložených adres. Zapojení podle vynálezu využívá tři registry přeložených adres,

222 950

každý pro jiný druh žádosti. Po ukončení jednoho styku mezi operační pamětí a rychlou vyrovnávací pamětí lze bez časové ztráty provádět další styk s operační pamětí, ale s jinou adresou uloženou v jiném ze tří registrů přeložených adres. Toto řešení je hlavně výhodné u rychlých vyrovnávacích pamětí pracujících s režimem zápisu, kdy každý zápis generovaný operačním procesorem se provádí vždy do operační paměti.

Zapojení podle vynálezu lze s výhodou použít v počítačích pracujících s virtuálním adresováním a používajících rychlé vyrovnávací paměti.

# PŘEDMĚT VYNÁLEZU

222 950

Zapojení adresových obvodů rychlé vyrovnávací paměti s pamětí přeložených adres, v y z n a č e n é t í m , že střední adresový vstup (2) celého obvodu je spojen se vstupem adresáře (7) paměti přeložených adres, se vstupem příznakové části (9) paměti přeložených adres, dále se vstupem datové části (10) paměti přeložených adres a s druhým vstupem sledovače (11), přičemž horní adresový vstup (3) celého obvodu je spojen s prvním vstupem adresového komparátoru (8) paměti přeložených adres a s prvním vstupem sledovače (11), zatímco výstup (71) adresáře (7) paměti přeložených adres je spojen s druhým vstupem adresového komparátoru (8) paměti přeložených adres, jehož výstup (81) je spojen s prvním vstupem řadiče (13) a řídicí vstup (4) celého obvodu je spojen s prvním vstupem komparátoru (12) klíče, jehož druhý vstup je spojen s výstupem (91) příznakové části (9) paměti přeložených adres a jehož výstup (121) je spojen s druhým vstupem řadiče (13), zatímco jeho třetí vstup je spojen s výstupem (171) adresového komparátoru (17) rychlé vyrovnávací paměti, přičemž výstup (101) datové části (10) paměti přeložených adres je spojen prostřednictvím vnitřní adresové sběrnice (22) s výstupem (111) sledovače (11), se vstupem paměti (14) odkazů, s prvním adresovým vstupem adresového komparátoru (17) rychlé vyrovnávací paměti, a dále s prvním vstupem adresáře (15) rychlé vyrovnávací paměti, se vstupem registru (19) přeložené adresy operačního procesoru a rovněž se vstupem registru (20) přeložené adresy přípravy instrukce a se vstupem registru (21) přeložené adresy předečítaných dat, přičemž výstup (191) registru (19) přeložené adresy operačního procesoru je spojen s prvním vstupem multiplexoru (18), jehož druhý vstup je spojen s výstupem (201) registru (20) přeložené adresy přípravy instrukce a výstup (211) registru (21) přeložené adresy předečítaných dat je spojen s třetím vstupem multiplexoru (18), jehož druhý výstup (181) je připojen na vnější adresovou sběrnici (6), která je zároveň vnějším výstupem celého obvodu, zatímco první výstup (182) multiplexoru (18) je spojen s adresovým výstupem (1) celého obvodu a spodní adresový vstup (5) celého obvodu je spojen s druhým vstupem adresáře (15) rychlé vyrovnávací paměti a se vstupem příznakové části (16) rychlé vyrovnávací paměti, jejíž výstup (161) je spojen s ovládacím vstupem adresového komparáto-

222 950

ru 17 rychlé vyrovnávací paměti, jehož druhý adresový vstup je spojen s výstupem (151) adresáře (15) rychlé vyrovnávací paměti.

1 výkres

