

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年12月19日(19.12.2024)



(10) 国際公開番号

WO 2024/257544 A1

(51) 国際特許分類:

H01L 23/50 (2006.01) H01L 23/31 (2006.01)
H01L 23/29 (2006.01)

(21) 国際出願番号: PCT/JP2024/018096

(22) 国際出願日: 2024年5月16日(16.05.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2023-096748 2023年6月13日(13.06.2023) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町 2 1 番地 Kyoto (JP).

(72) 発明者: 菊地 登茂平 (KIKUCHI Tomohira);
〒6158585 京都府京都市右京区西院溝崎町 2
1 番地 ローム株式会社内 Kyoto (JP).

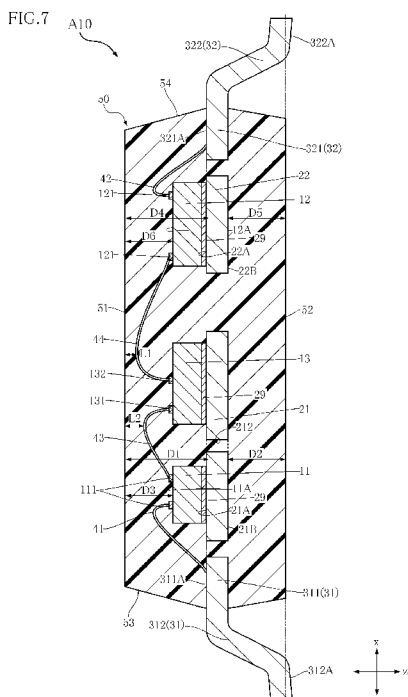
(74) 代理人: 白井 尚, 外 (USUI Takashi et al.);
〒5430014 大阪府大阪市天王寺区玉造元町
2 番 3 2 - 1 3 0 1 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device according to the present invention comprises a first die pad, a first semiconductor element, a first lead, a first conductive member, and a sealing resin. The first conductive member is conductively joined to the first semiconductor element and the first lead. The first die pad, the first semiconductor element, and the first conductive member are covered with the sealing resin. The first lead protrudes from the first side surface of the sealing resin. A first distance D1, a second distance D2, and a third distance D3 satisfy a relationship $D1 > D2 \geq D3$. In a first direction z, the first conductive member 41 is positioned between a first mounting surface 21A of the first die pad 21 and the top surface 51 of the sealing resin 50.

(57) 要約: 半導体装置は、第1ダイパッド、第1半導体素子、第1リード、第1導通部材および封止樹脂を備える。前記第1導通部材は、前記第1半導体素子と前記第1リードとに導電接合されている。前記第1ダイパッド、前記第1半導体素子および前記第1導通部材は、前記封止樹脂に覆われている。前記第1リードは、前記封止樹脂の第1側面から突出している。第1距離D1、第2距離D2および第3距離D3は、 $D1 > D2 \geq D3$ の関係を満たす。第1方向zにおいて、第1導通部材41は、第1ダイパッド21の第1搭載面21Aと封止樹脂50の頂面51との間に位置する。

DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS,
IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE,
SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体装置に関する。

背景技術

[0002] 特許文献 1 に開示されている半導体装置は、2つのダイパッドと、2つのダイパッドに個別に搭載された制御素子（コントローラ）および駆動素子（ゲートドライバ）と、2つのダイパッド、制御素子および駆動素子を覆う封止樹脂とを備える。当該半導体装置は、IGBTやMOSFETなどのスイッチング素子を駆動する。当該半導体装置は、インバータ回路などに用いられる。

[0003] ここで、当該半導体装置においては、駆動素子に供給される電源電圧は、スイッチング素子に印加される電圧以上であるため、制御素子に供給される電源電圧と、駆動素子に供給される電源電圧とは異なる。このため、制御素子およびその導電経路に印加される電圧と、駆動素子およびその導電経路に印加される電圧とに差異が生じる。そこで、当該半導体装置においては、制御素子と駆動素子との間の電気信号の伝送経路に絶縁素子を介在させることによって、制御素子およびその導電経路と、駆動素子およびその導電経路とが互いに絶縁されている。これにより、制御素子および駆動素子の各々が絶縁破壊することが防止される。

[0004] 当該半導体装置においては、制御素子および駆動素子のいずれかと端子とに導電接合されたワイヤをさらに備える。ここで、当該半導体装置の大きさをより小さくする、または当該半導体装置の大きさを変えずに制御素子および駆動素子の各々の大きさをより大きくすると、ワイヤを覆う封止樹脂の被りがより小さくなる。当該被りが小さくなると、当該半導体装置の絶縁耐圧の低下が懸念される。

先行技術文献

特許文献

[0005] 特許文献1：特開2016-207714号公報

[0006] 概要：

本開示は、従来より改良が施された半導体装置を提供することを一の課題とする。特に本開示は、先述の事情に鑑み、装置の大型化を招くことなく、当該装置の絶縁耐圧の低下を抑制することが可能な半導体装置を提供することを一の課題とする。

[0007] 本開示の第1の側面によって提供される半導体装置は、第1方向において互いに反対側を向く第1搭載面および第1裏面を有する第1ダイパッドと、前記第1搭載面に搭載された第1半導体素子と、前記第1ダイパッドから離れた第1リードと、前記第1半導体素子と前記第1リードとに導電接合された第1導通部材と、前記第1ダイパッド、前記第1半導体素子および前記第1導通部材を覆う封止樹脂とを備える。前記第1半導体素子は、前記第1方向において前記第1搭載面と同じ側を向く第1素子面を有する。前記封止樹脂は、前記第1方向において前記第1搭載面と同じ側を向く頂面と、前記第1方向において前記頂面とは反対側を向く底面と、前記第1方向に対して直交する第2方向の一方側を向く第1側面とを有する。前記第1リードは、前記第1側面から突出している。前記第1方向における前記第1搭載面と前記頂面との第1間隔をD1、前記第1方向における前記第1裏面と前記底面との第2間隔をD2、前記第1方向における前記第1素子面と前記頂面との第3間隔をD3、とすると、 $D1 > D2 \geq D3$ の関係を満たす。前記第1方向において、前記第1導通部材は、前記第1搭載面と前記頂面との間に位置する。

[0008] 本開示のその他の特徴および利点は、添付図面に基づき以下に行う詳細な説明によって、より明らかとなる。

図面の簡単な説明

[0009] [図1]図1は、本開示の第1実施形態にかかる半導体装置の平面図である。

[図2]図2は、図1に対応する平面図であり、封止樹脂を透過して示している

。

[図3]図3は、図1に示す半導体装置の正面図である。

[図4]図4は、図1に示す半導体装置の背面図である。

[図5]図5は、図1に示す半導体装置の左側面図である。

[図6]図6は、図1に示す半導体装置の右側面図である。

[図7]図7は、図2のV I I - V I I 線に沿う断面図である。

[図8]図8は、図2のV I I I - V I I I 線に沿う断面図である。

[図9]図9は、図2のI X - I X 線に沿う断面図である。

[図10]図10は、本開示の第2実施形態にかかる半導体装置の平面図であり、封止樹脂を透過している。

[図11]図11は、図10のX I - X I 線に沿う断面図である。

[図12]図12は、本開示の第3実施形態にかかる半導体装置の平面図である。

。

[図13]図13は、図12に対応する平面図であり、封止樹脂を透過して示している。

[図14]図14は、図12に示す半導体装置の正面図である。

[図15]図15は、図12に示す半導体装置の左側面図である。

[図16]図16は、図13のX V I - X V I 線に沿う断面図である。

[0010] 詳細な説明：

本開示の詳細について、添付図面に基づき説明する。

[0011] 第1実施形態：

図1～図9に基づき、本開示の第1実施形態にかかる半導体装置A10について説明する。半導体装置A10は、第1半導体素子11、第2半導体素子12、絶縁素子13、第1ダイパッド21、第2ダイパッド22、複数の第1リード31、複数の第2リード32、および封止樹脂50を備える。さらに半導体装置A10は、第3リード33、第4リード34、第5リード35、第6リード36、2つの第7リード37、複数の第1導通部材41、複数の第2導通部材42、複数の第3導通部材43、および複数の第4導通部

材44を備える。半導体装置A10は、たとえば電気自動車またはハイブリッド自動車などのインバータ装置の配線基板に表面実装されるものである。半導体装置A10のパッケージ形式は、SOP (Small Outline Package) である。ただし、半導体装置A10のパッケージ形式は、SOPに限定されない。ここで、図2は、理解の便宜上、封止樹脂50を透過して示している。図2においては、封止樹脂50の外形を想像線（二点鎖線）で示している。

[0012] 半導体装置A10の説明においては、便宜上、後述する第1ダイパッド21の第1搭載面21Aの法線方向を「第1方向z」と呼ぶ。第1方向zに対して直交する一方向を「第2方向x」と呼ぶ。第1方向zおよび第2方向xの各々に対して直交する方向を「第3方向y」と呼ぶ。

[0013] 半導体装置A10においては、第1半導体素子11、第2半導体素子12および絶縁素子13は、それぞれ個々の素子で構成されている。第2半導体素子12は、第2方向xにおいて絶縁素子13を基準として第1半導体素子11とは反対側に位置する。絶縁素子13は、第3方向yにおいて第1半導体素子11の隣に位置する。第1方向zに視て（平面視において）、第1半導体素子11、第2半導体素子12および絶縁素子13の各々は、第3方向yを長辺とする矩形状である。

[0014] 第1半導体素子11は、第2半導体素子12を制御する。第1半導体素子11は、他の半導体装置から入力された電気信号をPWM制御信号に変換する回路と、当該PWM制御信号を第2半導体素子12へ伝送するための送信回路と、第2半導体素子12からの電気信号を受ける受信回路とを具備する。

[0015] 第2半導体素子12は、半導体装置A10の外部に位置するスイッチング素子を駆動する。スイッチング素子は、たとえばIGBT (Insulated Gate Bipolar Transistor) やMOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) である。第2半導体素子12は、PWM制御信号を受信する受信回路と、当該PWM制御信号に基づきスイッチング素子を駆動するための回路と、電気信号を第1半導体素子11へ伝送するための送信回路と

を具備する。当該電気信号は、たとえばモータ近傍に配置された温度センサからの出力信号が挙げられる。

[0016] 絶縁素子13は、PWM (Pulse Width Modulation) 制御信号などの電気信号を絶縁状態で伝送する。絶縁素子13は、インダクタ結合型である。インダクタ結合型の絶縁素子13の一例として、絶縁型トランスが挙げられる。絶縁型トランスは、2つのインダクタ（コイル）を誘導結合させることで、絶縁状態による電気信号の伝送を行う。当該2つのインダクタは、送信側インダクタおよび受信側インダクタを含む。当該2つのインダクタの各々は、第1方向zに積層されている。送信側インダクタと受信側インダクタとの間には、二酸化ケイ素（ SiO_2 ）などからなる誘電体層が位置する。当該誘電体層により、送信側インダクタと受信側インダクタとは、電気絶縁されている。この他、絶縁素子13は、キャパシティブ型でよい。キャパシティブ型の絶縁素子13の一例として、コンデンサが挙げられる。

[0017] 第1半導体素子11および第2半導体素子12の各々に印加される電圧は、互いに異なる。このため、第1半導体素子11と第2半導体素子12との間に電位差が生じる。半導体装置A10においては、第2半導体素子12に印加される電圧は、第1半導体素子11に印加される電圧より高い。あわせて半導体装置A10においては、第2半導体素子12に供給される電源電圧は、第1半導体素子11に供給される電源電圧より高い。

[0018] 半導体装置A10においては、第1半導体素子11を具備する第1回路と、第2半導体素子12を具備する第2回路とが、絶縁素子13により互いに絶縁されている。絶縁素子13は、第1回路と第2回路とに導通している。第1回路は、第1半導体素子11の他、複数の第1リード31、第3リード33および第5リード35を含む。第2回路は、第2ダイパッド22の他、複数の第2リード32、第4リード34および第6リード36を含む。第1回路と第2回路とは、相対的に電位が異なる。半導体装置A10においては、第1回路の電位は、第2回路の電位より高い。絶縁素子13は、第1回路と第2回路との間の相互信号を中継する。たとえば、電気自動車やハイブリ

ッド自動車のインバータ装置においては、第1半導体素子11のグランド（GND）に印加させる電圧が0V程度であることに対し、第2半導体素子12のグランドに印加される電圧が過渡的に600V以上となることがある。

[0019] 図7に示すように、第1半導体素子11は、後述する第1ダイパッド21の第1搭載面21Aと第1方向zにおいて同じ側を向く第1素子面11Aを有する。図2および図7に示すように、第1半導体素子11は、複数の第1電極111を有する。複数の第1電極111は、第1素子面11Aに設けられている。複数の第1電極111は、たとえばアルミニウム（Al）を含む。複数の第1電極111は、第1半導体素子11に構成された回路に導通している。

[0020] 図7に示すように、第2半導体素子12は、後述する第2ダイパッド22の第2搭載面22Aと第1方向zにおいて同じ側を向く第2素子面12Aを有する。図2、図7および図9に示すように、第2半導体素子12は、複数の第2電極121を有する。複数の第2電極121は、第2素子面12Aに設けられている。複数の第2電極121は、たとえばアルミニウムを含む。複数の第2電極121は、第2半導体素子12に構成された回路に導通している。

[0021] 図2および図7に示すように、絶縁素子13は、第2方向xにおいて、第2半導体素子12と第1半導体素子11との間に位置する。換言すれば、第1半導体素子11は、第2方向xにおいて絶縁素子13を基準として第2半導体素子12とは反対側に位置する。絶縁素子13の第1方向zの一方側（第1方向zにおいて第1半導体素子11の第1素子面11Aが向く側）には、複数の第3電極131、および複数の第4電極132が設けられている。各第3電極131および各第4電極132は、送信側インダクタまたは受信側インダクタにそれぞれ導通している。複数の第3電極131は、第3方向yに沿って配列され、かつ第2方向xにおいて第1半導体素子11と第2半導体素子12との間に位置する。複数の第4電極132は、第3方向yに沿って配列され、かつ第2方向xにおいて複数の第3電極131を基準として第

1 半導体素子 1 1 とは反対側に位置する。複数の第 3 電極 1 3 1、および複数の第 4 電極 1 3 2 は、たとえばアルミニウムを含む。

[0022] 封止樹脂 5 0 は、図 1 に示すように、第 1 半導体素子 1 1、第 2 半導体素子 1 2、絶縁素子 1 3、第 1 ダイパッド 2 1 および第 2 ダイパッド 2 2 を覆っている。図 7 に示すように、封止樹脂 5 0 は、複数の第 1 導通部材 4 1、複数の第 2 導通部材 4 2、複数の第 3 導通部材 4 3、および複数の第 4 導通部材 4 4 をさらに覆っている。封止樹脂 5 0 は、絶縁体である。封止樹脂 5 0 は、たとえばエポキシ樹脂を含む材料からなる。第 1 方向 z に視て、封止樹脂 5 0 は矩形状である。

[0023] 図 3～図 6 に示すように、封止樹脂 5 0 は、頂面 5 1、底面 5 2、第 1 側面 5 3、第 2 側面 5 4、および 2 つの第 3 側面 5 5 を有する。

[0024] 図 3～図 6 に示すように、頂面 5 1 および底面 5 2 は、第 1 方向 z において互いに反対側を向く。頂面 5 1 は、第 1 方向 z において後述する第 1 ダイパッド 2 1 の第 1 搭載面 2 1 A と同じ側を向く。

[0025] 図 3 および図 4 に示すように、第 1 側面 5 3 は、頂面 5 1 および底面 5 2 につながるとともに、第 2 方向 x の一方側を向く。第 1 側面 5 3 は、第 2 側面 5 4 より第 1 ダイパッド 2 1 の近くに位置する。第 1 側面 5 3 は、第 1 領域 5 3 1、第 2 領域 5 3 2 および第 3 領域 5 3 3 を含む。第 1 領域 5 3 1 は、面内方向として第 1 方向 z を含む。第 1 方向 z に視て、第 1 領域 5 3 1 は、頂面 5 1 および底面 5 2 の各々より外方に位置する。第 2 領域 5 3 2 は、第 1 方向 z において第 1 領域 5 3 1 と頂面 5 1 との間に位置する。第 3 領域 5 3 3 は、第 1 領域 5 3 1 を基準として第 2 領域 5 3 2 とは反対側に位置する。第 2 領域 5 3 2 および第 3 領域 5 3 3 の各々は、第 1 領域 5 3 1 に対して傾斜している。第 1 領域 5 3 1 に対する第 2 領域 5 3 2 の傾斜角 $\alpha 1$ は、第 1 領域 5 3 1 に対する第 3 領域 5 3 3 の傾斜角 $\beta 1$ より大きい。

[0026] 図 3 および図 4 に示すように、第 2 側面 5 4 は、頂面 5 1 および底面 5 2 につながるとともに、第 2 方向 x において第 1 側面 5 3 とは反対側を向く。第 2 側面 5 4 は、第 1 側面 5 3 より第 2 ダイパッド 2 2 の近くに位置する。

第2側面54は、第4領域541、第5領域542および第6領域543を含む。第4領域541は、面内方向として第1方向zを含む。第1方向zに視て、第4領域541は、頂面51および底面52の各々より外方に位置する。第5領域542は、第1方向zにおいて第4領域541と頂面51との間に位置する。第6領域543は、第4領域541を基準として第5領域542とは反対側に位置する。第5領域542および第6領域543の各々は、第4領域541に対して傾斜している。第4領域541に対する第5領域542の傾斜角 α_2 は、第4領域541に対する第6領域543の傾斜角 β_2 より大きい。

[0027] 図5および図6に示すように、2つの第3側面55の各々は、頂面51および底面52につながるとともに、第3方向yにおいて互いに反対側を向く。2つの第3側面55の各々は、第7領域551、第8領域552および第9領域553を含む。第7領域551は、面内方向として第1方向zを含む。第1方向zに視て、第7領域551は、頂面51および底面52の各々より外方に位置する。第8領域552は、第1方向zにおいて第7領域551と頂面51との間に位置する。第9領域553は、第7領域551を基準として第8領域552とは反対側に位置する。第8領域552および第9領域553の各々は、第7領域551に対して傾斜している。第7領域551に対する第8領域552の傾斜角 α_3 は、第7領域551に対する第9領域553の傾斜角 β_3 より大きい。

[0028] 第1ダイパッド21、第2ダイパッド22、複数の第1リード31、複数の第2リード32、第3リード33、第4リード34、第5リード35、第6リード36、および2つの第7リード37は、いずれも銅(Cu)を含む。第1ダイパッド21、第2ダイパッド22、およびこれらのリードは、同一のリードフレームから得られる。

[0029] 第1ダイパッド21および第2ダイパッド22は、図1および図2に示すように、第2方向xにおいて互いに離れている。半導体装置A10においては、第1半導体素子11および絶縁素子13が第1ダイパッド21に搭載さ

れ、かつ第2半導体素子12が第2ダイパッド22に搭載されている。この場合において、第1方向zに視て、第1ダイパッド21の面積は、第2ダイパッド22の面積より大きい。図示された例とは異なり、第1半導体素子11が第1ダイパッド21に搭載され、かつ第2半導体素子12および絶縁素子13が第2ダイパッド22に搭載されてよい。

[0030] 図7および図8に示すように、第1ダイパッド21は、第1方向zにおいて互いに反対側を向く第1搭載面21Aおよび第1裏面21Bを有する。第1搭載面21Aは、第1方向zにおいて封止樹脂50の頂面51と同じ側を向く。第1半導体素子11および絶縁素子13の各々は、接合層29を介して第1搭載面21Aに接合されている。接合層29は、金属粒子を含むペーストからなる。当該金属粒子は、たとえば銀(Ag)である。したがって、接合層29は、導電体である。この他、接合層29は、ハンダでよい。

[0031] 図7に示すように、第1ダイパッド21の第1搭載面21Aと封止樹脂50の頂面51との第1方向zにおける間隔を第1間隔D1とする。第1ダイパッド21の第1裏面21Bと封止樹脂50の底面52との第1方向zにおける間隔を第2間隔D2とする。第1半導体素子11の第1素子面11Aと頂面51との第1方向zにおける間隔を第3間隔D3とする。このとき、 $D1 > D2 \geq D3$ の関係を満たす。

[0032] 図2、図7および図8に示すように、第1ダイパッド21には、2つの第1孔211、複数の第2孔212、2つの第3孔213が設けられている。2つの第1孔211、複数の第2孔212、および2つの第3孔213の各々は、第1ダイパッド21を第1方向zに貫通している。2つの第1孔211は、第3方向yにおいて第1半導体素子11の両側にそれぞれ位置する。2つの第1孔211の各々は、第2方向xに延びている。複数の第2孔212は、第2方向xにおいて第1半導体素子11と絶縁素子13との間に位置する。複数の第2孔212の各々は、第3方向yに延びている。複数の第2孔212は、第3方向yに沿って配列されている。2つの第3孔213は、第3方向yにおいて絶縁素子13の両側に位置する。2つの第3孔213の

各々は、第2方向xに延びている。

[0033] 図7および図9に示すように、第2ダイパッド22は、第1方向zにおいて互いに反対側を向く第2搭載面22Aおよび第2裏面22Bを有する。第2搭載面22Aは、第1方向zにおいて第1ダイパッド21の第1搭載面21Aと同じ側を向く。第2半導体素子12は、接合層29を介して第2搭載面22Aに接合されている。

[0034] 図7に示すように、第2ダイパッド22の第2搭載面22Aと封止樹脂50の頂面51との第1方向zにおける間隔を第4間隔D4とする。第2ダイパッド22の第2裏面22Bと封止樹脂50の底面52との第1方向zにおける間隔を第5間隔D5とする。第2半導体素子12の第2素子面12Aと頂面51との第1方向zにおける間隔を第6間隔D6とする。このとき、 $D4 > D5 \geq D6$ の関係を満たす。

[0035] 複数の第1リード31は、図1および図2に示すように、第3方向yにおいて第3リード33と第5リード35との間に位置する。複数の第1リード31は、第2方向xにおいて第1ダイパッド21を基準として第2ダイパッド22とは反対側に位置する。複数の第1リード31は、第3方向yに沿って配列されている。複数の第1リード31の少なくともいずれかは、第1半導体素子11に導通している。

[0036] 図2および図7に示すように、複数の第1リード31の各々は、第1インナ部311および第1アウト部312を有する。第1インナ部311は、封止樹脂50に覆われている。図7に示すように、第1インナ部311は、第1接続面311Aを有する。第1接続面311Aは、第1方向zにおいて第1ダイパッド21の第1搭載面21Aと同じ側を向く。第1接続面311Aおよび第1搭載面21Aの各々は、同一の面内に含まれる。第1アウト部312は、第1インナ部311につながっている。第1アウト部312は、封止樹脂50の第1側面53の第1領域531から突出している。第1方向zに視て、第1アウト部312は、第2方向xに延びている。第3方向yに視て、第1アウト部312はガルウィング状に屈曲している。第1アウト部3

12の形状は、後述する第3リード33の第3アウト部332（図4参照）の形状に等しい。第1アウト部312の表面には、たとえば錫めっきが施されている。

[0037] 図7に示すように、第1アウト部312は、第1実装面312Aを有する。第1実装面312Aは、第1方向zにおいて第1インナ部311の第1接続面311Aとは反対側を向く。第1実装面312Aは、第1方向zにおいて第1接続面311Aから最も遠くに位置する。第1実装面312Aは、封止樹脂50の底面52を含む面内から突出している。第1実装面312Aは、底面52に対して傾斜している。

[0038] 第3リード33は、図1および図2に示すように、第1ダイパッド21に向けて延びる部分を含むとともに、封止樹脂50の2つの第3側面55のいずれかから最も近くに位置する。第3リード33は、第1ダイパッド21の第3方向yの一方側につながっている。第3リード33は、2つの第3側面55の各々から離れている。第3リード33は、第3インナ部331および第3アウト部332を有する。第3インナ部331は、第1ダイパッド21につながり、かつ封止樹脂50に覆われている。第3アウト部332は、第3インナ部331につながっている。第3アウト部332は、封止樹脂50の第1側面53の第1領域531から突出している。第1方向zに視て、第3アウト部332は、第2方向xに延びている。図4に示すように、第3アウト部332は、第3方向yに視てガルウィング状に屈曲している。第3アウト部332の表面には、たとえば錫めっきが施されている。

[0039] 第5リード35は、図1および図2に示すように、第1ダイパッド21に向けて延びる部分を含むとともに、封止樹脂50の2つの第3側面55のいずれかから最も近くに位置する。第5リード35は、第1ダイパッド21の第3方向yにおいて第3リード33が位置する側とは反対側につながっている。第5リード35は、2つの第3側面55の各々から離れている。第5リード35は、第5インナ部351および第5アウト部352を有する。第5インナ部351は、第1ダイパッド21につながり、かつ封止樹脂50に

覆われている。第5アウト部352は、第5インナ部351につながっている。第5インナ部351は、封止樹脂50の第1側面53の第1領域531から突出している。第1方向zに視て、第5アウト部352は、第2方向xに延びている。図3に示すように、第5アウト部352は、第3方向yに視てガルウイング状に屈曲している。第5アウト部352の表面には、たとえば錫めっきが施されている。

[0040] 図8に示すように、第3方向yに視て、第3リード33の第3インナ部331と、第5リード35の第5インナ部351との各々は、第1ダイパッド21に重なっている。

[0041] 複数の第2リード32は、図1および図2に示すように、第3方向yにおいて第4リード34と第6リード36との間に位置する。複数の第2リード32は、第2方向xにおいて第2ダイパッド22を基準として第1ダイパッド21とは反対側に位置する。複数の第2リード32は、第3方向yに沿って配列されている。複数の第2リード32の少なくともいずれかは、第2半導体素子12に導通している。

[0042] 図2および図7に示すように、複数の第2リード32の各々は、第2インナ部321および第2アウト部322を有する。第2インナ部321は、封止樹脂50に覆われている。図7に示すように、第2インナ部321は、第2接続面321Aを有する。第2接続面321Aは、第1方向zにおいて第2ダイパッド22の第2搭載面22Aと同じ側を向く。第2接続面321Aおよび第2搭載面22Aの各々は、同一の面内に含まれる。第2アウト部322は、第2インナ部321につながっている。第2アウト部322は、封止樹脂50の第2側面54の第4領域541から突出している。第1方向zに視て、第2アウト部322は、第2方向xに延びている。第3方向yに視て、第2アウト部322はガルウイング状に屈曲している。第2アウト部322の形状は、後述する2つの第7リード37の各々の第7アウト部372（図3および図4参照）の形状に等しい。第2アウト部322の表面には、たとえば錫めっきが施されている。

[0043] 図7に示すように、第2アウト部322は、第2実装面322Aを有する。第2実装面322Aは、第1方向zにおいて第2インナ部321の第2接続面321Aとは反対側を向く。第2実装面322Aは、第1方向zにおいて第2接続面321Aから最も遠くに位置する。第2実装面322Aは、封止樹脂50の底面52を含む面内から突出している。第2実装面322Aは、底面52に対して傾斜している。

[0044] 第4リード34は、図1および図2に示すように、第2ダイパッド22に向けて延びる部分を含むとともに、封止樹脂50の2つの第3側面55のいずれかから最も近くに位置する。第4リード34は、第2ダイパッド22の第3方向yの一方側につながっている。第4リード34は、2つの第3側面55の各々から離れている。第4リード34は、第4インナ部341および第4アウト部342を有する。第4インナ部341は、第2ダイパッド22につながり、かつ封止樹脂50に覆われている。第4アウト部342は、第4インナ部341につながっている。第4アウト部342は、封止樹脂50の第2側面54の第4領域541から突出している。第1方向zに視て、第4アウト部342は、第2方向xに延びている。第4アウト部342は、第3方向yに視てガルウィング状に屈曲している。第4アウト部342の形状は、後述する2つの第7リード37の各々の第7アウト部372（図3および図4参照）の形状に等しい。第4アウト部342の表面には、たとえば錫めっきが施されている。

[0045] 第6リード36は、図1および図2に示すように、第2ダイパッド22に向けて延びる部分を含むとともに、封止樹脂50の2つの第3側面55のいずれかから最も近くに位置する。第6リード36は、第2ダイパッド22の第3方向yにおいて第4リード34が位置する側とは反対側につながっている。第6リード36は、2つの第3側面55の各々から離れている。第6リード36は、第6インナ部361および第6アウト部362を有する。第6インナ部361は、第2ダイパッド22につながり、かつ封止樹脂50に覆われている。第6アウト部362は、第6インナ部361につながっている。

。第6アウト部362は、封止樹脂50の第2側面54の第4領域541から突出している。第1方向zに視て、第6アウト部362は、第2方向xに延びている。第6アウト部362は、第3方向yに視てガルウィング状に屈曲している。第6アウト部362の形状は、後述する2つの第7リード37の各々の第7アウト部372（図3および図4参照）の形状に等しい。

[0046] 図9に示すように、第3方向yに視て、第4リード34の第4インナ部341と、第6リード36の第6インナ部361との各々は、第2ダイパッド22に重なっている。

[0047] 2つの第7リード37の各々は、図1および図2に示すように、第1ダイパッド21および第2ダイパッド22のいずれかに向けて延びる部分を含むとともに、封止樹脂50の2つの第3側面55のいずれかから最も近くに位置する。2つの第7リード37は、第3方向yにおいて互いに離れている。半導体装置A10においては、2つの第7リード37の間に複数の第2リード32、第4リード34および第6リード36が位置する。2つの第7リード37の各々は、第1ダイパッド21、第2ダイパッド22、および2つの第3側面55の各々から離れている。2つの第7リード37の各々は、第7インナ部371および第7アウト部372を有する。第7インナ部371は、封止樹脂50に覆われている。第7アウト部372は、第7インナ部371につながっている。第7アウト部372は、封止樹脂50の第2側面54の第4領域541から突出している。第1方向zに視て、第7アウト部372は、第2方向xに延びている。図3および図4に示すように、第7アウト部372は、第3方向yに視てガルウィング状に屈曲している。第7アウト部372の表面には、たとえば錫めっきが施されている。

[0048] 複数の第1導通部材41の各々は、図2および図7に示すように、第1半導体素子11の複数の第1電極111のいずれかと、複数の第1リード31のいずれかの第1インナ部311の第1接続面311Aとに導電接合されている。これにより、複数の第1リード31の少なくともいずれかは、第1半導体素子11に導通している。複数の第1導通部材41の少なくともいずれ

かは、複数の第1電極111のいずれかと、第3リード33の第3インナ部331とに導電接合されている。これにより、第3リード33は、第1半導体素子11に導通している。さらに、複数の第1導通部材41の少なくともいずれかは、複数の第1電極111のいずれかと、第5リード35の第5インナ部351とに導電接合されている。これにより、第5リード35は、第1半導体素子11に導通している。第3リード33および第5リード35の少なくともいずれかは、第1半導体素子11のグランドをなす。

[0049] 図7に示すように、第1方向zにおいて、複数の第1導通部材41は、第1ダイパッド21の第1搭載面21Aと封止樹脂50の頂面51との間に位置する。複数の第1導通部材41は、ワイヤである。第1方向zにおいて、複数の第1導通部材41は、たとえば金を含む。この他、複数の第1導通部材41の各々は、銅を含む芯材と、パラジウムを含みかつ当該芯材を覆う被覆材とを具備するものでよい。

[0050] 複数の第2導通部材42の各々は、図2および図7に示すように、第2半導体素子12の複数の第2電極121のいずれかと、複数の第2リード32のいずれかの第2インナ部321の第2接続面321Aとに導電接合されている。これにより、複数の第2リード32の少なくともいずれかは、第2半導体素子12に導通している。複数の第2導通部材42の少なくともいずれかは、複数の第2電極121のいずれかと、第4リード34の第4インナ部341とに導電接合されている。これにより、第4リード34は、第2半導体素子12に導通している。複数の第2導通部材42の少なくともいずれかは、複数の第2電極121のいずれかと、第6リード36の第6インナ部361とに導電接合されている。これにより、第6リード36は、第2半導体素子12に導通している。第4リード34および第6リード36の少なくともいずれかは、第2半導体素子12のグランドをなす。複数の第2導通部材42の少なくともいずれかは、複数の第2電極121のいずれかと、2つの第7リード37のいずれかの第7インナ部371とに導電接合されている。これにより、2つの第7リード37のいずれかは、第2半導体素子12に導

通している。

[0051] 図7に示すように、第1方向 z において、複数の第2導通部材42は、第2ダイパッド22の第2搭載面22Aと封止樹脂50の頂面51との間に位置する。複数の第2導通部材42は、ワイヤである。複数の第2導通部材42は、たとえば金を含む。この他、複数の第2導通部材42の各々は、銅を含む芯材と、パラジウムを含みかつ当該芯材を覆う被覆材とを具備するものでよい。

[0052] 複数の第3導通部材43の各々は、図2および図7に示すように、絶縁素子13の複数の第3電極131のいずれかと、第1半導体素子11の複数の第1電極111のいずれかとに導電接合されている。これにより、第1半導体素子11は、絶縁素子13に導通している。複数の第3導通部材43は、第3方向 y に沿って配列されている。複数の第3導通部材43のいずれかは、第1ダイパッド21に設けられた複数の第2孔212のいずれかを跨いでいる。

[0053] 複数の第4導通部材44の各々は、図2および図7に示すように、絶縁素子13の複数の第4電極132のいずれかと、第2半導体素子12の複数の第2電極121のいずれかとに導電接合されている。これにより、第2半導体素子12は、絶縁素子13に導通している。複数の第4導通部材44は、第3方向 y に沿って配列されている。複数の第4導通部材44は、第1ダイパッド21と第2ダイパッド22との間を跨いでいる。

[0054] 図7に示すように、第1方向 z において、複数の第3導通部材43、および複数の第4導通部材44の各々は、第1ダイパッド21の第1搭載面21A、および第2ダイパッド22の第2搭載面22Aのいずれかと、封止樹脂50の頂面51との間に位置する。複数の第3導通部材43、および複数の第4導通部材44は、ワイヤである。複数の第3導通部材43、および複数の第4導通部材44は、たとえば金を含む。

[0055] 図7に示すように、第1方向 z において、封止樹脂50の頂面51から複数の第4導通部材44のいずれかに至る距離 $L1$ は、頂面51から複数の第

3導通部材43のいずれかに至る距離 L_2 より短い。

[0056] インバータ装置におけるモータドライバ回路においては、ローサイド（低電位側）スイッチング素子と、ハイサイド（高電位側）スイッチング素子とを含むハーフブリッジ回路が構成されることが一般的である。以下の説明においては、これらのスイッチング素子がMOSFETである場合を対象とする。ここで、ローサイドスイッチング素子においては、当該スイッチング素子のソースと、当該スイッチング素子を駆動するゲートドライバとの基準電位は、ともにグランドとなっている。一方、ハイサイドスイッチング素子においては、当該スイッチング素子のソースと、当該スイッチング素子を駆動するゲートドライバとの基準電位は、ともにハーフブリッジ回路の出力ノードにおける電位に相当する。ハイサイドスイッチング素子およびローサイドスイッチング素子の駆動に応じて出力ノードにおける電位は変化するため、ハイサイドスイッチング素子を駆動するゲートドライバの基準電位は変化する。ハイサイドスイッチング素子がオンの場合は、当該基準電位は、ハイサイドスイッチング素子のドレインに印加される電圧と等価（たとえば600V以上）となる。半導体装置A10においては、第1半導体素子11のグランドと、第2半導体素子12のグランドとは、分離された構成となっている。したがって、ハイサイドスイッチング素子を駆動するためのゲートドライバとして半導体装置A10が使用される場合、第2半導体素子12のグランドには、ハイサイドスイッチング素子のドレインに印加される電圧と等価な電圧が過渡的に印加される。

[0057] 次に、半導体装置A10の作用効果について説明する。

[0058] 半導体装置A10は、第1ダイパッド21、第1半導体素子11、第1リード31、第1導通部材41および封止樹脂50を備える。第1リード31は、封止樹脂50の第1側面53から突出している。第1ダイパッド21の第1搭載面21Aと封止樹脂50の頂面51との第1方向 z における間隔を第1間隔 D_1 とする。第1ダイパッド21の第1裏面21Bと封止樹脂50の底面52との第1方向 z における間隔を第2間隔 D_2 とする。第1半導体

素子 1 1 の第 1 素子面 1 1 A と頂面 5 1 との第 1 方向 z における間隔を第 3 間隔 D_3 とする。これらは、 $D_1 > D_2 \geq D_3$ の関係を満たす。さらに第 1 方向 z において、第 1 導通部材 4 1 は、第 1 搭載面 2 1 A と頂面 5 1 との間に位置する。本構成をとることにより、封止樹脂 5 0 の大きさを拡大することなく、第 1 導通部材 4 1 を覆う封止樹脂 5 0 の被りをより大きくすることができる。したがって、本構成によれば、半導体装置 A 1 0 においては、半導体装置 A 1 0 の大型化を招くことなく、半導体装置 A 1 0 の絶縁耐圧の低下を抑制することが可能となる。

[0059] 封止樹脂 5 0 の第 1 側面 5 3 は、第 1 領域 5 3 1、第 2 領域 5 3 2 および第 3 領域 5 3 3 を含む。第 2 領域 5 3 2 および第 3 領域 5 3 3 の各々は、第 1 領域 5 3 1 に対して傾斜している。第 1 リード 3 1 は、第 1 領域 5 3 1 から突出している。第 1 領域 5 3 1 に対する第 2 領域 5 3 2 の傾斜角 α_1 は、第 1 領域 5 3 1 に対する第 3 領域 5 3 3 の傾斜角 β_1 より大きい。本構成をとることにより、第 1 方向 z において頂面 5 1 と第 1 ダイパッド 2 1 の第 1 搭載面 2 1 A との間に位置する封止樹脂 5 0 の部分を形成する際、成形金型の引き抜きに伴って当該部分に欠損が発生することを抑制できる。

[0060] 半導体装置 A 1 0 は、第 2 ダイパッド 2 2、第 2 半導体素子 1 2、第 2 リード 3 2 および第 2 導通部材 4 2 をさらに備える。第 2 リード 3 2 は、封止樹脂 5 0 の第 2 側面 5 4 から突出している。第 2 ダイパッド 2 2 の第 2 搭載面 2 2 A と封止樹脂 5 0 の頂面 5 1 との第 1 方向 z における間隔を第 4 間隔 D_4 とする。第 2 ダイパッド 2 2 の第 2 裏面 2 2 B と封止樹脂 5 0 の底面 5 2 との第 1 方向 z における間隔を第 5 間隔 D_5 とする。第 2 半導体素子 1 2 の第 2 素子面 1 2 A と頂面 5 1 との第 1 方向 z における間隔を第 6 間隔 D_6 とする。これらは、 $D_4 > D_5 \geq D_6$ の関係を満たす。さらに第 1 方向 z において、第 2 導通部材 4 2 は、第 2 搭載面 2 2 A と頂面 5 1 との間に位置する。本構成をとることにより、封止樹脂 5 0 の大きさを拡大することなく、第 2 導通部材 4 2 を覆う封止樹脂 5 0 の被りをより大きくすることができる。これにより、半導体装置 A 1 0 の絶縁耐圧の低下を効果的に抑制できる。

- [0061] 第3方向yに視て、第3リード33および第5リード35の各々は、第1ダイパッド21に重なっている。本構成をとることにより、成形金型のキャビティにおいて第1ダイパッド21を基準として第1方向zの両側に流れる溶融樹脂の流量がより均一になる。これにより、第1方向zに視て、封止樹脂50の第1ダイパッド21の全体に重なる部分の充填状態がより密実になる。
- [0062] 第3方向yに視て、2つの第7リード37の各々は、第2ダイパッド22に重なっている。本構成をとることにより、成形金型のキャビティにおいて第2ダイパッド22を基準として第1方向zの両側に流れる溶融樹脂の流量がより均一になる。これにより、第1方向zに視て、封止樹脂50の第2ダイパッド22の全体に重なる部分の充填状態がより密実になる。
- [0063] 半導体装置A10は、絶縁素子13、第3導通部材43および第4導通部材44をさらに備える。第1方向zにおいて、第3導通部材43および第4導通部材44の各々は、第1ダイパッド21の第1搭載面21A、および第2ダイパッド22の第2搭載面22Aのいずれかと、封止樹脂50の頂面51との間に位置する。本構成をとることにより、封止樹脂50の大きさを拡大することなく、第3導通部材43を覆う封止樹脂50の被りと、第4導通部材44を覆う封止樹脂50の被りとの各々をより大きくすることができる。これにより、半導体装置A10の絶縁耐圧の低下をさらに効果的に抑制できる。
- [0064] 第1ダイパッド21には、各々が第1方向zに貫通する2つの第1孔211、および第2孔212が設けられている。2つの第1孔211は、第1半導体素子11の第3方向yの両側に位置する。第2孔212は、第2方向xにおいて第1半導体素子11と絶縁素子13との間に位置する。本構成をとることにより、成形金型のキャビティにおいて溶融樹脂が2つの第1孔211、および第2孔212を通過するため、封止樹脂50の充填状態がさらに密実になる。
- [0065] 第2実施形態：

図10および図11に基づき、本開示の第2実施形態にかかる半導体装置A20について説明する。これらの図において、先述した半導体装置A10と同一または類似の要素には同一の符号を付して、重複する説明を省略する。ここで、図10は、理解の便宜上、封止樹脂50を透過して示している。図10においては、封止樹脂50の外形を想像線で示している。

[0066] 半導体装置A20においては、複数の第1リード31、および複数の第2リード32の構成が、半導体装置A10の当該構成と異なる。

[0067] 図11に示すように、封止樹脂50の頂面51は、第1ダイパッド21の第1搭載面21Aより複数の第1リード31の各々の第1接続面311Aの近くに位置する。頂面51は、第2ダイパッド22の第2搭載面22Aより複数の第2リード32の各々の第2接続面321Aの近くに位置する。

[0068] 次に、半導体装置A20の作用効果について説明する。

[0069] 半導体装置A20は、第1ダイパッド21、第1半導体素子11、第1リード31、第1導通部材41および封止樹脂50を備える。第1リード31は、封止樹脂50の第1側面53から突出している。第1方向zにおける第1ダイパッド21の第1搭載面21Aと封止樹脂50の頂面51との間隔を第1間隔D1とする。第1方向zにおける第1ダイパッド21の第1裏面21Bと封止樹脂50の底面52との間隔を第2間隔D2とする。第1方向zにおける第1半導体素子11の第1素子面11Aと頂面51との第3間隔をD3とする。これらは、 $D1 > D2 \geq D3$ の関係を満たす。さらに第1方向zにおいて、第1導通部材41は、第1搭載面21Aと頂面51との間に位置する。したがって、本構成によれば、半導体装置A20においても、半導体装置A20の大型化を招くことなく、半導体装置A20の絶縁耐圧の低下を抑制することが可能となる。さらに半導体装置A20においては、半導体装置A10と共通する構成を具備することにより、半導体装置A10と同等の作用効果を奏する。

[0070] 半導体装置A20においては、封止樹脂50の頂面51は、第1ダイパッド21の第1搭載面21Aより第1リード31の第1接続面311Aの近く

に位置する。本構成をとることにより、第1導通部材41の長さをより短縮できる。

[0071] 第3実施形態：

図12～図16に基づき、本開示の第3実施形態にかかる半導体装置A30について説明する。これらの図において、先述した半導体装置A10と同一または類似の要素には同一の符号を付して、重複する説明を省略する。ここで、図13は、理解の便宜上、封止樹脂50を透過して示している。図13においては、封止樹脂50の外形を想像線で示している。

[0072] 半導体装置A30においては、第3リード33の構成が半導体装置A10の当該構成と異なる。

[0073] 図12および図13に示すように、第3リード33の第3インナ部331は、第1ダイパッド21の第2方向xの一方側に連結されている。第3リード33は、第3方向yにおいて複数の第1リード31のうち2つの第1リード31の間に位置する。第3リード33は、第2方向xにおいて第1ダイパッド21を基準として第2ダイパッド22とは反対側に位置する。

[0074] 図12および図13に示すように、半導体装置A30は、2つの第7リード37に替えて1つの第7リード37を具備する。第7リード37は、第1ダイパッド21の第3方向yの一方側に位置する。複数の第1リード31、および第3リード33は、第3方向yにおいて第7リード37と第5リード35との間に位置する。

[0075] 次に、半導体装置A30の作用効果について説明する。

[0076] 半導体装置A30は、第1ダイパッド21、第1半導体素子11、第1リード31、第1導通部材41および封止樹脂50を備える。第1リード31は、封止樹脂50の第1側面53から突出している。第1方向zにおける第1ダイパッド21の第1搭載面21Aと封止樹脂50の頂面51との間隔を第1間隔D1とする。第1方向zにおける第1ダイパッド21の第1裏面21Bと封止樹脂50の底面52との間隔を第2間隔D2とする。第1方向zにおける第1半導体素子11の第1素子面11Aと頂面51との第3間隔を

D 3とする。これらは、 $D 1 > D 2 \geq D 3$ の関係を満たす。さらに第 1 方向 z において、第 1 導通部材 4 1 は、第 1 搭載面 2 1 A と頂面 5 1 との間に位置する。したがって、本構成によれば、半導体装置 A 3 0 においても、半導体装置 A 3 0 の大型化を招くことなく、半導体装置 A 3 0 の絶縁耐圧の低下を抑制することが可能となる。さらに半導体装置 A 3 0 においては、半導体装置 A 1 0 と共通する構成を具備することにより、半導体装置 A 1 0 と同等の作用効果を奏する。

[0077] 本開示は、先述した実施形態に限定されるものではない。本開示の各部の具体的な構成は、種々に設計変更自在である。

[0078] 本開示は、以下の付記に記載した実施形態を含む。

付記 1.

第 1 方向において互いに反対側を向く第 1 搭載面および第 1 裏面を有する第 1 ダイパッドと、

前記第 1 搭載面に搭載された第 1 半導体素子と、

前記第 1 ダイパッドから離れた第 1 リードと、

前記第 1 半導体素子と前記第 1 リードとに導電接合された第 1 導通部材と、

前記第 1 ダイパッド、前記第 1 半導体素子および前記第 1 導通部材を覆う封止樹脂と、を備え、

前記第 1 半導体素子は、前記第 1 方向において前記第 1 搭載面と同じ側を向く第 1 素子面を有し、

前記封止樹脂は、前記第 1 方向において前記第 1 搭載面と同じ側を向く頂面と、前記第 1 方向において前記頂面とは反対側を向く底面と、前記第 1 方向に対して直交する第 2 方向の一方側を向く第 1 側面と、を有し、

前記第 1 リードは、前記第 1 側面から突出しており、

前記第 1 方向における前記第 1 搭載面と前記頂面との第 1 間隔を D 1、前記第 1 方向における前記第 1 裏面と前記底面との第 2 間隔を D 2、前記第 1 方向における前記第 1 素子面と前記頂面との第 3 間隔を D 3、とそれぞれ定

義すると、 $D_1 > D_2 \geq D_3$ の関係を満たし、

前記第 1 方向において、前記第 1 導通部材は、前記第 1 搭載面と前記頂面との間に位置する、半導体装置。

付記 2.

前記第 1 側面は、面内方向として前記第 1 方向を含む第 1 領域と、前記第 1 方向において前記第 1 領域と前記頂面との間に位置する第 2 領域と、前記第 1 領域を基準として前記第 2 領域とは反対側に位置する第 3 領域と、を含み、

前記第 2 領域および前記第 3 領域の各々は、前記第 1 領域に対して傾斜しており、

前記第 1 リードは、前記第 1 領域から突出しており、

前記第 1 領域に対する前記第 2 領域の傾斜角は、前記第 1 領域に対する前記第 3 領域の傾斜角より大きい、付記 1 に記載の半導体装置。

付記 3.

前記第 1 導通部材は、ワイヤである、付記 2 に記載の半導体装置。

付記 4.

前記第 1 リードは、前記第 1 方向において前記第 1 搭載面と同じ側を向く第 1 接続面を有し、

前記第 1 導通部材は、前記第 1 接続面に導電接合されている、付記 3 に記載の半導体装置。

付記 5.

前記第 1 接続面および前記第 1 搭載面の各々は、同一の面内に含まれる、付記 4 に記載の半導体装置。

付記 6.

前記頂面は、前記第 1 搭載面より前記第 1 接続面の近くに位置する、付記 4 に記載の半導体装置。

付記 7.

前記第 1 リードは、前記封止樹脂から露出しており、かつ前記第 1 方向に

において前記第 1 接続面と反対側を向く第 1 実装面を有し、

前記第 1 実装面は、前記第 1 方向において前記第 1 接続面から最も遠くに位置しており、

前記第 1 実装面は、前記底面を含む面内から突出している、付記 4 に記載の半導体装置。

付記 8.

前記第 1 実装面は、前記底面に対して傾斜している、付記 7 に記載の半導体装置。

付記 9.

前記第 1 方向において前記第 1 搭載面と同じ側を向く第 2 搭載面と、前記第 1 方向において前記第 2 搭載面とは反対側を向く第 2 裏面と、を有する第 2 ダイパッドと、

前記第 2 搭載面に搭載された第 2 半導体素子と、

前記第 2 ダイパッドから離れた第 2 リードと、

前記第 2 半導体素子と前記第 2 リードとに導電接合された第 2 導通部材と、をさらに備え、

前記第 2 半導体素子は、前記第 1 方向において前記第 2 搭載面と同じ側を向く第 2 素子面を有し、

前記封止樹脂は、前記第 2 方向において前記第 1 側面とは反対側を向く第 2 側面を有し、

前記第 2 ダイパッド、前記第 2 半導体素子および前記第 2 導通部材は、前記封止樹脂に覆われており、

前記第 2 リードは、前記第 2 側面から突出しており、

前記第 1 方向における前記第 2 搭載面と前記頂面との第 4 間隔を D_4 、前記第 1 方向における前記第 2 裏面と前記底面との第 5 間隔を D_5 、前記第 1 方向における前記第 2 素子面と前記頂面との第 6 間隔を D_6 、とそれぞれ定義すると、 $D_4 > D_5 \geq D_6$ の関係を満たし、

前記第 1 方向において、前記第 2 導通部材は、前記第 2 搭載面と前記頂面

との間に位置する、付記 1 ないし 8 のいずれかに記載の半導体装置。

付記 10.

前記第 2 導通部材は、ワイヤである、付記 9 に記載の半導体装置。

付記 11.

前記第 1 ダイパッドに連結された第 3 リードをさらに備え、

前記第 3 リードは、前記第 1 側面から突出している、付記 10 に記載の半導体装置。

付記 12.

前記封止樹脂は、前記第 1 方向および前記第 2 方向の各々に対して直交する第 3 方向において互いに離れた 2 つの第 3 側面を有し、

前記第 3 リードは、前記 2 つの第 3 側面の各々から離れている、付記 11 に記載の半導体装置。

付記 13.

前記第 3 リードは、前記第 1 ダイパッドの前記第 1 方向の一方側に連結されている、付記 12 に記載の半導体装置。

付記 14.

前記第 2 ダイパッドに連結された第 4 リードをさらに備え、

前記第 4 リードは、前記第 2 側面から突出している、付記 12 に記載の半導体装置。

付記 15.

前記第 4 リードは、前記 2 つの第 3 側面の各々から離れている、付記 14 に記載の半導体装置。

付記 16.

前記第 1 搭載面に搭載された絶縁素子と、

前記絶縁素子と前記第 1 半導体素子とに導電接合された第 3 導通部材と、

前記絶縁素子と前記第 2 半導体素子とに導電接合された第 4 導通部材と、

をさらに備え、

前記第 1 方向において、前記第 3 導通部材および前記第 4 導通部材の各々

は、前記第1搭載面および前記第2搭載面のいずれかと、前記頂面との間に位置しており、

前記第3導通部材および前記第4導通部材の各々は、ワイヤである、付記15に記載の半導体装置。

付記17.

前記第1方向において、前記頂面から前記第4導通部材に至る距離は、前記頂面から前記第3導通部材に至る距離より短い、付記16に記載の半導体装置。

符号の説明

[0079] A10, A20, A30 : 半導体装置 11 : 第1半導体素子

11A : 第1素子面 111 : 第1電極

12 : 第2半導体素子 12A : 第2素子面

121 : 第2電極 13 : 絶縁素子

131 : 第3電極 132 : 第4電極

21 : 第1ダイパッド 21A : 第1搭載面

21B : 第1裏面 211 : 第1孔

212 : 第2孔 213 : 第3孔

22 : 第2ダイパッド 22A : 第2搭載面

22B : 第2裏面 29 : 接合層

31 : 第1リード 311 : インナ部

311A : 第1接続面 312 : アウタ部

312A : 第1実装面 32 : 第2リード

321 : インナ部 321A : 第2接続面

322 : アウタ部 322A : 第2実装面

33 : 第3リード 331 : 第3インナ部

332 : 第3アウタ部 34 : 第4リード

341 : 第4インナ部 342 : 第4アウタ部

35 : 第5リード 351 : 第5インナ部

3 5 2 : 第 5 アウタ部	3 6 : 第 6 リード
3 6 1 : 第 6 インナ部	3 6 2 : 第 6 アウタ部
3 7 : 第 7 リード	3 7 1 : 第 7 インナ部
3 7 2 : 第 7 アウタ部	4 1 ~ 4 4 : 第 1 導通部材 ~ 第 4 導通部材
5 0 : 封止樹脂	5 1 : 頂面
5 2 : 底面	5 3 : 第 1 側面
5 3 1 ~ 5 3 3 : 第 1 領域 ~ 第 3 領域	5 4 : 第 2 側面
5 4 1 ~ 5 4 3 : 第 4 領域 ~ 第 6 領域	5 5 : 第 3 側面
5 5 1 ~ 5 5 3 : 第 7 領域 ~ 第 9 領域	z : 第 1 方向
x : 第 2 方向	y : 第 3 方向

請求の範囲

- [請求項1] 第1方向において互いに反対側を向く第1搭載面および第1裏面を有する第1ダイパッドと、
 前記第1搭載面に搭載された第1半導体素子と、
 前記第1ダイパッドから離れた第1リードと、
 前記第1半導体素子と前記第1リードとに導電接合された第1導通部材と、
 前記第1ダイパッド、前記第1半導体素子および前記第1導通部材を覆う封止樹脂と、を備え、
 前記第1半導体素子は、前記第1方向において前記第1搭載面と同じ側を向く第1素子面を有し、
 前記封止樹脂は、前記第1方向において前記第1搭載面と同じ側を向く頂面と、前記第1方向において前記頂面とは反対側を向く底面と、前記第1方向に対して直交する第2方向の一方側を向く第1側面と、を有し、
 前記第1リードは、前記第1側面から突出しており、
 前記第1方向における前記第1搭載面と前記頂面との第1間隔を D_1 、前記第1方向における前記第1裏面と前記底面との第2間隔を D_2 、前記第1方向における前記第1素子面と前記頂面との第3間隔を D_3 、とすると、 $D_1 > D_2 \geq D_3$ の関係を満たし、
 前記第1方向において、前記第1導通部材は、前記第1搭載面と前記頂面との間に位置する、半導体装置。
- [請求項2] 前記第1側面は、面内方向として前記第1方向を含む第1領域と、前記第1方向において前記第1領域と前記頂面との間に位置する第2領域と、前記第1領域を基準として前記第2領域とは反対側に位置する第3領域と、を含み、
 前記第2領域および前記第3領域の各々は、前記第1領域に対して傾斜しており、

前記第 1 リードは、前記第 1 領域から突出しており、

前記第 1 領域に対する前記第 2 領域の傾斜角は、前記第 1 領域に対する前記第 3 領域の傾斜角より大きい、請求項 1 に記載の半導体装置。

[請求項3] 前記第 1 導通部材は、ワイヤである、請求項 2 に記載の半導体装置。

[請求項4] 前記第 1 リードは、前記第 1 方向において前記第 1 搭載面と同じ側を向く第 1 接続面を有し、

前記第 1 導通部材は、前記第 1 接続面に導電接合されている、請求項 3 に記載の半導体装置。

[請求項5] 前記第 1 接続面および前記第 1 搭載面の各々は、同一の面内に含まれる、請求項 4 に記載の半導体装置。

[請求項6] 前記頂面は、前記第 1 搭載面より前記第 1 接続面の近くに位置する、請求項 4 に記載の半導体装置。

[請求項7] 前記第 1 リードは、前記封止樹脂から露出しており、かつ前記第 1 方向において前記第 1 接続面と反対側を向く第 1 実装面を有し、

前記第 1 実装面は、前記第 1 方向において前記第 1 接続面から最も遠くに位置しており、

前記第 1 実装面は、前記底面を含む面内から突出している、請求項 4 に記載の半導体装置。

[請求項8] 前記第 1 実装面は、前記底面に対して傾斜している、請求項 7 に記載の半導体装置。

[請求項9] 前記第 1 方向において前記第 1 搭載面と同じ側を向く第 2 搭載面と、前記第 1 方向において前記第 2 搭載面とは反対側を向く第 2 裏面と、を有する第 2 ダイパッドと、

前記第 2 搭載面に搭載された第 2 半導体素子と、

前記第 2 ダイパッドから離れた第 2 リードと、

前記第 2 半導体素子と前記第 2 リードとに導電接合された第 2 導通

部材と、をさらに備え、

前記第2半導体素子は、前記第1方向において前記第2搭載面と同じ側を向く第2素子面を有し、

前記封止樹脂は、前記第2方向において前記第1側面とは反対側を向く第2側面を有し、

前記第2ダイパッド、前記第2半導体素子および前記第2導通部材は、前記封止樹脂に覆われており、

前記第2リードは、前記第2側面から突出しており、

前記第1方向における前記第2搭載面と前記頂面との第4間隔をD4、前記第1方向における前記第2裏面と前記底面との第5間隔をD5、前記第1方向における前記第2素子面と前記頂面との第6間隔をD6、とすると、 $D4 > D5 \geq D6$ の関係を満たし、

前記第1方向において、前記第2導通部材は、前記第2搭載面と前記頂面との間に位置する、請求項1ないし8のいずれかに記載の半導体装置。

[請求項10] 前記第2導通部材は、ワイヤである、請求項9に記載の半導体装置。

[請求項11] 前記第1ダイパッドに連結された第3リードをさらに備え、
前記第3リードは、前記第1側面から突出している、請求項10に記載の半導体装置。

[請求項12] 前記封止樹脂は、前記第1方向および前記第2方向の各々に対して直交する第3方向において互いに離れた2つの第3側面を有し、
前記第3リードは、前記2つの第3側面の各々から離れている、請求項11に記載の半導体装置。

[請求項13] 前記第3リードは、前記第1ダイパッドの前記第1方向の一方側に連結されている、請求項12に記載の半導体装置。

[請求項14] 前記第2ダイパッドに連結された第4リードをさらに備え、
前記第4リードは、前記第2側面から突出している、請求項12に

記載の半導体装置。

[請求項15] 前記第4リードは、前記2つの第3側面の各々から離れている、請求項14に記載の半導体装置。

[請求項16] 前記第1搭載面に搭載された絶縁素子と、
前記絶縁素子と前記第1半導体素子とに導電接合された第3導通部材と、

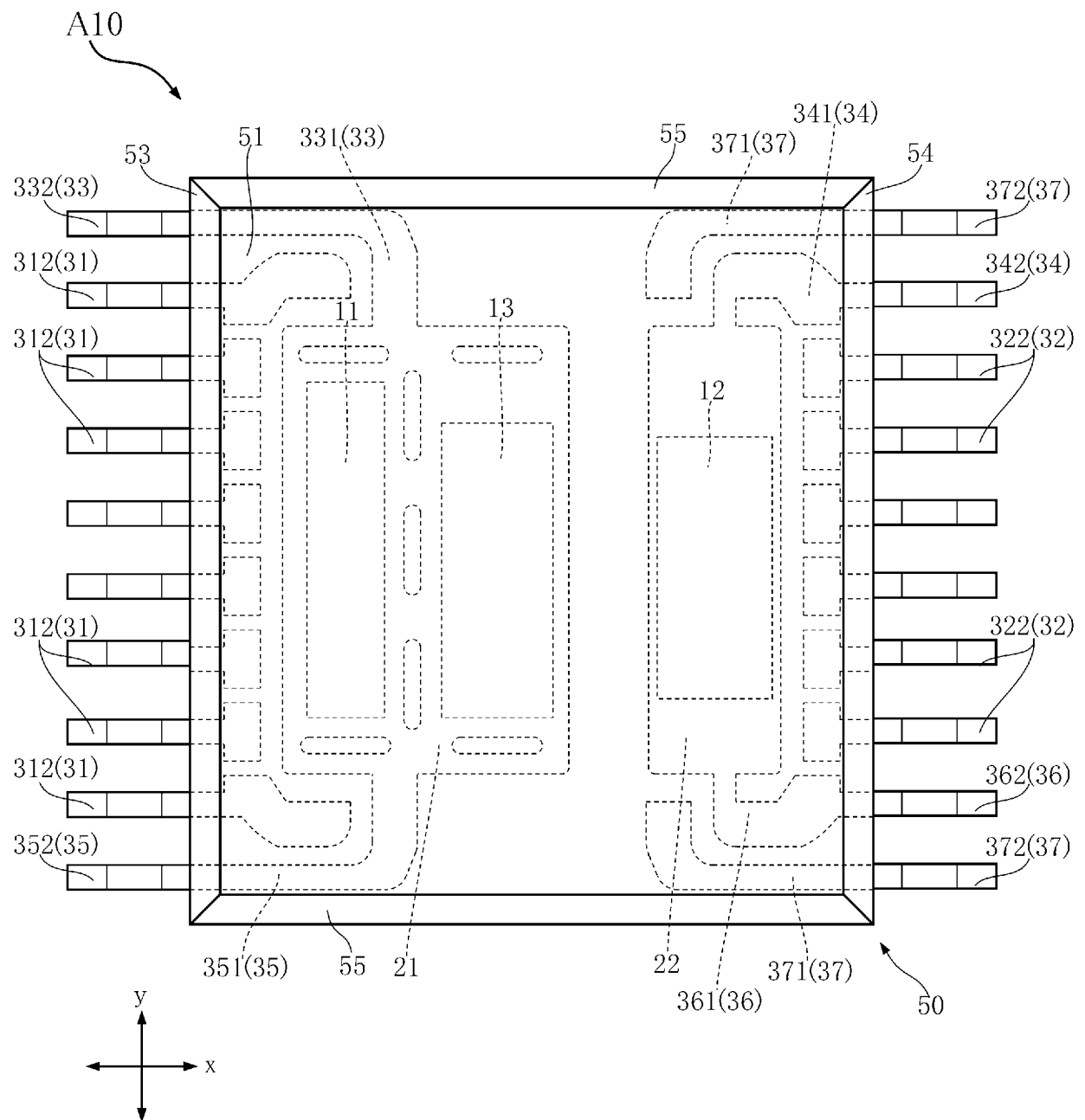
前記絶縁素子と前記第2半導体素子とに導電接合された第4導通部材と、をさらに備え、

前記第1方向において、前記第3導通部材および前記第4導通部材の各々は、前記第1搭載面および前記第2搭載面のいずれかと、前記頂面との間に位置しており、

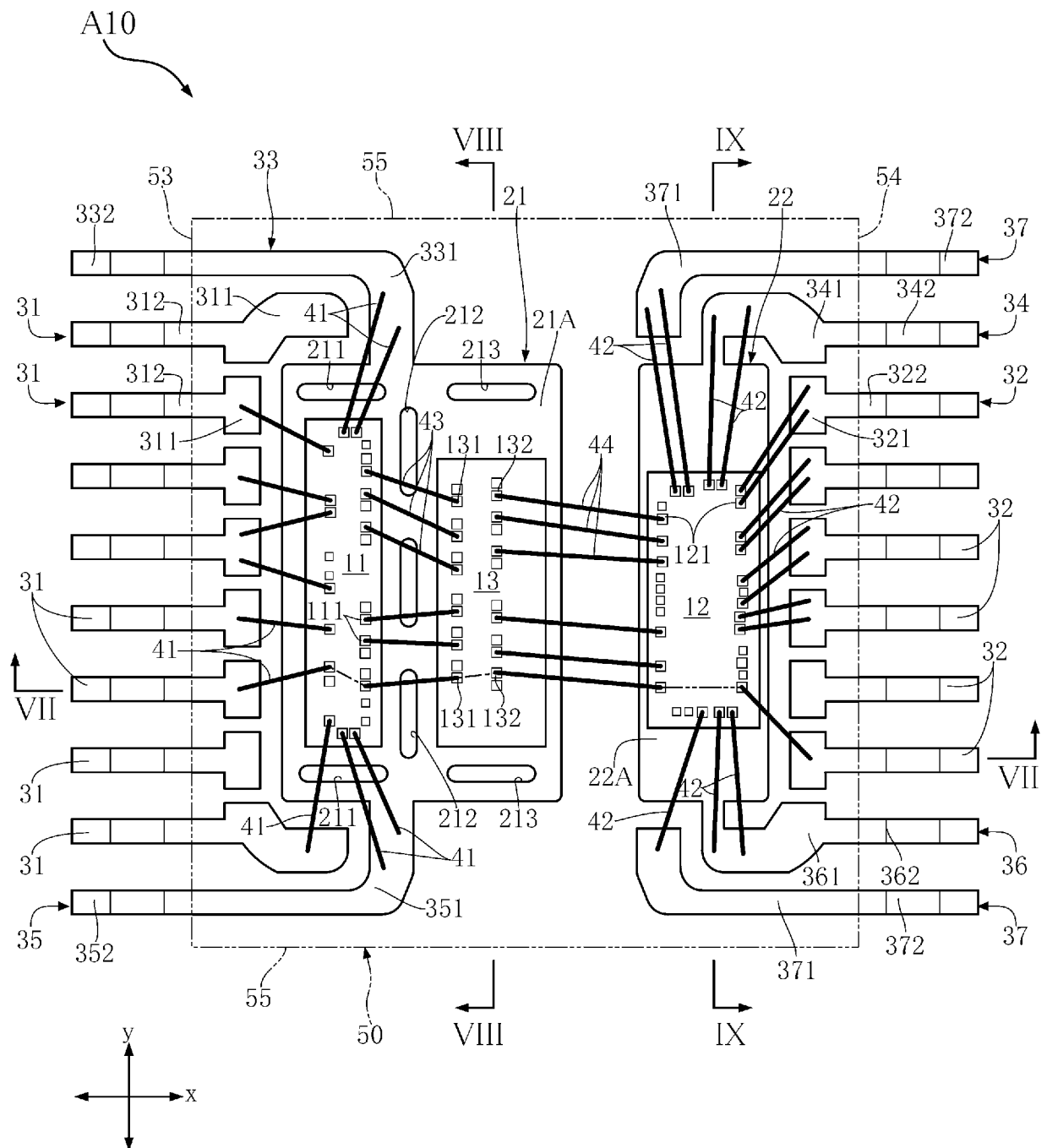
前記第3導通部材および前記第4導通部材の各々は、ワイヤである、請求項15に記載の半導体装置。

[請求項17] 前記第1方向において、前記頂面から前記第4導通部材に至る距離は、前記頂面から前記第3導通部材に至る距離より短い、請求項16に記載の半導体装置。

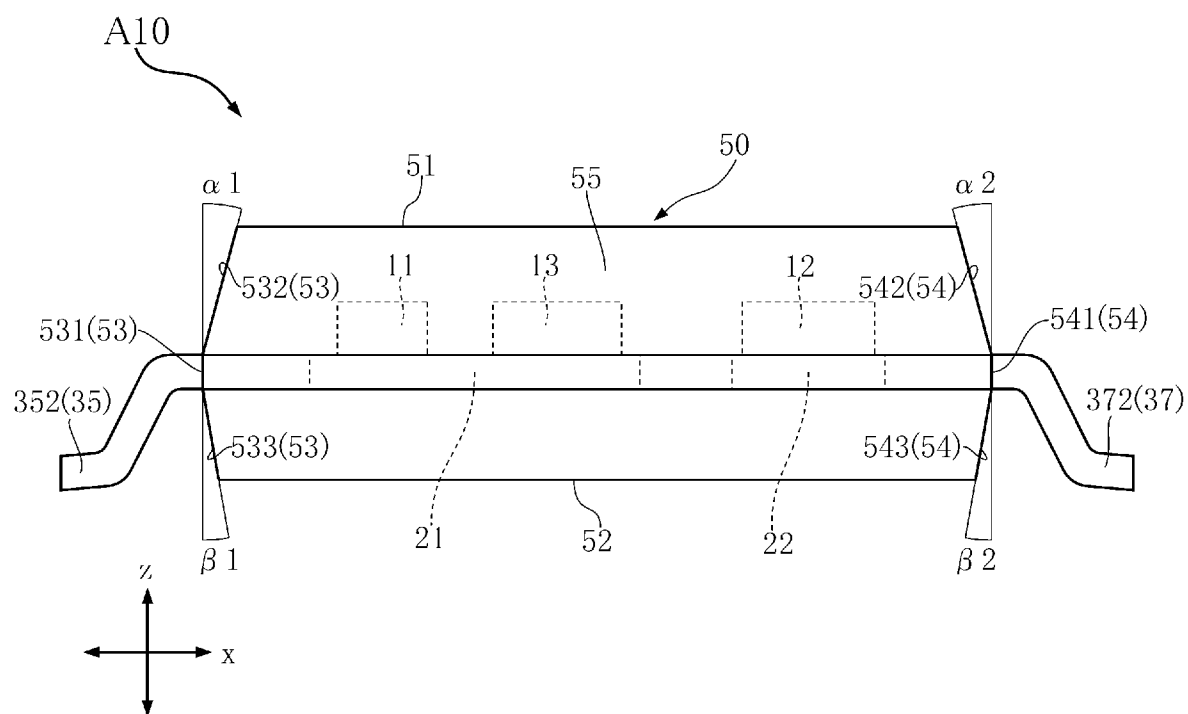
【図1】
FIG.1



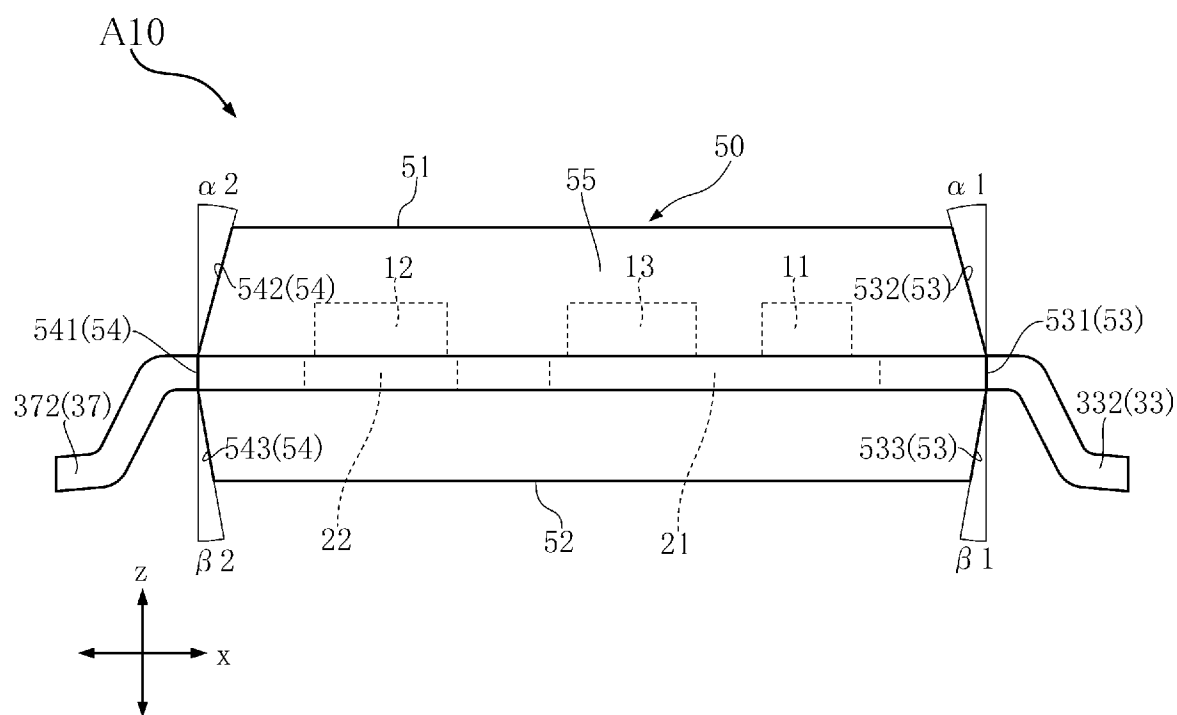
[図2]
FIG.2



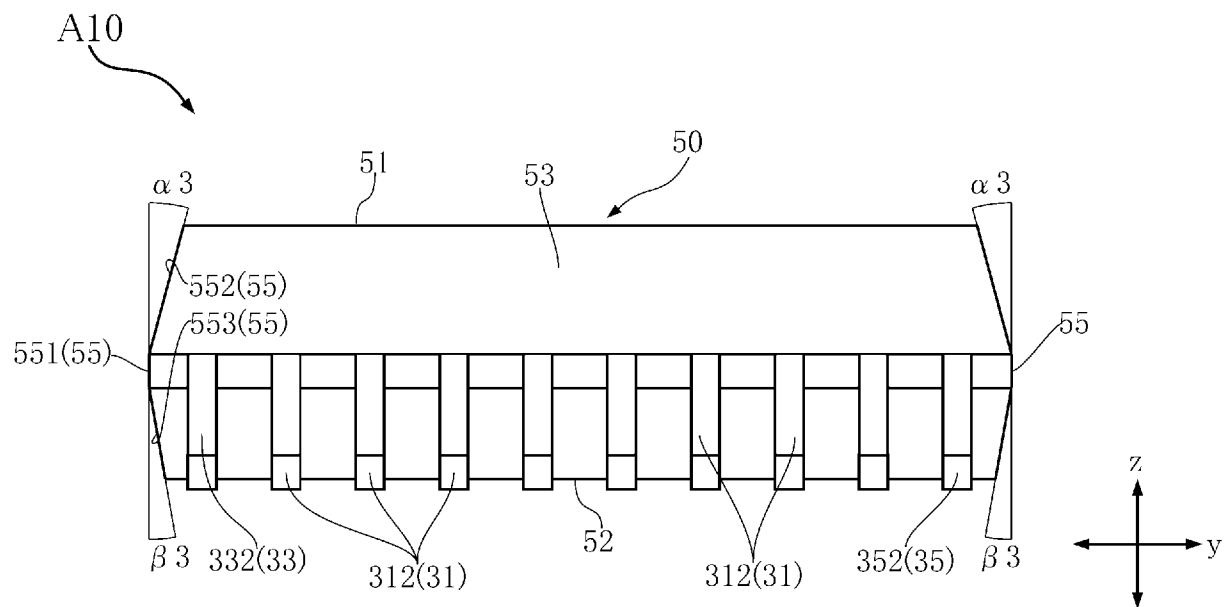
【図3】
FIG.3



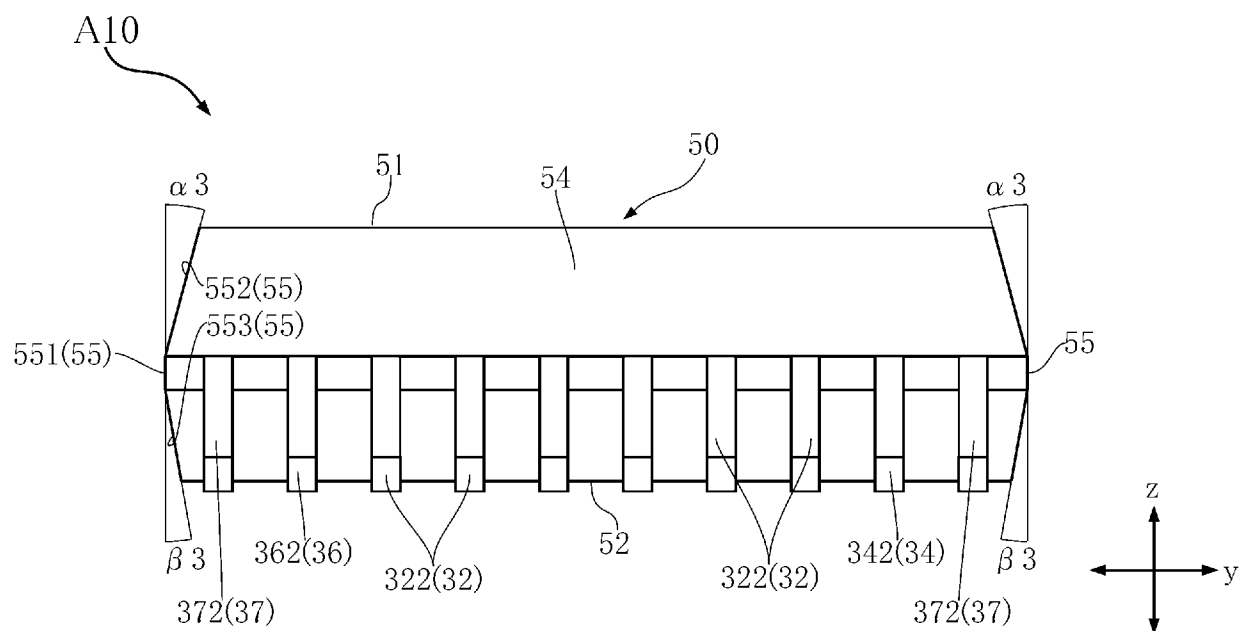
【図4】
FIG.4



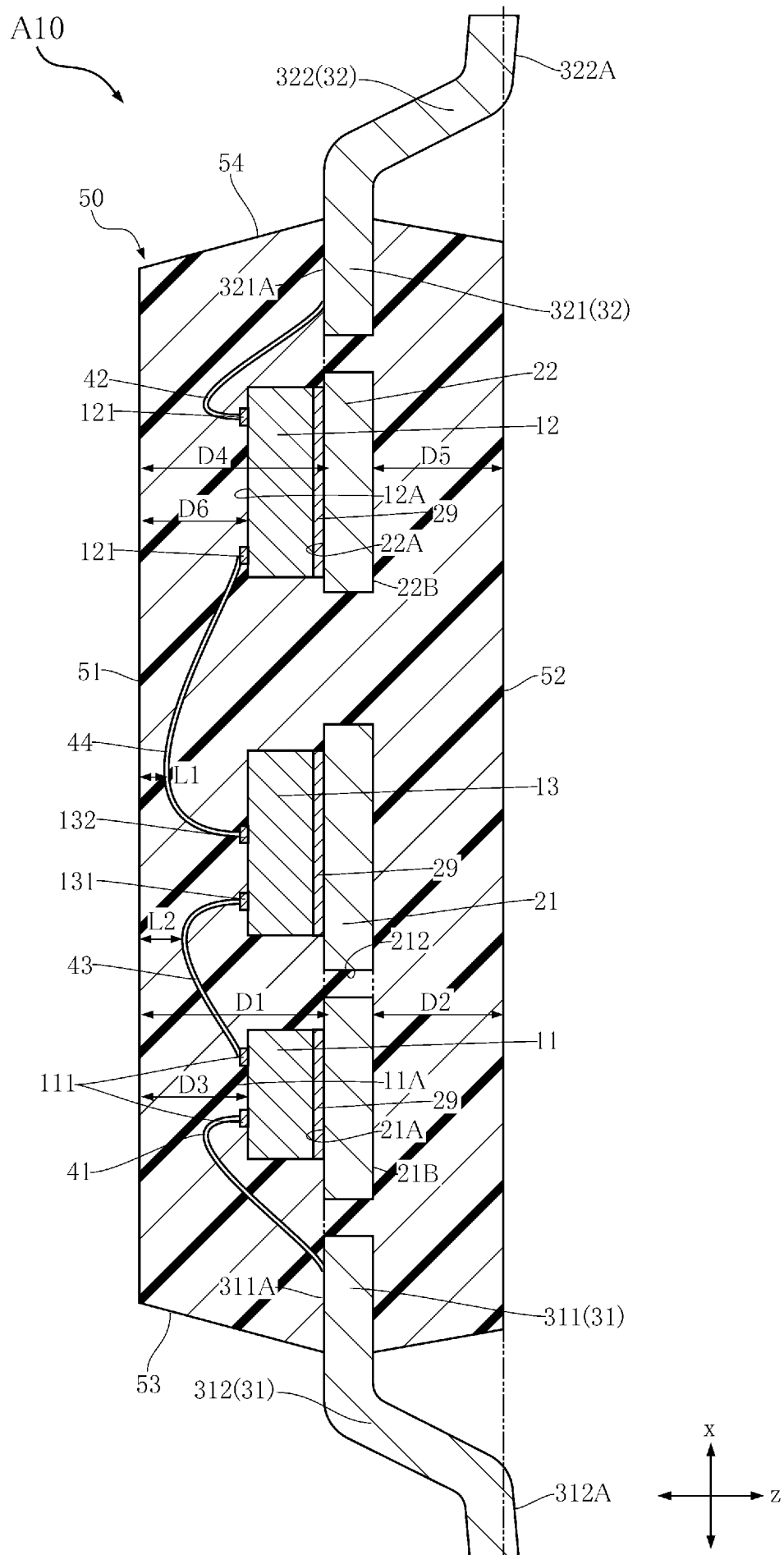
【図5】
FIG.5



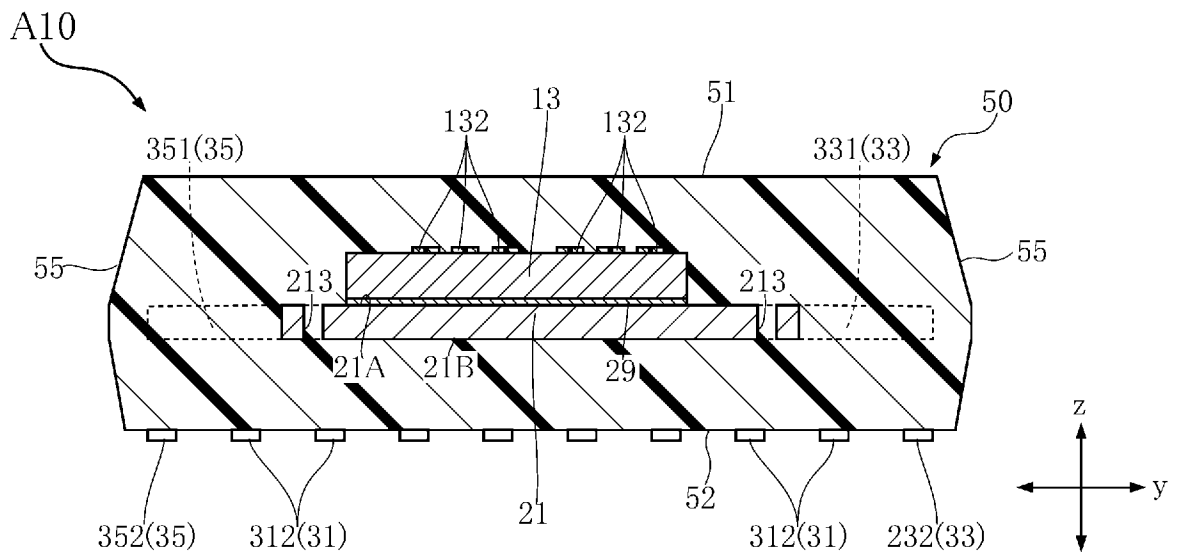
【図6】
FIG.6



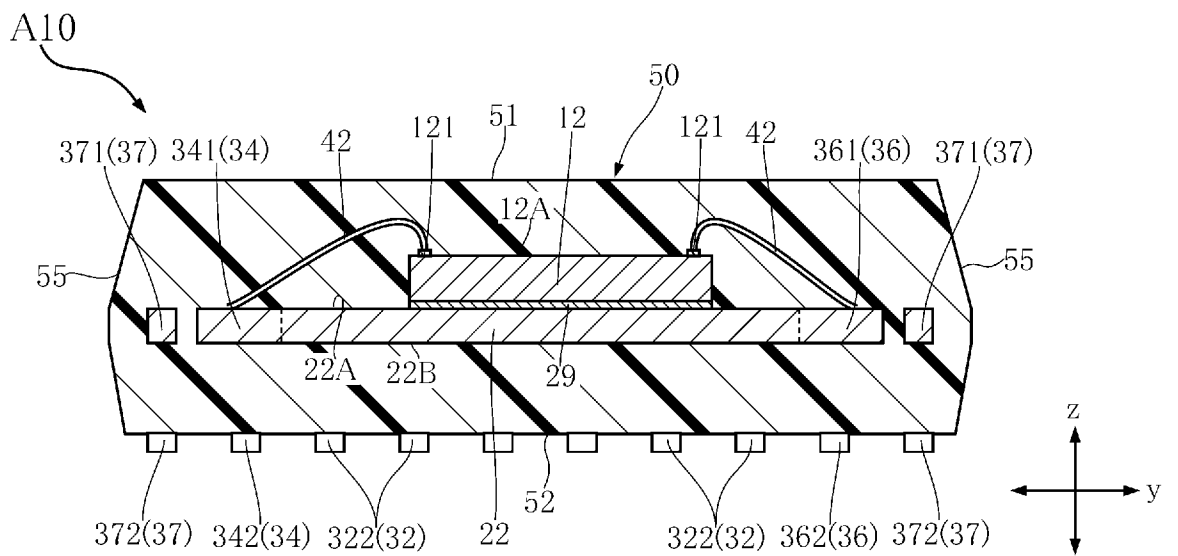
[図7]
FIG.7



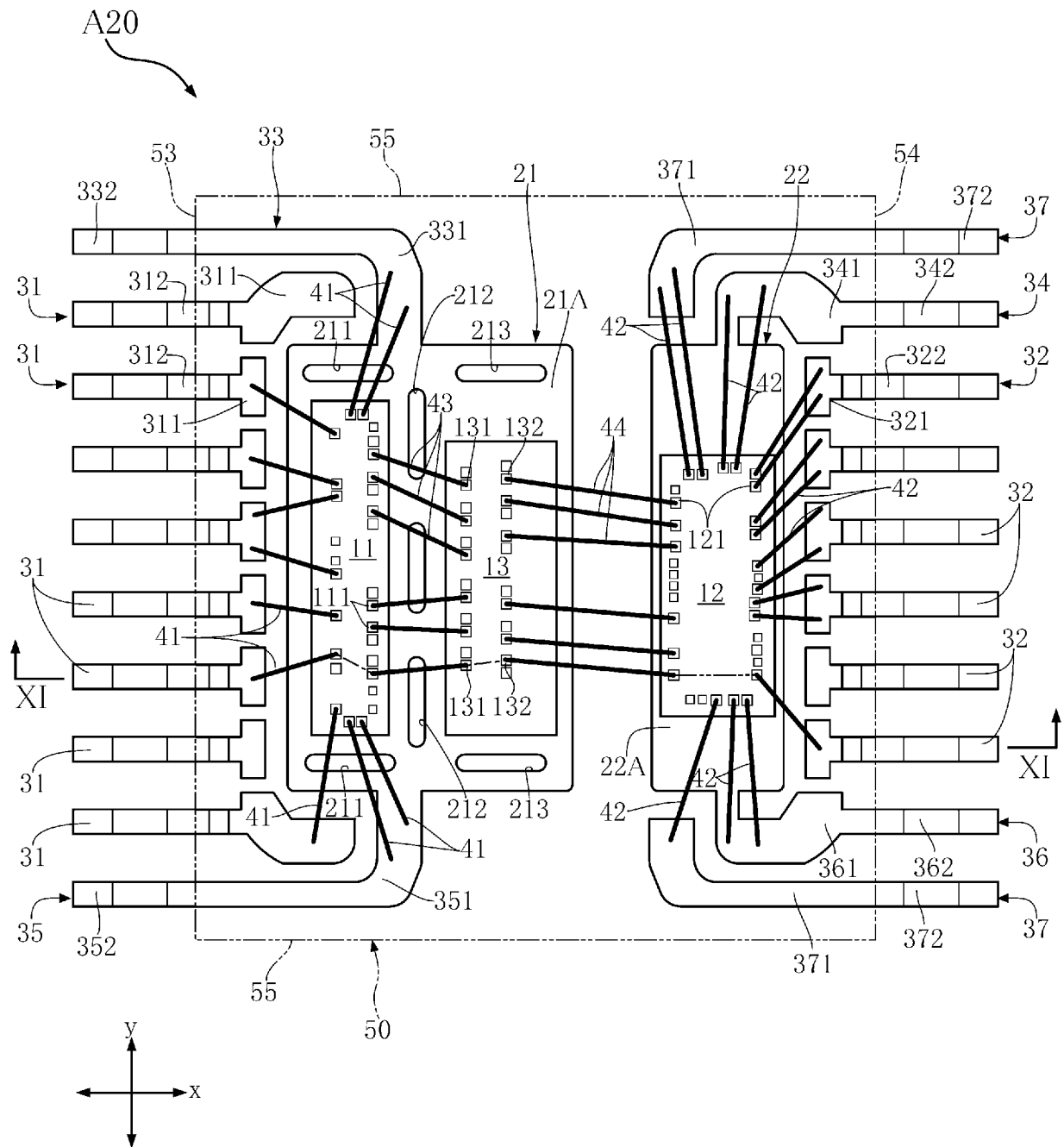
【図8】



〔圖9〕

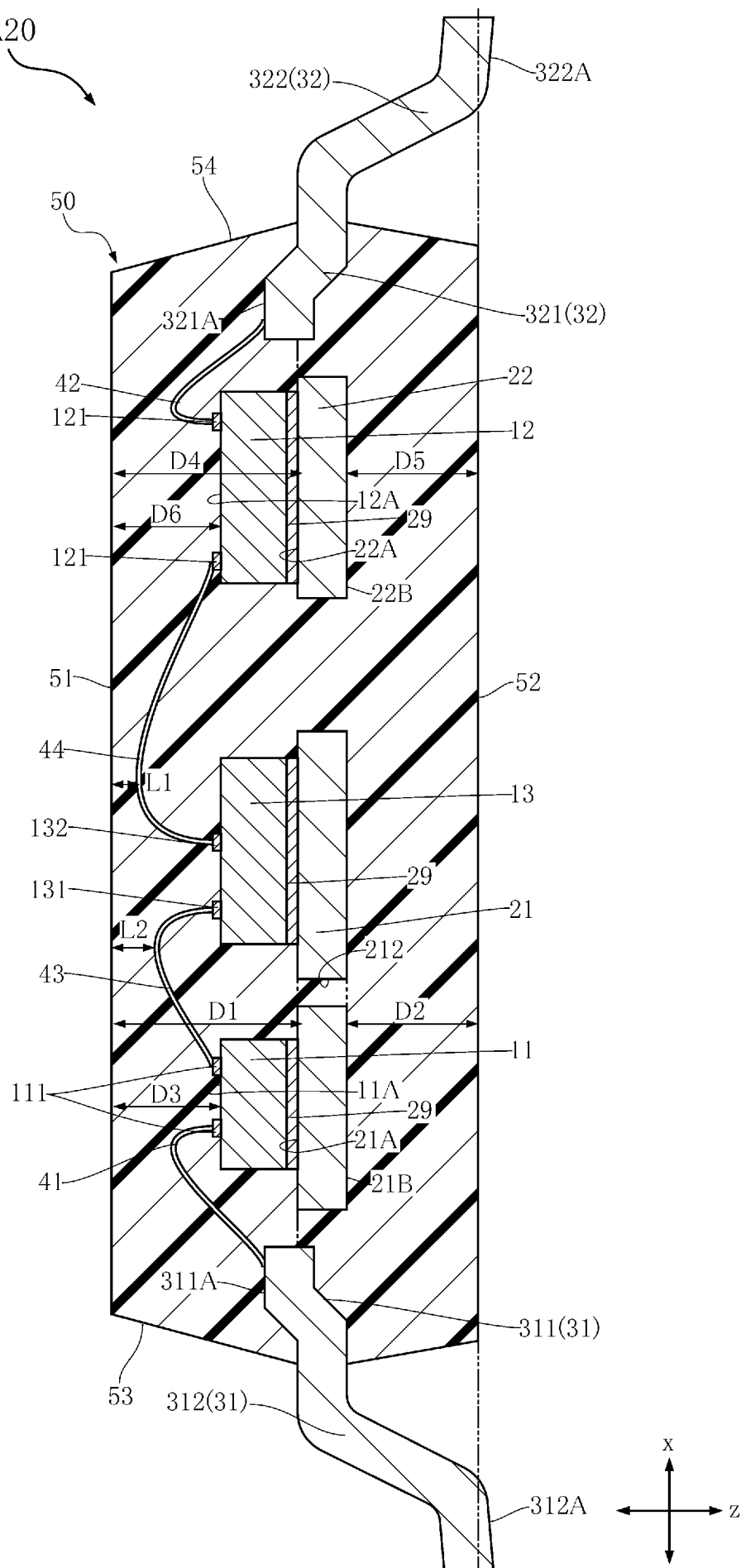


[図10]
FIG.10

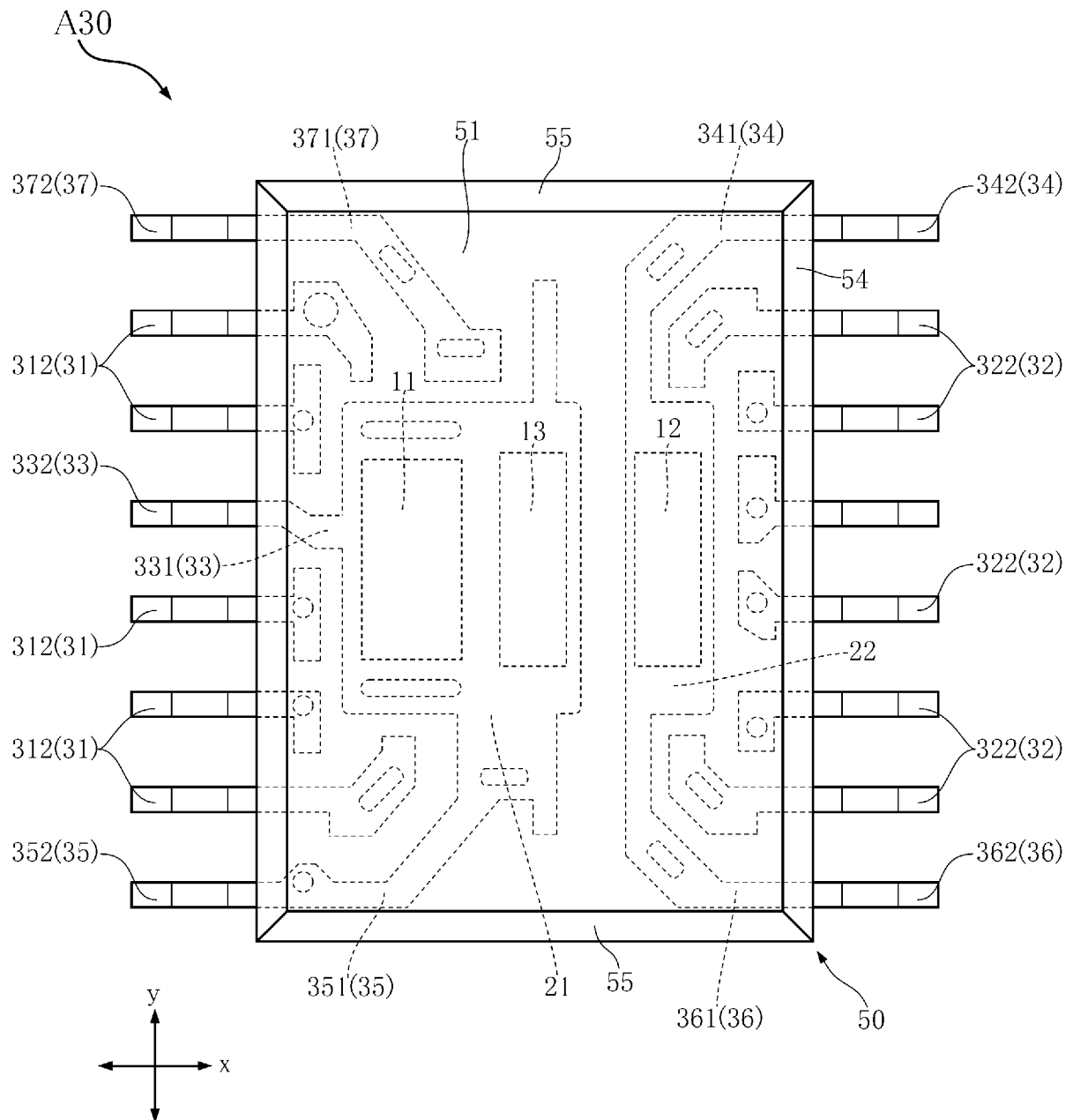


[図11]
FIG.11

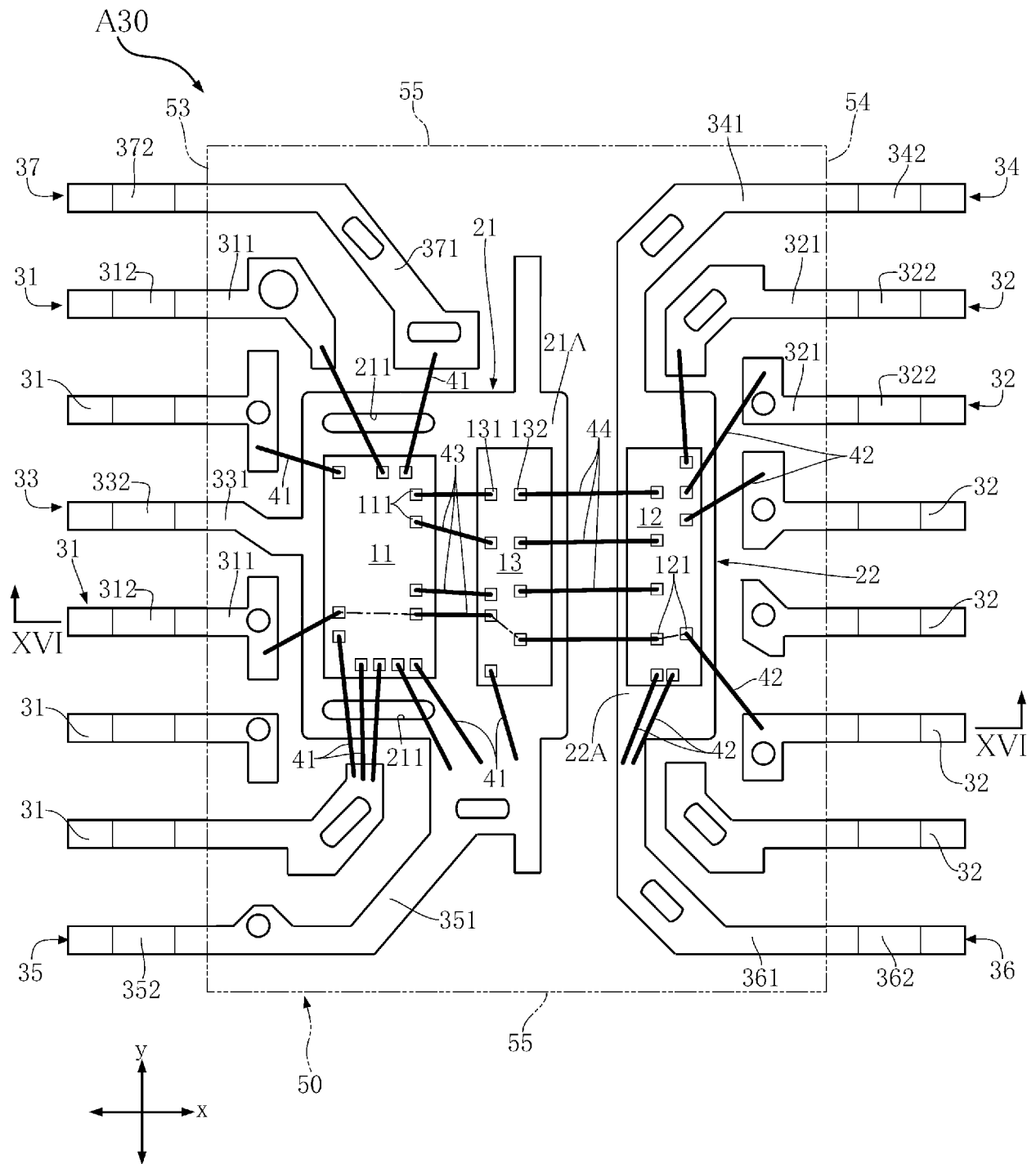
A20



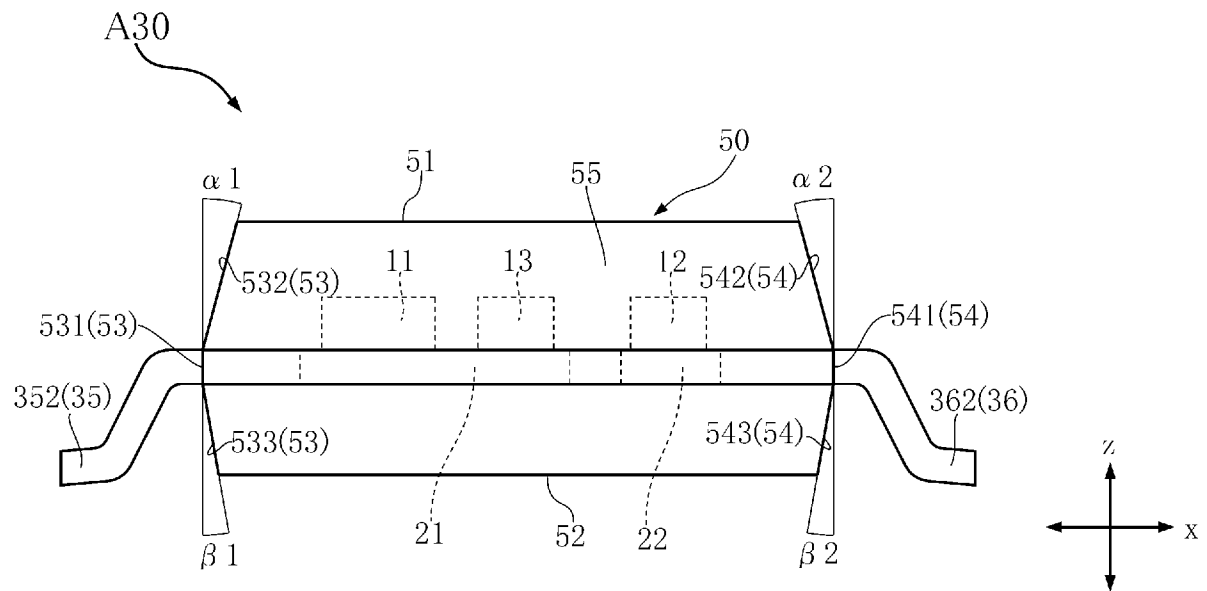
[図12]
FIG.12



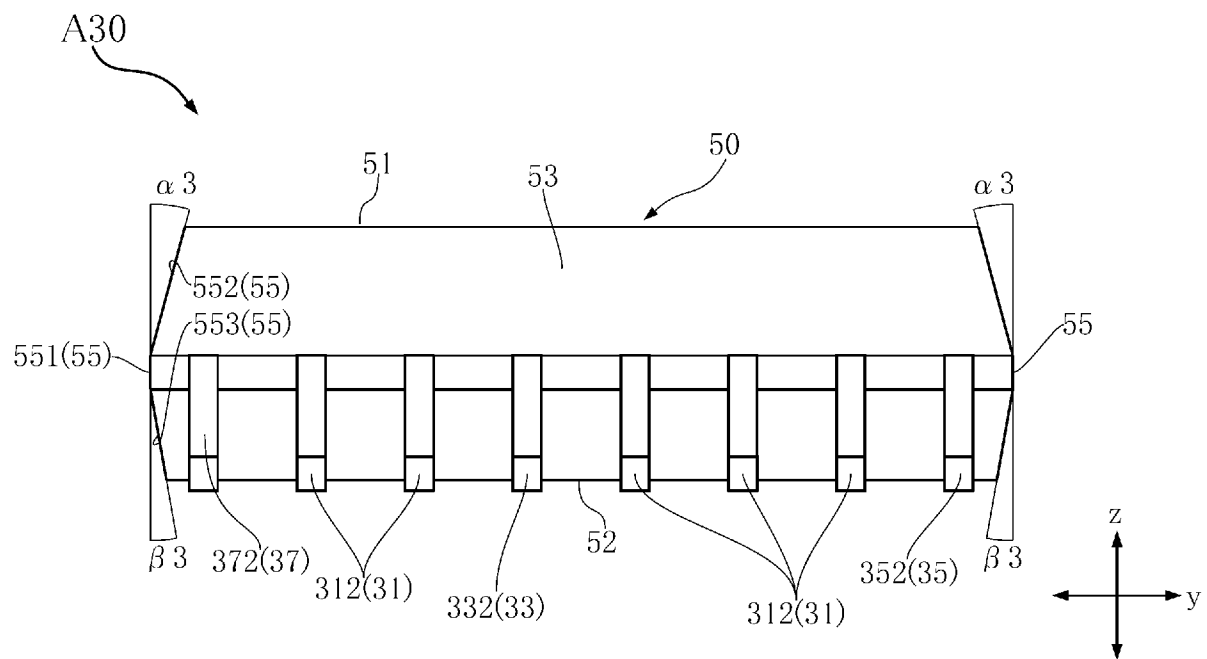
[図13]
FIG.13



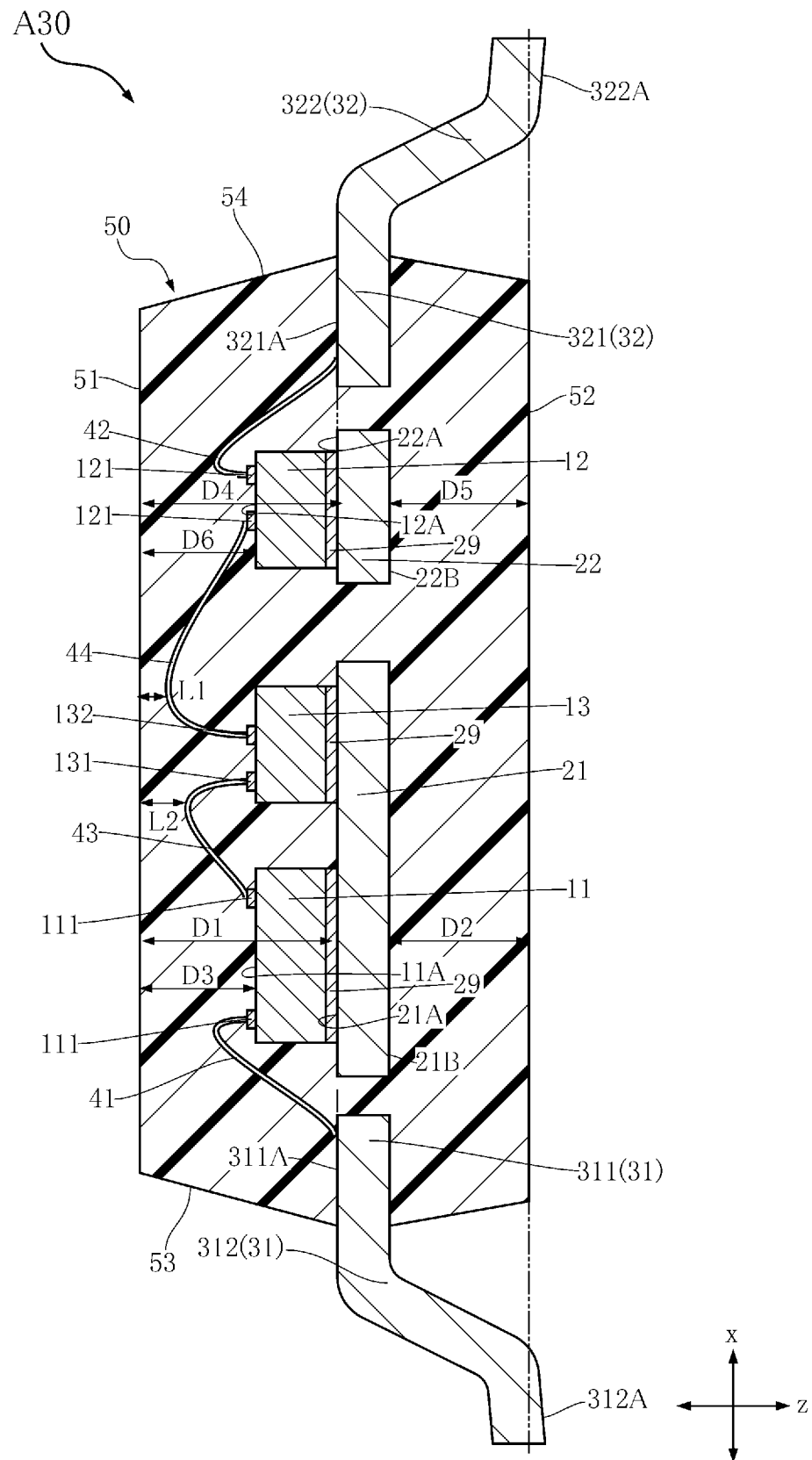
[図14]
FIG.14



[図15]
FIG.15



[図16]
FIG.16



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/018096

A. CLASSIFICATION OF SUBJECT MATTER H01L 23/50 (2006.01)i; H01L 23/29 (2006.01)i; H01L 23/31 (2006.01)i FI: H01L23/50 K; H01L23/30 R According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L23/50; H01L23/29; H01L23/31 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2023/0137762 A1 (TEXAS INSTRUMENTS INC.) 04 May 2023 (2023-05-04) paragraphs [0005]-[0006], [0012], [0031], [0034], fig. 1A, fig. 3C	1, 9-10
A		2-8, 11-17
Y	WO 2010/147187 A1 (ROHM CO., LTD.) 23 December 2010 (2010-12-23) paragraphs [0020], [0024]-[0025], [0051], fig. 2, fig. 8	1, 9-10
A		2-8, 11-17
A	JP 11-214589 A (MATSUSHITA ELECTRONICS CORP.) 06 August 1999 (1999-08-06) paragraphs [0002]-[0006], fig. 3, fig. 4	1-17
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 07 June 2024		Date of mailing of the international search report 25 June 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/018096

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2023/0137762	A1	04 May 2023	CN	116072618	A	
WO	2010/147187	A1	23 December 2010	US	2012/0153444	A1	
				paragraphs [0343], [0351]- [0353], fig. 2, 8			
				EP	2444999	A1	
				CN	102484080	A	
				TW	201117337	A	
				CN	105006462	A	
JP	11-214589	A	06 August 1999	(Family: none)			

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 23/50(2006.01)i; H01L 23/29(2006.01)i; H01L 23/31(2006.01)i

FI: H01L23/50 K; H01L23/30 R

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L23/50; H01L23/29; H01L23/31

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922 - 1996年

日本国公開実用新案公報1971 - 2024年

日本国実用新案登録公報1996 - 2024年

日本国登録実用新案公報1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	US 2023/0137762 A1 (TEXAS INSTRUMENTS INCORPORATED) 04.05.2023 (2023 - 05 - 04)	1, 9-10
A	[0005]-[0006], [0012], [0031], [0034], FIG. 1A, FIG. 3C	2-8, 11-17
Y	WO 2010/147187 A1 (ローム株式会社) 23.12.2010 (2010 - 12 - 23)	1, 9-10
A	[0020], [0024]-[0025], [0051], 図2, 図8	2-8, 11-17
A	JP 11-214589 A (松下電子工業株式会社) 06.08.1999 (1999 - 08 - 06)	1-17
	[0002]-[0006], 図3, 図4	

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

07.06.2024

国際調査報告の発送日

25.06.2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

清水 稔 5D 8525

電話番号 03-3581-1101 内線 3549

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/018096

引用文献			公表日	パテントファミリー文献			公表日
US	2023/0137762	A1	04.05.2023	CN	116072618	A	
WO	2010/147187	A1	23.12.2010	US	2012/0153444	A1	
				[0343], [0351]-[0353], FIG. 2, FIG. 8			
				EP	2444999	A1	
				CN	102484080	A	
				TW	201117337	A	
				CN	105006462	A	
JP	11-214589	A	06.08.1999	(ファミリーなし)			