

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7675523号  
(P7675523)

(45)発行日 令和7年5月13日(2025.5.13)

(24)登録日 令和7年5月1日(2025.5.1)

(51)国際特許分類 F I  
H 1 0 B 63/10 (2023.01) H 1 0 B 63/10  
H 1 0 N 70/20 (2023.01) H 1 0 N 70/20

請求項の数 9 (全21頁)

(21)出願番号	特願2021-8890(P2021-8890)	(73)特許権者	318010018 キオクシア株式会社 東京都港区芝浦三丁目1番21号
(22)出願日	令和3年1月22日(2021.1.22)	(74)代理人	110001612 弁理士法人きさらぎ国際特許事務所
(65)公開番号	特開2022-112884(P2022-112884 A)	(72)発明者	小松 克伊 東京都港区芝浦三丁目1番21号 キオクシア株式会社内
(43)公開日	令和4年8月3日(2022.8.3)	(72)発明者	岩崎 剛之 東京都港区芝浦三丁目1番21号 キオクシア株式会社内
審査請求日	令和5年9月7日(2023.9.7)	(72)発明者	大坊 忠臣 東京都港区芝浦三丁目1番21号 キオクシア株式会社内
		(72)発明者	河合 宏樹

最終頁に続く

(54)【発明の名称】 半導体記憶装置

(57)【特許請求の範囲】

【請求項1】

第1電極及び第2電極と、  
前記第1電極及び前記第2電極の間に、交互に設けられた複数の相変化層及び複数の第1の層と  
を備え、  
前記相変化層は、ゲルマニウム(Ge)、アンチモン(Sb)、及びテルル(Te)の少なくとも1つを含み、  
前記第1の層は、  
アルミニウム(Al)及びアンチモン(Sb)、又は、  
テルル(Te)、並びに、亜鉛(Zn)、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)及びルテチウム(Lu)の少なくとも一つ  
を含む  
半導体記憶装置。

10

【請求項2】

前記第1電極及び前記第2電極は、第1方向に並び、  
前記複数の相変化層及び前記複数の第1の層の、前記第1方向と交差する第2方向側の

20

面に接して、側壁層が設けられ、

前記側壁層は、

アルミニウム ( A l ) 及びアンチモン ( S b ) 、又は、

テルル ( T e ) 、並びに、亜鉛 ( Z n ) 、ランタン ( L a ) 、セリウム ( C e ) 、プラセオジウム ( P r ) 、ネオジウム ( N d ) 、サマリウム ( S m ) 、ユウロピウム ( E u ) 、ガドリニウム ( G d ) 、テルビウム ( T b ) 、ジスプロシウム ( D y ) 、ホルミウム ( H o ) 、エルビウム ( E r ) 、ツリウム ( T m ) 、イッテルビウム ( Y b ) 及びルテチウム ( L u ) の少なくとも一つ

を含む

請求項 1 記載の半導体記憶装置。

10

【請求項 3】

第 1 方向に並ぶ第 1 電極及び第 2 電極と、

前記第 1 電極及び前記第 2 電極の間に設けられた相変化層と、

前記相変化層の、前記第 1 方向と交差する第 2 方向側の面に接して設けられた第 1 の層とを備え、

前記相変化層は、ゲルマニウム ( G e ) 、アンチモン ( S b ) 、及びテルル ( T e ) の少なくとも一つを含み、

前記第 1 の層は、

アルミニウム ( A l ) 及びアンチモン ( S b ) 、又は、

テルル ( T e ) 、並びに、亜鉛 ( Z n ) 、ランタン ( L a ) 、セリウム ( C e ) 、プラセオジウム ( P r ) 、ネオジウム ( N d ) 、サマリウム ( S m ) 、ユウロピウム ( E u ) 、ガドリニウム ( G d ) 、テルビウム ( T b ) 、ジスプロシウム ( D y ) 、ホルミウム ( H o ) 、エルビウム ( E r ) 、ツリウム ( T m ) 、イッテルビウム ( Y b ) 及びルテチウム ( L u ) の少なくとも一つ

を含む

半導体記憶装置。

20

【請求項 4】

前記第 1 の層は、第 1 の格子定数の結晶を含み、

前記相変化層は、第 2 の格子定数の結晶を含み、

前記第 1 の格子定数は、前記第 2 の格子定数の 90% より大きく 110% より小さい

請求項 1 ~ 3 のいずれか 1 項記載の半導体記憶装置。

30

【請求項 5】

前記第 1 の層の融点は、前記相変化層の融点よりも高い

請求項 1 ~ 4 のいずれか 1 項記載の半導体記憶装置。

【請求項 6】

前記第 1 の層のバンドギャップは、前記相変化層のバンドギャップよりも大きい

請求項 1 ~ 5 のいずれか 1 項記載の半導体記憶装置。

【請求項 7】

前記第 1 の層の熱伝導率は、前記相変化層の熱伝導率よりも低い

請求項 1 ~ 6 のいずれか 1 項記載の半導体記憶装置。

40

【請求項 8】

前記第 1 の層は、立方晶の結晶を含む

請求項 1 ~ 7 のいずれか 1 項記載の半導体記憶装置。

【請求項 9】

前記相変化層は、立方晶の結晶を含む

請求項 1 ~ 8 のいずれか 1 項記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本実施形態は、半導体記憶装置に関する。

50

## 【背景技術】

## 【0002】

第1電極及び第2電極と、第1電極及び第2電極の間に設けられた相変化層と、を備える半導体記憶装置が知られている。相変化層は、例えば、ゲルマニウム（Ge）、アンチモン（Sb）及びテルル（Te）等を含む。

## 【先行技術文献】

## 【特許文献】

## 【0003】

【文献】特開2011-18838号公報

## 【発明の概要】

10

## 【発明が解決しようとする課題】

## 【0004】

微細化の容易な半導体記憶装置を提供する。

## 【課題を解決するための手段】

## 【0005】

一の実施形態に係る半導体記憶装置は、第1電極及び第2電極と、第1電極及び第2電極の間に設けられた相変化層と、第1電極及び相変化層の間に設けられた第1の層とを備える。相変化層は、ゲルマニウム（Ge）、アンチモン（Sb）、及びテルル（Te）の少なくとも一つを含み、第1の層は、アルミニウム（Al）及びアンチモン（Sb）、又は、テルル（Te）、並びに、亜鉛（Zn）、ランタン（La）、セリウム（Ce）、プラセオジウム（Pr）、ネオジウム（Nd）、サマリウム（Sm）、ユウロピウム（Eu）、ガドリニウム（Gd）、テルビウム（Tb）、ジスプロシウム（Dy）、ホルミウム（Ho）、エルビウム（Er）、ツリウム（Tm）、イッテルビウム（Yb）及びルテチウム（Lu）の少なくとも一つを含む。

20

## 【0006】

一の実施形態に係る半導体記憶装置は、第1電極及び第2電極と、第1電極及び第2電極の間に設けられた相変化層と、第1電極及び相変化層の間に設けられた第1の層とを備える。相変化層は、立方晶の結晶を含み、第1の層は、閃亜鉛鉱型構造または面心立方格子の結晶を含む。

## 【図面の簡単な説明】

30

## 【0007】

【図1】第1実施形態に係る半導体記憶装置の一部の構成を示す模式的な回路図である。

【図2】同半導体記憶装置の一部の構成を示す模式的な斜視図である。

【図3】同半導体記憶装置のメモリセルMCの模式的な断面図である。

【図4】同半導体記憶装置のメモリセルMCの電流 - 電圧特性を示す模式的なグラフである。

【図5】第1実施形態に係るメモリセルMCの書込動作について説明するための模式的な断面図である。

【図6】比較例に係るメモリセルMCの書込動作について説明するための模式的な断面図である。

40

【図7】変形例1に係る半導体記憶装置のメモリセルMCの模式的な断面図である。

【図8】変形例2に係る半導体記憶装置のメモリセルMCの模式的な断面図である。

【図9】第2実施形態に係る半導体記憶装置の一部の構成を示す模式的な回路図である。

【図10】同半導体記憶装置に係る抵抗変化素子部VRPの模式的な断面図である。

【図11】変形例に係る半導体記憶装置の抵抗変化素子部VRP2の模式的な断面図である。

## 【発明を実施するための形態】

## 【0008】

次に、実施形態に係る半導体記憶装置を、図面を参照して詳細に説明する。尚、以下の実施形態はあくまでも一例であり、本発明を限定する意図で示されるものではない。また

50

、以下の図面は模式的なものであり、説明の都合上、一部の構成等が省略される場合がある。また、複数の実施形態について共通する部分には同一の符号を付し、説明を省略する場合がある。

【 0 0 0 9 】

また、本明細書においては、基板の表面に対して平行な所定の方向を X 方向、基板の表面に対して平行で、X 方向と垂直な方向を Y 方向、基板の表面に対して垂直な方向を Z 方向と呼ぶ。

【 0 0 1 0 】

また、本明細書においては、所定の面に沿った方向を第 1 方向、この所定の面に沿って第 1 方向と交差する方向を第 2 方向、この所定の面と交差する方向を第 3 方向と呼ぶことがある。これら第 1 方向、第 2 方向及び第 3 方向は、X 方向、Y 方向及び Z 方向のいずれかと対応していても良いし、対応していなくても良い。

10

【 0 0 1 1 】

また、本明細書において、「上」や「下」等の表現は、基板を基準とする。例えば、上記第 1 方向が基板の表面と交差する場合、この第 1 方向に沿って基板から離れる向きを上と、第 1 方向に沿って基板に近づく向きを下と呼ぶ。また、ある構成について下面や下端と言う場合には、この構成の基板側の面や端部を意味する事とし、上面や上端と言う場合には、この構成の基板と反対側の面や端部を意味する事とする。また、第 2 方向又は第 3 方向と交差する面を側面等と呼ぶ。

【 0 0 1 2 】

また、本明細書において、第 1 の構成が第 2 の構成に「電氣的に接続されている」と言った場合、第 1 の構成は第 2 の構成に直接接続されていても良いし、第 1 の構成が第 2 の構成に配線、半導体部材又はトランジスタ等を介して接続されていても良い。例えば、3 つのトランジスタを直列に接続した場合には、2 つ目のトランジスタが OFF 状態であったとしても、1 つ目のトランジスタは 3 つ目のトランジスタに「電氣的に接続」されている。

20

【 0 0 1 3 】

また、本明細書において、第 1 の構成が第 2 の構成から「電氣的に絶縁されている」と言った場合には、例えば、第 1 の構成と第 2 の構成との間に絶縁層等が設けられており、第 1 の構成と第 2 の構成とを接続するコンタクトや配線等が設けられていない状態を意味することとする。

30

【 0 0 1 4 】

また、本明細書において、回路等が 2 つの配線等を「導通させる」と言った場合には、例えば、この回路等がトランジスタ等を含んでおり、このトランジスタ等が 2 つの配線の間の電流経路に設けられており、このトランジスタ等が ON 状態となることを意味する事がある。

【 0 0 1 5 】

以下、図面を参照して、実施形態に係る半導体記憶装置の回路構成について説明する。尚、以下の図面は模式的なものであり、説明の都合上、一部の構成を省略することがある。

【 0 0 1 6 】

[ 第 1 実施形態 ]

[ 概略構成 ]

図 1 は、第 1 実施形態に係る半導体記憶装置の一部の構成を示す模式的な回路図である。図 2 は、同半導体記憶装置の一部の構成を示す模式的な斜視図である。

40

【 0 0 1 7 】

本実施形態に係る半導体記憶装置は、メモリセルアレイ M C A と、メモリセルアレイ M C A を制御する周辺回路 P C と、を備える。

【 0 0 1 8 】

メモリセルアレイ M C A は、例えば、図 2 に示す通り、Z 方向に並ぶ複数のメモリマット M M を備える。メモリマット M M は、ビット線 B L と、ワード線 W L と、メモリセル M

50

Cと、を備える。ビット線BLは、X方向に複数配列され、Y方向に延伸する。ワード線WLは、Y方向に複数配列され、X方向に延伸する。メモリセルMCは、ビット線BL及びワード線WLに対応して、X方向及びY方向に複数並ぶ。図示の様に、Z方向に並ぶ2つのメモリマトリクスMMについては、ビット線BL又はワード線WLが共通に設けられていても良い。図1の例において、メモリセルMCの陰極 $E_c$ はビット線BLに接続される。また、メモリセルMCの陽極 $E_a$ はワード線WLに接続される。メモリセルMCは、抵抗変化素子VR及び非線形素子NOを備える。

#### 【0019】

周辺回路PCは、ビット線BL及びワード線WLに接続されている。周辺回路PCは、例えば、降圧回路、選択回路、センスアンプ回路、及びこれらを制御するシーケンサ等を備える。降圧回路は、電源電圧等を降圧して電圧供給線に出力する。選択回路は、選択アドレスに対応するビット線BL及びワード線WLを、対応する電圧供給線と導通させる。センスアンプ回路は、ビット線BLの電圧又は電流に応じて0又は1のデータを出力する。

10

#### 【0020】

##### [メモリセルMCの構成]

図3は、本実施形態に係るメモリセルMCの模式的な断面図である。図3(a)は下方にビット線BLが設けられ上方にワード線WLが設けられるものに対応している。図3(b)は下方にワード線WLが設けられ上方にビット線BLが設けられるものに対応している。

#### 【0021】

図3(a)に示すメモリセルMCは、ビット線BL上面のバリア導電層101に順に積層された導電層102、カルコゲン層103、導電層104、バリア導電層105、結晶化促進層106、カルコゲン層107、バリア導電層108及び導電層109を備える。導電層109には、ワード線WL下面のバリア導電層110が設けられている。

20

#### 【0022】

バリア導電層101は、ビット線BLの一部として機能する。バリア導電層101は、例えば、窒化タングステン(WN)、窒化チタン(TiN)等であっても良いし、炭窒化タングステン(WCN)又は炭窒化タングステンシリサイド(WCN Si)等、その他の導電層であっても良い。

#### 【0023】

導電層102は、メモリセルMCの直下に設けられるビット線BLに接続され、メモリセルMCの陰極 $E_c$ として機能する。導電層102は、例えば、炭素(C)、窒化炭素(CN)等であっても良いし、タングステン(W)、窒化タングステン(WN)、チタン(Ti)、窒化チタン(TiN)、バナジウム(V)、窒化バナジウム(VN)、ジルコニウム(Zr)、窒化ジルコニウム(ZrN)、ハフニウム(Hf)、窒化ハフニウム(HfN)、イットリウム(Y)、窒化イットリウム(YN)、スカンジウム(Sc)、窒化スカンジウム(ScN)、タンタル(Ta)、窒化タンタル(TaN)、モリブデン(Mo)、レニウム(Re)、ニオブ(Nb)、アルミニウム(Al)等であっても良い。また、導電層102は、例えば、リン(P)等のN型の不純物が注入された多結晶シリコン等でも良いし、炭化タングステン(WC)、炭窒化タングステン(WCN)又は炭窒化タングステンシリサイド(WCN Si)等、その他の導電層であっても良い。

30

40

#### 【0024】

カルコゲン層103は、非線形素子NOとして機能する。例えば、カルコゲン層103に所定のしきい値よりも低い電圧が印加された場合、カルコゲン層103は高抵抗状態である。カルコゲン層103に印加される電圧が所定のしきい値に達すると、カルコゲン層103は低抵抗状態となり、カルコゲン層103に流れる電流は複数桁増大する。カルコゲン層103に印加される電圧が一定の時間所定の電圧を下回ると、カルコゲン層103は再度高抵抗状態となる。

#### 【0025】

カルコゲン層103は、例えば、少なくとも1種以上のカルコゲンを含む。カルコゲン

50

層 103 は、例えば、カルコゲンを含む化合物であるカルコゲナイドを含んでも良い。また、カルコゲン層 103 は、B、N、Al、Zn、Ga、In、C、Si、Ge、Sn、As、P、Sb からなる群より選択された少なくとも 1 種の元素を含んでも良い。

【0026】

尚、ここで言うカルコゲンとは、周期表の第 16 族に属する元素のうち、酸素(O)を除くものである。カルコゲンは、例えば、硫黄(S)、セレン(Se)、テルル(Te)等を含む。

【0027】

導電層 104 は、非線形素子 NO 及び抵抗変化素子 VR を接続する電極として機能する。導電層 104 は、例えば、導電層 102 と同様の材料を含んでも良い。

10

【0028】

バリア導電層 105 は、例えば、バリア導電層 101 と同様の材料を含んでも良い。

【0029】

結晶化促進層 106 は、カルコゲン層 107 の陰極 Ec 側の面と接し、カルコゲン層 107 の結晶構造を制御可能な結晶下地(テンプレート)として機能する。結晶化促進層 106 は、例えば、立方晶の結晶を含む。立方晶の結晶は、例えば、閃亜鉛鉱構造の結晶、fcc (Face-Centered Cubic; 面心立方)格子構造の結晶(以下、「fcc 結晶」と呼ぶ。)等である。結晶化促進層 106 は、後述する構成原子からなる層を少なくとも 1 層以上有する。

【0030】

また、結晶化促進層 106 は、後述するセット動作、リセット動作に必要な熱をカルコゲン層 107 へ供給するヒーターとしても機能する。効果的なヒーターとして機能するよう、結晶化促進層 106 は、後述する比較的大きなバンドギャップを有する、即ち比較的低い電気伝導性を示す材料を含む。

20

【0031】

また、結晶化促進層 106 は、熱遮蔽部材としても機能する。結晶化促進層 106 において発生したジュール熱がカルコゲン層 103 側へ逃げにくくなるよう、結晶化促進層 106 は、後述する比較的低い熱伝導性を有する材料を含む。

【0032】

カルコゲン層 107 は、抵抗変化素子 VR として機能する。カルコゲン層 107 は、例えば、熔融温度以上の加熱と急速な冷却によりアモルファス状態(リセット状態:高抵抗状態)となる。また、カルコゲン層 107 は、例えば、熔融温度よりも低く結晶化温度よりも高い温度の加熱により結晶状態(セット状態:低抵抗状態)となる。

30

【0033】

カルコゲン層 107 は、例えば、少なくとも 1 種以上のカルコゲンを含む。カルコゲン層 107 は、例えば、カルコゲンを含む化合物であるカルコゲナイドを含んでも良い。カルコゲン層 107 は、例えば、GeSbTe、GeCuTe、GeTe、SbTe、SiTe 等でも良い。また、カルコゲン層 107 は、ゲルマニウム(Ge)、アンチモン(Sb)及びテルル(Te)のうちから選ばれた少なくとも 1 種の元素を含んでも良い。また、カルコゲン層 107 は、窒素(N)、炭素(C)、ホウ素(B)等を含んでも良い。

40

【0034】

バリア導電層 108 は、例えば、バリア導電層 101 と同様の材料を含んでも良い。

【0035】

導電層 109 は、メモリセル MC の直上に設けられるワード線 WL に接続され、メモリセル MC の陽極 EA として機能する。導電層 109 は、例えば、導電層 102 と同様の材料を含んでも良い。

【0036】

バリア導電層 110 は、ワード線 WL の一部として機能する。バリア導電層 110 は、例えば、バリア導電層 101 と同様の材料を含んでも良い。

【0037】

50

図3(b)に示すメモリセルMCは、基本的には図3(a)に示すメモリセルMCと同様に構成されている。しかしながら、図3(b)に示すメモリセルMCにおいては、バリア導電層101ではなくバリア導電層110がビット線BLの一部として機能し、バリア導電層110ではなくバリア導電層101がワード線WLの一部として機能する。また、導電層102ではなく導電層109が陰極 $E_c$ として機能し、導電層109ではなく導電層102が陽極 $E_A$ として機能する。

【0038】

[メモリセルMCの電気的特性]

図4は、本実施形態に係るメモリセルMCの電流 - 電圧特性を示す模式的なグラフである。横軸は、メモリセルMCの陰極 $E_c$ の電圧を基準とした場合の陽極 $E_A$ の電圧(以下、「セル電圧 $V_{cell}$ 」と呼ぶ。)を示している。縦軸は、メモリセルMCに流れる電流(以下、「セル電流 $I_{cell}$ 」と呼ぶ。)を対数軸で示している。

10

【0039】

セル電流 $I_{cell}$ の値が所定の電流値 $I_1$ の値よりも小さい範囲では、セル電流 $I_{cell}$ の増大に応じてセル電圧 $V_{cell}$ が単調に増大する。セル電流 $I_{cell}$ が電流値 $I_1$ に達した時点で、低抵抗状態のメモリセルMCのセル電圧 $V_{cell}$ は電圧 $V_1$ に達する。また、高抵抗状態のメモリセルMCのセル電圧 $V_{cell}$ は電圧 $V_2$ に達する。電圧 $V_2$ は、電圧 $V_1$ よりも大きい。

【0040】

セル電流 $I_{cell}$ の値が電流値 $I_1$ の値より大きく電流値 $I_2$ より小さい範囲では、セル電流 $I_{cell}$ の増大に応じてセル電圧 $V_{cell}$ が単調に減少する。この範囲において、高抵抗状態のメモリセルのセル電圧 $V_{cell}$ は、低抵抗状態のメモリセルMCのセル電圧 $V_{cell}$ よりも大きい。

20

【0041】

セル電流 $I_{cell}$ が電流値 $I_2$ より大きく電流値 $I_3$ より小さい範囲では、セル電流 $I_{cell}$ の増大に応じてセル電圧 $V_{cell}$ が一時的に減少し、その後増大する。この範囲では、セル電流 $I_{cell}$ の増大に応じて高抵抗状態のメモリセルMCのセル電圧 $V_{cell}$ が急激に減少して、低抵抗状態のメモリセルMCのセル電圧 $V_{cell}$ と同程度となる。

【0042】

セル電流 $I_{cell}$ が電流値 $I_3$ より大きい範囲では、セル電流 $I_{cell}$ の増大に応じてセル電圧 $V_{cell}$ が一時的に減少し、その後増大する。

30

【0043】

この状態から、セル電流 $I_{cell}$ を電流値 $I_1$ よりも小さい大きさまで急速に減少させた場合、カルコゲン層107は高抵抗状態となる。また、セル電流 $I_{cell}$ を所定の大きさまで減少させ、一定時間この状態を維持した後にセル電流 $I_{cell}$ を減少させた場合、カルコゲン層107は低抵抗状態となる。

【0044】

[動作]

図5は、本実施形態に係るメモリセルMCの書込動作について説明するための模式的な断面図である。図5には、書込動作として、セット動作及びリセット動作を例示している。セット動作は、メモリセルMCを高抵抗状態から低抵抗状態に遷移させる動作である。リセット動作は、メモリセルMCを低抵抗状態から高抵抗状態に遷移させる動作である。

40

【0045】

図5(a)はリセット動作を行った後、図5(b)はセット動作を行った後のメモリセルMCの状態をそれぞれ示す。

【0046】

尚、以下の説明においては、カルコゲン層107の主成分が $Ge_2Sb_2Te_5$ である場合の例について説明する。

【0047】

50

図5(b)に示すメモリセルMCに対してリセット動作を実行すると、図5(a)に示す様に、カルコゲン層107には、アモルファス状態のカルコゲン層107\_\_aが形成される。リセット動作に際しては、例えば、セル電圧 $V_{cell}$ を、電圧 $V_2$ (図4)より大きいリセット電圧 $V_{reset}$ に調整する。これにより、メモリセルMCに電流が流れてカルコゲン層107にジュール熱が発生する。また、ジュール熱は結晶化促進層106からも多く発生し、カルコゲン層107へ供給される。結晶化促進層106が、カルコゲン層107よりも高い電気抵抗を有するためである。この時のジュール熱は、カルコゲン層107全体が溶融する程度の大きさである。次に、セル電圧 $V_{cell}$ を0Vまで減少させる。これにより、カルコゲン層107にジュール熱が供給されなくなり、溶融したカルコゲン層107が急速に冷却される。この間、カルコゲン層107には結晶化に必要な時間が与えられない。これにより、カルコゲン層107がアモルファス状態(リセット状態:高抵抗状態)として固相化し、アモルファス状態のカルコゲン層107\_\_aが形成される。

10

## 【0048】

図5(a)に示すメモリセルMCに対してセット動作を実行すると、図5(b)に示す様に、アモルファス状態のカルコゲン層107\_\_aが結晶状態のカルコゲン層107\_\_cとなる。セット動作に際しては、例えば、セル電圧 $V_{cell}$ をリセット電圧 $V_{reset}$ より小さいセット電圧 $V_{set}$ に調整して、一定時間その状態を保持する。これにより、メモリセルMCに電流が流れ、カルコゲン層107\_\_aにジュール熱が供給される。この時のジュール熱は、カルコゲン層107\_\_aが結晶化するものの、溶融は起こらない程度の大きさを有する。また、セット電圧 $V_{set}$ は、カルコゲン層107\_\_aが結晶化する際に必要な時間保持される。その後、セル電圧 $V_{cell}$ を0Vにする。これにより、アモルファス状態のカルコゲン層107\_\_aは結晶状態(セット状態:低抵抗状態)のカルコゲン層107\_\_cとなる。

20

## 【0049】

尚、セット動作において、カルコゲン層107中の $Ge_2Sb_2Te_5$ の結晶は、結晶化促進層106に含まれる立方晶の結晶、例えば、閃亜鉛鉱構造の結晶、fcc結晶等の結晶面を基準として成長する。これにより、カルコゲン層107\_\_c中の $Ge_2Sb_2Te_5$ は、主として立方晶であるfcc結晶として生成される。

## 【0050】

以下同様に、図5(b)に示すメモリセルMCに対してリセット動作を行うと結晶状態のカルコゲン層107\_\_cがアモルファス状態のカルコゲン層107\_\_aとなる。また、図5(a)に示すメモリセルMCに対してセット動作を行うとアモルファス状態のカルコゲン層107\_\_aが結晶状態のカルコゲン層107\_\_cとなる。

30

## 【0051】

## [比較例]

図6は、比較例に係るメモリセルMCの書込動作について説明するための模式的な断面図である。比較例に係るメモリセルMCは、基本的には第1実施形態に係るメモリセルMCと同様に構成されている。しかしながら、比較例に係るメモリセルMCは、結晶化促進層106を有していない。

40

## 【0052】

図6(a)はリセット動作を行った後、図6(b)はセット動作を行った後のメモリセルMCの状態をそれぞれ示す。

## 【0053】

図6に示す様に、比較例に係るメモリセルMCのセット動作及びリセット動作は、第1実施形態に係るメモリセルMCのセット動作及びリセット動作と同様に行われる。しかしながら、比較例に係るメモリセルMCは、セット動作後に、カルコゲン層107\_\_cではなくカルコゲン層107\_\_c'が形成される。

## 【0054】

比較例に係るメモリセルMCは、セット動作に際して、第1実施形態と比較して、カル

50

コゲン層 107\_\_a からカルコゲン層 107\_\_c' へと結晶化が完了するまでの時間が長い。この際、カルコゲン層 107\_\_c' に接する結晶化促進層 106 が無いため、カルコゲン層 107\_\_a が結晶成長する際の基準面が無く、カルコゲン層 107 の構成原子が相互に自由に動いてしまう。このような状態では、結晶化の種となる結晶核が、カルコゲン層 107 内部で生成・消滅を繰り返してしまい、結果、結晶化が完了するまでの時間が長くなるためである。また、カルコゲン層 107\_\_c' へと結晶成長する際の配向を制御する結晶化促進層 106 が無いため、カルコゲン層 107\_\_c' には fcc 結晶が生成されにくい。

#### 【0055】

また、比較例に係るメモリセル MC は、ヒーターとして機能する結晶化促進層 106 を有さない。よって、セット動作、リセット動作に必要な熱を効率的にカルコゲン層 107 へ供給することができず、第 1 実施形態と比較して、セット動作及びリセット動作が完了するまでの時間が長くなってしまふ。

10

#### 【0056】

また、比較例に係るメモリセル MC は、熱遮蔽部材としても機能する結晶化促進層 106 を有さない。よって、カルコゲン層 107 において発生したジュール熱がカルコゲン層 103 側へ逃げやすく、第 1 実施形態と比較して、セット動作及びリセット動作が完了するまでの時間が長くなってしまふ。

#### 【0057】

[効果]

高速な書込動作を行うためには、セット動作及びリセット動作の両方を高速化する必要がある。

20

#### 【0058】

高速なセット動作を行うためには、特に、カルコゲン層 107 の結晶化が完了するまでの時間が短い方が好ましい。

#### 【0059】

そこで、本実施形態においては、例えば図 3 等を参照して説明した様に、カルコゲン層 107 の陰極 E<sub>c</sub> 側に、立方晶の結晶を含む結晶化促進層 106 を設ける。このような構造では、上述の通り、セット動作において、カルコゲン層 107 中に、立方晶である fcc 構造の結晶を、高速に生成することができる。

30

#### 【0060】

次に、高速なりセット動作を行うためには、結晶化したカルコゲン層 107\_\_c の溶融に必要な総熱量自体が小さいこと、及び、カルコゲン層 107\_\_c へ効果的に溶融熱を供給できること、が好ましい。

#### 【0061】

カルコゲン層 107\_\_c の溶融に必要な総熱量は、カルコゲン層 107\_\_c の結晶構造、組成等によって異なる。そこで、以下、カルコゲン層 107 の一例として、Ge<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub> を挙げる。

#### 【0062】

Ge<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub> は、結晶構造の安定状態として hcp (Hexagonal close-packed; 六方最密) 格子構造を有し、準安定状態として fcc 格子構造を有する。ここで、fcc 格子構造の Ge<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub> は、hcp 格子構造の Ge<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub> よりも少ない熱エネルギーで溶融することが知られている。従って、fcc 構造の結晶がカルコゲン層 107\_\_c に多量に含まれる方が、溶融に必要な総熱量を小さくすることができる。

40

#### 【0063】

しかしながら、カルコゲン層 107\_\_c に fcc 格子構造の結晶を生成することは、困難な場合がある。特に、長時間の使用によって半導体記憶装置全体の温度が高くなってしまった場合等にセット動作を行うと、hcp 格子構造の結晶の割合が多くなってしまふ場合がある。

#### 【0064】

50

そこで、本実施形態においては、上述の通り、立方晶の結晶を含む結晶化促進層 106 を設ける。この様な構造では、上述の通り、セット動作において、カルコゲン層 107<sub>c</sub> に fcc 格子構造の  $Ge_2Sb_2Te_5$  を安定して生成することができる。これにより、リセット動作時、カルコゲン層 107<sub>c</sub> の溶融に必要な総熱量を低くして、高速なりセット動作を実現することができる。

#### 【0065】

[結晶化促進層 106 の構成]

[結晶化促進層 106 の結晶構造]

図3等を参照して説明した様に、結晶化促進層 106 は立方晶である、閃亜鉛鉱構造の結晶、fcc 結晶等を含む。

10

#### 【0066】

閃亜鉛鉱構造の結晶を構成する材料としては、 $AlSb$  (0.614 nm)、 $ZnTe$  (0.611 nm) 等が挙げられる(カッコ内は各材料が構成する閃亜鉛鉱構造の結晶の格子定数)。結晶化促進層 106 は、例えば、これら材料を構成する、アルミニウム ( $Al$ ) 及びアンチモン ( $Sb$ )、又は、テルル ( $Te$ ) 及び亜鉛 ( $Zn$ ) を含んでも良い。

#### 【0067】

fcc 結晶を構成する材料としては、 $LaTe$  (0.642 nm)、 $CeTe$  (0.636 nm)、 $PrTe$  (0.632 nm)、 $NdTe$  (0.626 nm)、 $SmTe$  (0.659 nm)、 $EuTe$  (0.659 nm)、 $GdTe$  (0.614 nm)、 $TbTe$  (0.610 nm)、 $DyTe$  (0.609 nm)、 $HoTe$  (0.605 nm)、 $ErTe$  (0.606 nm)、 $TmTe$  (0.604 nm)、 $YbTe$  (0.635 nm)、 $LuTe$  (0.595 nm) 等が挙げられる(カッコ内は各材料が構成する fcc 結晶の格子定数)。結晶化促進層 106 は、例えば、これら材料を構成する、テルル ( $Te$ )、並びに、亜鉛 ( $Zn$ )、ランタン ( $La$ )、セリウム ( $Ce$ )、プラセオジウム ( $Pr$ )、ネオジウム ( $Nd$ )、サマリウム ( $Sm$ )、ユウロピウム ( $Eu$ )、ガドリニウム ( $Gd$ )、テルビウム ( $Tb$ )、ジスプロシウム ( $Dy$ )、ホルミウム ( $Ho$ )、エルビウム ( $Er$ )、ツリウム ( $Tm$ )、イッテルビウム ( $Yb$ ) 及びルテチウム ( $Lu$ ) の少なくとも一つを含んでも良い。

20

#### 【0068】

また、結晶化促進層 106 に含まれる閃亜鉛鉱構造の結晶又は fcc 結晶の格子定数は、カルコゲン層 107<sub>c</sub> に含まれる fcc 結晶の格子定数に近い方が望ましい。これらの結晶が互いに近い格子定数を有する方が、カルコゲン層 107<sub>c</sub> に含まれる結晶の結晶構造をより好適に制御できるためである。特に、結晶化促進層 106 に含まれる結晶の格子定数は、カルコゲン層 107 に含まれる結晶の格子定数の 90% より大きく 110% より小さいことが好ましい。

30

#### 【0069】

カルコゲン層 107 が  $Ge_2Sb_2Te_5$  を含む場合を例に挙げる。 $Ge_2Sb_2Te_5$  の fcc 結晶の格子定数は 0.598 nm なので、結晶化促進層 106 に含まれる結晶もこれと同程度の格子定数を有することが好ましい。結晶化促進層 106 の材料としては、例えば、 $AlSb$  (0.614 nm)、 $ZnTe$  (0.611 nm)、 $LaTe$  (0.642 nm)、 $CeTe$  (0.636 nm)、 $PrTe$  (0.632 nm)、 $NdTe$  (0.626 nm)、 $GdTe$  (0.614 nm)、 $TbTe$  (0.610 nm)、 $DyTe$  (0.609 nm)、 $HoTe$  (0.605 nm)、 $ErTe$  (0.606 nm)、 $TmTe$  (0.604 nm)、 $YbTe$  (0.635 nm)、 $LuTe$  (0.595 nm) 等が好ましい(カッコ内は各材料の格子定数)。

40

#### 【0070】

また、カルコゲン層 107 が  $GeCu_2Te_3$  を含む場合を例に挙げる。 $GeCu_2Te_3$  の fcc 結晶の格子定数は 0.599 nm なので、結晶化促進層 106 に含まれる結晶もこれと同程度の格子定数を有することが好ましい。結晶化促進層 106 の材料としては、例えば、 $AlSb$  (0.614 nm)、 $ZnTe$  (0.611 nm)、 $LaTe$  (0.

50

642 nm)、CeTe (0.636 nm)、PrTe (0.632 nm)、NdTe (0.626 nm)、SmTe (0.659 nm)、EuTe (0.659 nm)、GdTe (0.614 nm)、TbTe (0.610 nm)、DyTe (0.609 nm)、HoTe (0.605 nm)、ErTe (0.606 nm)、TmTe (0.604 nm)、YbTe (0.635 nm)、LuTe (0.595 nm) 等が好ましい(カッコ内は格子定数)。

【0071】

尚、カルコゲン層107がその他の材料を含む場合であっても同様に、結晶化促進層106に含まれる結晶の格子定数は、カルコゲン層107に含まれる結晶の格子定数の90%より大きく110%より小さいことが好ましい。

10

【0072】

尚、カルコゲン層107及び結晶化促進層106における各材料の組成比は、例えば、EDS (Energy Dispersive X-ray Spectrometry) 等の方法によって観察可能である。また、EDS等の方法によって取得した組成比に、最小二乗法等による近似線の設定や移動平均処理等を行い、その結果に基づいて組成比の判断を行うことも可能である。

【0073】

また、カルコゲン層107及び結晶化促進層106に含まれる結晶の結晶構造及び格子定数等は、例えば、NBD (Nano Beam Diffraction) 法等の方法によって解析可能である。

【0074】

20

[ 結晶化促進層106の融点 ]

上述の通り、リセット動作においては、カルコゲン層107を熔融させる。ここで、結晶化促進層106をヒーターとして機能させる場合、リセット動作において、結晶化促進層106における熱がカルコゲン層107における熱よりも大きくなる。ここで、カルコゲン層107が熔融した際、結晶化促進層106も同時に熔融してしまうと、相互に構成元素が混入して各層の特性が変化し、その後の書込動作に不良が生じてしまう恐れがある。従って、結晶化促進層106の融点は、結晶化促進層106がリセット動作において熔融しない様、十分に高い方が好ましい。例えば、結晶化促進層106の融点は、カルコゲン層107の融点よりも300 程度高い方が好ましい。少なくとも、結晶化促進層106の融点は、カルコゲン層107の融点よりも高い方が好ましい。

30

【0075】

カルコゲン層107がGe<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub>を含む場合を例に挙げる。Ge<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub>のfcc結晶の融点は630 であるため、結晶化促進層106の融点は630 よりも高い方が好ましい。より好ましくは、結晶化促進層106の融点が930 よりも高い方が好ましい。条件を満たす結晶化促進層106の材料としては、例えば、AlSb (1060 )、ZnTe (1295 )、LaTe (1720 )、CeTe (1820 )、PrTe (1950 )、NdTe (2025 )、SmTe、EuTe (1526 )、GdTe (1825 )、TbTe、DyTe (1850 )、HoTe (1370 )、ErTe (1500 )、TmTe YbTe (1730 )、LuTe 等が好ましい(カッコ内は各材料の融点)。

40

【0076】

尚、カルコゲン層107がその他の材料を含む場合であっても同様に、結晶化促進層106に含まれる材料の融点は、カルコゲン層107に含まれる材料の融点よりも高いことが好ましい。より好ましくは、結晶化促進層106の融点がカルコゲン層107の融点よりも300 程度高い方が好ましい。

【0077】

尚、カルコゲン層107及び結晶化促進層106に含まれる材料の融点は、例えば、メモリセルMCを昇温した状態における断面TEM (Transmission Electron Microscope) 観察等により、結晶構造が維持されない温度を測定する等の方法によって解析可能である。また、各材料の融点は、文献値等からも推定可能である。

50

## 【 0 0 7 8 】

[ 結晶化促進層 1 0 6 のバンドギャップ及び電気伝導性 ]

前述の通り、結晶化促進層 1 0 6 がヒーターとして機能する際、結晶化促進層 1 0 6 の電気伝導性が低い、即ち、結晶化促進層 1 0 6 のバンドギャップがより大きい方が好ましい。特に、結晶化促進層 1 0 6 のバンドギャップが、カルコゲン層 1 0 7 のバンドギャップよりも大きい方が好ましい。結晶化促進層 1 0 6 とカルコゲン層 1 0 7 は直列に配置され、動作時に同量の電流が流れる。カルコゲン層 1 0 7 に対して結晶化促進層 1 0 6 の電気伝導性がより低いことで、カルコゲン層 1 0 7 よりも結晶化促進層 1 0 6 の温度上昇幅が大きくなる。よって、結晶化促進層 1 0 6 がより効果的にヒーターとして機能する。

## 【 0 0 7 9 】

カルコゲン層 1 0 7 が  $Ge_2Sb_2Te_5$  を含む場合を例に挙げる。 $Ge_2Sb_2Te_5$  のバンドギャップは  $0.4 eV$  であるため、結晶化促進層 1 0 6 のバンドギャップは  $0.4 eV$  より高い方が好ましい。条件を満たす結晶化促進層 1 0 6 の材料としては、例えば、 $AlSb (1.58 eV)$ 、 $ZnTe (2.26 eV)$ 、等が好ましい(かっこ内は各材料の融点)。

## 【 0 0 8 0 】

尚、カルコゲン層 1 0 7 がその他の材料を含む場合であっても同様に、結晶化促進層 1 0 6 に含まれる材料のバンドギャップは、カルコゲン層 1 0 7 に含まれる材料のバンドギャップよりも高いことが好ましい。

## 【 0 0 8 1 】

尚、結晶化促進層 1 0 6 に含まれる材料のバンドギャップは、例えば、光吸収スペクトル測定等の方法によって解析可能である。

## 【 0 0 8 2 】

[ 結晶化促進層 1 0 6 の熱伝導率 ]

前述の通り、結晶化促進層 1 0 6 は、書込動作に必要な熱を効率的に利用するための、熱遮蔽部材としても機能する。熱遮蔽部材として機能するためには、結晶化促進層 1 0 6 の熱伝導率が低い方が好ましい。特に、結晶化促進層 1 0 6 の熱伝導率が、カルコゲン層 1 0 7 の熱伝導率よりも低い方が好ましい。結晶化促進層 1 0 6 において発生したジュール熱が、カルコゲン層 1 0 3 側へ逃げにくくなるためである。

## 【 0 0 8 3 】

尚、カルコゲン層 1 0 7 及び結晶化促進層 1 0 6 に含まれる材料の熱伝導率は、それらを構成する材料の組成、結晶構造等の測定値を基に、文献値等からその熱伝導率を推定可能である。

## 【 0 0 8 4 】

[ 第 1 実施形態の変形例 1 ]

[ メモリセル MC の構成 ]

図 7 は、第 1 実施形態の変形例 1 に係るメモリセル MC の模式的な断面図である。図 7 ( a ) は下方にビット線 BL が設けられ上方にワード線 WL が設けられるものに対応している。図 7 ( b ) は下方にワード線 WL が設けられ上方にビット線 BL が設けられるものに対応している。

## 【 0 0 8 5 】

図 7 ( a ) 及び図 7 ( b ) に示す様に、本実施形態に係るメモリセル MC は、第 1 の実施形態と同様に、Z 方向に順に積層された導電層 1 0 2、カルコゲン層 1 0 3、導電層 1 0 4、バリア導電層 1 0 5、カルコゲン層 1 0 7、バリア導電層 1 0 8 及び導電層 1 0 9 を備える。一方、本実施形態に係るメモリセル MC は、第 1 の実施形態と異なり、バリア導電層 1 0 5 とカルコゲン層 1 0 7 との間に、結晶化促進層 1 0 6 の代わりに結晶化促進層 1 0 6 \_ 1 を備える。また、カルコゲン層 1 0 7 とバリア導電層 1 0 8 との間に、結晶化促進層 1 0 6 \_ 2 を備える。

## 【 0 0 8 6 】

結晶化促進層 1 0 6 \_ 1 及び 1 0 6 \_ 2 は、カルコゲン層 1 0 7 の下面及び上面に接す

10

20

30

40

50

る。結晶化促進層 106\_\_1 及び 106\_\_2 は、カルコゲン層 107 の結晶構造を制御可能な結晶下地（テンプレート）として機能する。結晶化促進層 106\_\_1 及び 106\_\_2 は、上下両方からカルコゲン層 107 と接することで、カルコゲン層 107 の結晶構造をより好適に制御可能である。また、カルコゲン層 107 の結晶化完了までの時間を、より短縮することができる。

【0087】

尚、結晶化促進層 106\_\_1 及び 106\_\_2 に含まれる材料は、例えば、第 1 実施形態に係る結晶化促進層 106 に含まれる材料と同様の材料であっても良い。また、結晶化促進層 106\_\_1 及び 106\_\_2 に含まれる材料は、例えば、第 1 実施形態に係る結晶化促進層 106 に含まれる材料と同様の特性を備えていても良い。

10

【0088】

例えば、結晶化促進層 106\_\_1 及び 106\_\_2 に含まれる結晶の格子定数は、カルコゲン層 107 に含まれる結晶の格子定数の 90% より大きく 110% より小さいことが好ましい。

【0089】

また、結晶化促進層 106\_\_1 及び 106\_\_2 に含まれる材料の融点は、カルコゲン層 107 の融点よりも高い方が好ましい。より好ましくは、結晶化促進層 106 の融点がカルコゲン層 107 の融点よりも 300 程度高い方が好ましい。

【0090】

また、結晶化促進層 106\_\_1 及び 106\_\_2 に含まれる材料のバンドギャップは、カルコゲン層 107 に含まれる材料のバンドギャップよりも高いことが好ましい。

20

【0091】

また、結晶化促進層 106\_\_1 及び 106\_\_2 に含まれる材料の熱伝導率は、カルコゲン層 107 の熱伝導率よりも低い方が好ましい。

【0092】

[ 第 1 実施形態の変形例 2 ]

[ メモリセル MC の構成 ]

図 8 は、第 1 実施形態の変形例 2 に係るメモリセル MC の模式的な断面図である。図 8 ( a ) は下方にビット線 BL が設けられ上方にワード線 WL が設けられるものに対応している。図 8 ( b ) は下方にワード線 WL が設けられ上方にビット線 BL が設けられるものに対応している。

30

【0093】

図 8 ( a ) 及び図 8 ( b ) に示す様に、本実施形態に係るメモリセル MC は、第 1 の実施形態と同様に、Z 方向に順に積層された導電層 102、カルコゲン層 103、導電層 104、バリア導電層 105、バリア導電層 108 及び導電層 109 を備える。一方、本実施形態に係るメモリセル MC は、第 1 の実施形態と異なり、バリア導電層 105 とバリア導電層 108 との間に、交互に積層された複数の結晶化促進層 106\_\_3 及び複数のカルコゲン層 107\_\_1 を備える。

【0094】

複数の結晶化促進層 106\_\_3 は、複数のカルコゲン層 107\_\_1 の下面及び上面にそれぞれ接する。複数の結晶化促進層 106\_\_3 は、カルコゲン層 107\_\_1 の結晶構造を制御可能な結晶下地（テンプレート）として機能する。

40

【0095】

本変形例では、第 1 の実施形態と比較して、1 層ごとのカルコゲン層 107\_\_1 の厚さを薄くし、カルコゲン層 107\_\_1 を複数層に分けて設けることで、より短時間で複数のカルコゲン層 107\_\_1 を溶解することができる。また、薄層化させたカルコゲン層 107\_\_1 それぞれに対し、上下両面に接する複数の結晶化促進層 106\_\_3 を設けることで、カルコゲン層 107\_\_1 の結晶構造をより好適に制御可能である。また、カルコゲン層 107\_\_1 を薄層化した複数層とすることで、複数のカルコゲン層 107\_\_1 全ての結晶化完了までの時間を、第 1 の実施形態と比較して短縮することができる。

50

## 【 0 0 9 6 】

尚、結晶化促進層 1 0 6 \_\_ 3 に含まれる材料は、例えば、第 1 実施形態に係る結晶化促進層 1 0 6 に含まれる材料と同様の材料であっても良い。また、結晶化促進層 1 0 6 \_\_ 3 に含まれる材料は、例えば、第 1 実施形態に係る結晶化促進層 1 0 6 に含まれる材料と同様の特性を備えていても良い。

## 【 0 0 9 7 】

例えば、結晶化促進層 1 0 6 \_\_ 3 に含まれる結晶の格子定数は、カルコゲン層 1 0 7 \_\_ 1 に含まれる結晶の格子定数の 9 0 % より大きく 1 1 0 % より小さいことが好ましい。

## 【 0 0 9 8 】

また、結晶化促進層 1 0 6 \_\_ 3 に含まれる材料の融点は、カルコゲン層 1 0 7 \_\_ 1 の融点よりも高い方が好ましい。より好ましくは、結晶化促進層 1 0 6 \_\_ 3 の融点がカルコゲン層 1 0 7 \_\_ 1 の融点よりも 3 0 0 程度高い方が好ましい。

10

## 【 0 0 9 9 】

また、結晶化促進層 1 0 6 \_\_ 3 に含まれる材料のバンドギャップは、カルコゲン層 1 0 7 \_\_ 1 に含まれる材料のバンドギャップよりも高いことが好ましい。

## 【 0 1 0 0 】

また、結晶化促進層 1 0 6 \_\_ 3 に含まれる材料の熱伝導率は、カルコゲン層 1 0 7 \_\_ 1 の熱伝導率よりも低い方が好ましい。

## 【 0 1 0 1 】

[ 第 1 実施形態のその他の変形例 ]

図 3、図 7 及び図 8 を参照して説明した構成はあくまでも例示に過ぎず、具体的な構成は適宜調整可能である。

20

## 【 0 1 0 2 】

例えば、図 3 ( a ) に示す例において、結晶化促進層 1 0 6 は、カルコゲン層 1 0 7 の陽極 E<sub>A</sub> 側の面と接するように設けられていても良い。つまり、図 3 ( a ) において、結晶化促進層 1 0 6 は、カルコゲン層 1 0 7 とバリア導電層 1 0 8 との間に設けられていても良い。また、図 3 ( b ) に示す例において、結晶化促進層 1 0 6 は、カルコゲン層 1 0 7 の陰極 E<sub>C</sub> 側の面と接するように設けられていても良い。つまり、図 3 ( b ) において、結晶化促進層 1 0 6 は、カルコゲン層 1 0 7 とバリア導電層 1 0 8 との間に設けられていても良い。

30

## 【 0 1 0 3 】

また、図 3、図 7 及び図 8 を参照して説明した例において、カルコゲン層 1 0 7 , 1 0 7 \_\_ 1 の X 方向及び Y 方向の少なくとも一方の側壁部分に、結晶化促進層 1 0 6 が設けられていても良い。この様な場合、カルコゲン層 1 0 7 , 1 0 7 \_\_ 1 の上面及び下面の少なくとも一方には、結晶化促進層 1 0 6 が設けられていても良いし、設けられていなくても良い。

## 【 0 1 0 4 】

[ 第 2 実施形態 ]

[ 概略構成 ]

次に、図 9 及び図 1 0 を参照して第 2 実施形態に係る半導体記憶装置について説明する。図 9 は、第 2 実施形態に係る半導体記憶装置の一部の構成を示す模式的な回路図である。図 1 0 は、本実施形態に係る抵抗変化素子部 V R P の模式的な断面図である。

40

## 【 0 1 0 5 】

図 9 に示す様に、本実施形態に係る半導体記憶装置は、メモリセルアレイ M C A 2 と、メモリセルアレイ M C A 2 を制御する周辺回路 P C 2 と、を備える。メモリセルアレイ M C A 2 は、複数のワード線 W L 2、複数のプレート線 P L、及び複数のビット線 B L 2 を備える。また、メモリセルアレイ M C A 2 は、例えば、複数のメモリセル M C 2 を備える。

## 【 0 1 0 6 】

周辺回路 P C 2 は、第 1 の実施形態と同様に、例えば、降圧回路、選択回路、センスアンプ回路、及びこれらを制御するシーケンサ等を備える。

50

## 【 0 1 0 7 】

メモリセルMC2は、それぞれビット線BL2、ワード線WL2、及びプレート線PLへ接続される。例えば、同一のワード線WL2に接続された複数のメモリセルMC2は、同一のプレート線PLに接続される。一方、同一のワード線WL2に接続された複数のメモリセルMC2は、それぞれ異なるビット線BL2に接続される。メモリセルMC2は、電界効果型のトランジスタTrと、抵抗変化素子部VRPを備える。

## 【 0 1 0 8 】

トランジスタTrは、ワード線WL2に接続されたゲート端子と、ビット線BL2に接続されたドレイン端子と、抵抗変化素子部VRPの一端であるノードN1に接続されたソース端子と、を含む。トランジスタTrは、動作対象のメモリセルMC2を選択する機能を有する。

10

## 【 0 1 0 9 】

抵抗変化素子部VRPは、図10に示す様に、図示しない半導体基板の上方に順に積層された、導電層202、バリア導電層205、結晶化促進層106\_\_4、カルコゲン層107、バリア導電層208及び導電層209を備える。導電層202、バリア導電層205、バリア導電層208及び導電層209は、基本的には、図3(a)及び図3(b)を参照して説明した導電層102、バリア導電層105、バリア導電層108及び導電層109と同様に構成されている。ただし、図3(a)及び図3(b)の例では、導電層102、バリア導電層105、バリア導電層108及び導電層109のX方向及びY方向における幅が、結晶化促進層106及びカルコゲン層107のX方向及びY方向における幅と同程度だった。一方、図10の例では、導電層202、バリア導電層205、バリア導電層208及び導電層209のX方向及びY方向における幅が、結晶化促進層106\_\_4及びカルコゲン層107のX方向及びY方向における幅よりも大きい。また、導電層202は、ビット線BL又はワード線WLではなく、ノードN1に接続される。また、導電層209は、ワード線WL又はビット線BLではなく、プレート線PLに接続される。

20

## 【 0 1 1 0 】

結晶化促進層106\_\_4は、カルコゲン層107の下面に接する。結晶化促進層106\_\_4は、カルコゲン層107の結晶構造を制御可能な結晶下地(テンプレート)として機能する。

## 【 0 1 1 1 】

尚、結晶化促進層106\_\_4に含まれる材料は、例えば、第1実施形態に係る結晶化促進層106に含まれる材料と同様の材料であっても良い。また、結晶化促進層106\_\_4に含まれる材料は、例えば、第1実施形態に係る結晶化促進層106に含まれる材料と同様の特性を備えていても良い。

30

## 【 0 1 1 2 】

例えば、結晶化促進層106\_\_4に含まれる結晶の格子定数は、カルコゲン層107に含まれる結晶の格子定数の90%より大きく110%より小さいことが好ましい。

## 【 0 1 1 3 】

また、結晶化促進層106\_\_4に含まれる材料の融点は、カルコゲン層107の融点よりも高い方が好ましい。より好ましくは、結晶化促進層106の融点がカルコゲン層107の融点よりも300程度高い方が好ましい。

40

## 【 0 1 1 4 】

また、結晶化促進層106\_\_4に含まれる材料のバンドギャップは、カルコゲン層107に含まれる材料のバンドギャップよりも高いことが好ましい。

## 【 0 1 1 5 】

また、結晶化促進層106\_\_4に含まれる材料の熱伝導率は、カルコゲン層107の熱伝導率よりも低い方が好ましい。

## 【 0 1 1 6 】

[動作]

まず、本実施形態に係るメモリセルMC2への書込動作について説明する。書き込み対

50

象である対象メモリセルMC2に接続されたワード線WL2にON電圧を印加し、それ以外のワード線WL2にOFF電圧を印加することで、対象メモリセルMC2のトランジスタTrをON状態とし、それ以外のトランジスタTrをOFF状態とする。次に、例えば、対象メモリセルMC2に接続されたビット線BL2及びプレート線PLに、それぞれ書き込み電圧及び接地電圧を印加する。結果、対象メモリセルMC2の抵抗変化素子部VRPへ電流が供給され、上述したセット動作と同様にデータが書き込まれる。

【0117】

次に、本実施形態に係る読出し動作について説明する。書込動作と同様に、対象メモリセルMCのトランジスタTrをON状態とし、それ以外のトランジスタTrをOFF状態とする。次に、例えば、対象メモリセルMCに接続されたプレート線PL及びビット線BL2に、それぞれ読出し電圧及び接地電圧を印加する。次に、ビット線BL2に流れる電流、又はビット線BL2の電圧レベルを検出し、対象メモリセルMCに記憶されたデータを判定する。

10

【0118】

[第2実施形態の変形例]

図11は、第2実施形態の変形例に係る抵抗変化素子部VRP2の模式的な断面図である。

【0119】

図11に示す様に、本変形例に係る抵抗変化素子部VRP2は、基本的には第2の実施形態における抵抗変化素子部VRPと同様に構成されている。しかしながら、図11に示す抵抗変化素子部VRP2においては、結晶化促進層106\_\_4のかわりに、2つの結晶化促進層106\_\_5が、カルコゲン層107の上下面に接する様に、それぞれ設けられている。

20

【0120】

結晶化促進層106\_\_5は、カルコゲン層107の結晶構造を制御可能な結晶下地(テンプレート)として機能する。

【0121】

尚、結晶化促進層106\_\_5に含まれる材料は、例えば、第1実施形態に係る結晶化促進層106に含まれる材料と同様の材料であっても良い。また、結晶化促進層106\_\_5に含まれる材料は、例えば、第1実施形態に係る結晶化促進層106に含まれる材料と同様の特性を備えていても良い。

30

【0122】

例えば、結晶化促進層106\_\_5に含まれる結晶の格子定数は、カルコゲン層107に含まれる結晶の格子定数の90%より大きく110%より小さいことが好ましい。

【0123】

また、結晶化促進層106\_\_5に含まれる材料の融点は、カルコゲン層107の融点よりも高い方が好ましい。より好ましくは、結晶化促進層106の融点がカルコゲン層107の融点よりも300程度高い方が好ましい。

【0124】

また、結晶化促進層106\_\_5に含まれる材料のバンドギャップは、カルコゲン層107に含まれる材料のバンドギャップよりも高いことが好ましい。

40

【0125】

また、結晶化促進層106\_\_5に含まれる材料の熱伝導率は、カルコゲン層107の熱伝導率よりも低い方が好ましい。

【0126】

[その他の実施形態]

以上、第1実施形態及び第2実施形態に係る半導体記憶装置について説明した。しかしながら、上述した半導体記憶装置は例示に過ぎず、具体的な構成等は適宜調整可能である。

【0127】

例えば図1及び図2の例では、2つのメモリマットMMがZ方向に並んでおり、下方の

50

メモリマットMMは下方に位置するビット線BL及び上方に位置するワード線WLを備えており、上方のメモリマットMMは下方に位置するワード線WL及び上方に位置するビット線BLを備えていた。また、ワード線WLは、下方に位置するメモリマットMM及び上方に位置するメモリマットMMについて共通に設けられていた。しかしながら、このような構成は一例にすぎず、例えば図2に示すビット線BLをワード線WLに入れ替え、図2に示すワード線WLをビット線BLに入れ替えても良い。

【0128】

[その他]

本発明のいくつかの実施形態を説明したが、これらの実施形態は例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると共に、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0129】

102...導電層、103...カルコゲン層、104...導電層、106...結晶化促進層、107...カルコゲン層、109...導電層、MC...メモリセル、MCA...メモリセルアレイ、PC...周辺回路。

10

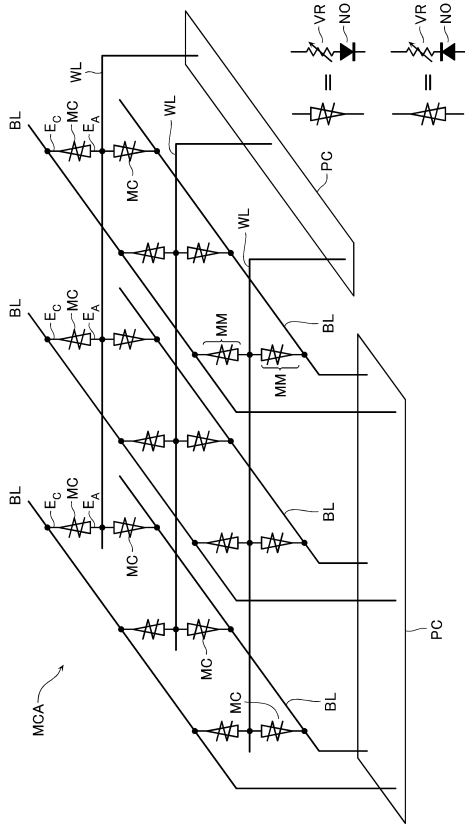
20

30

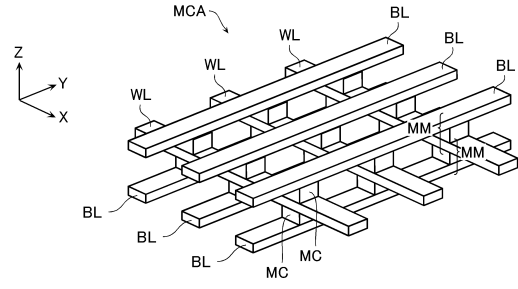
40

50

【図面】  
【図 1】



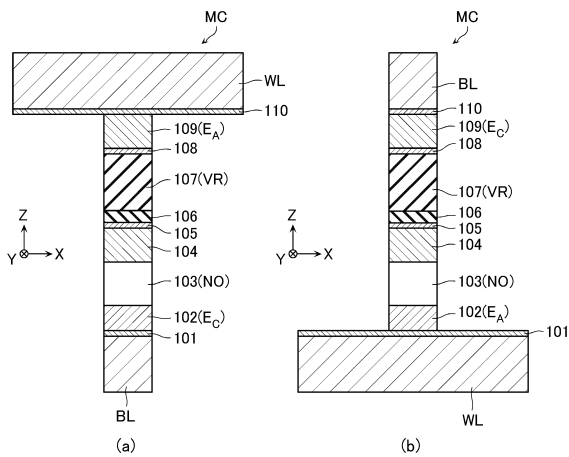
【図 2】



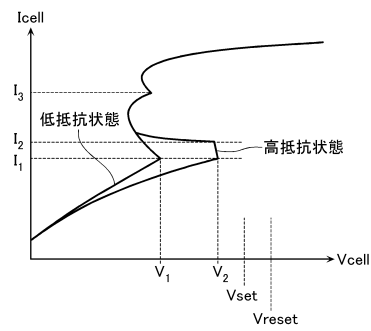
10

20

【図 3】



【図 4】

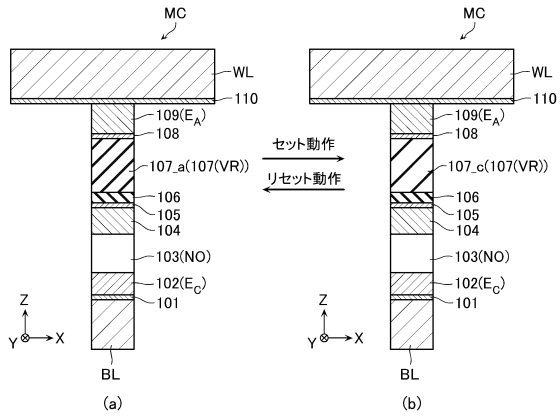


30

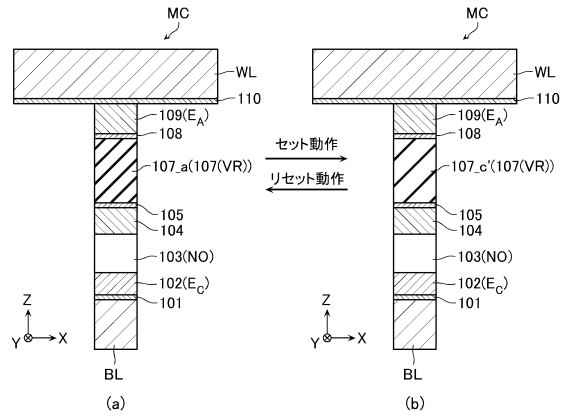
40

50

【図5】

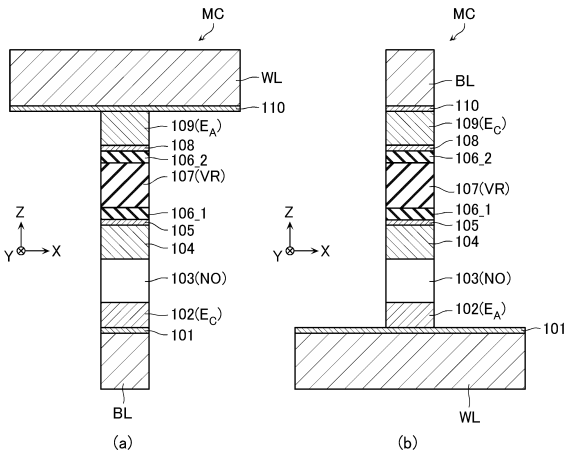


【図6】

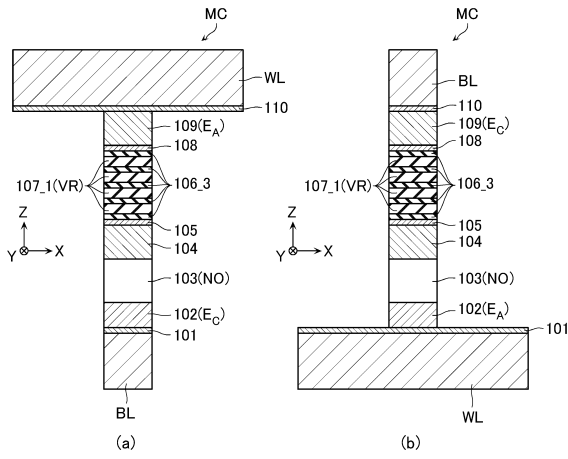


10

【図7】



【図8】



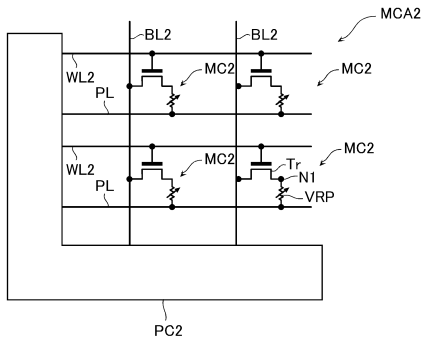
20

30

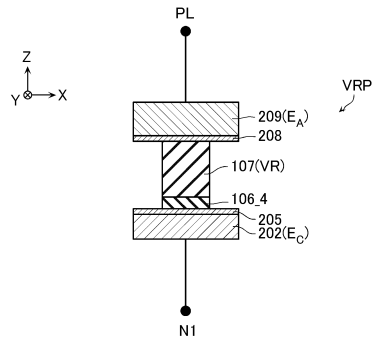
40

50

【 図 9 】

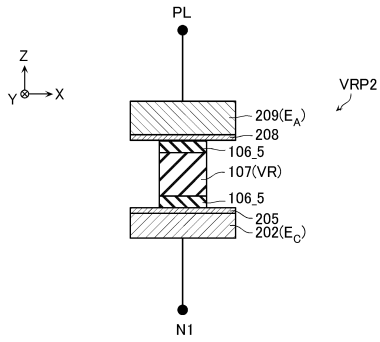


【 図 10 】



10

【 図 11 】



20

30

40

50

## フロントページの続き

東京都港区芝浦三丁目1番21号 キオクシア株式会社内

審査官 宮本 博司

- (56)参考文献 米国特許出願公開第2020/0388752 (US, A1)  
特開昭63-137159 (JP, A)  
米国特許出願公開第2013/0270503 (US, A1)  
国際公開第2004/025640 (WO, A1)  
特開2006-229227 (JP, A)  
米国特許出願公開第2019/0088551 (US, A1)  
特開2007-157776 (JP, A)  
韓国公開特許第10-2017-0112608 (KR, A)  
特開2001-209970 (JP, A)
- (58)調査した分野 (Int.Cl., DB名)  
H10B 63/10  
H10N 70/20