

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 1 月 21 日 (21.01.2016)



(10) 国际公布号
WO 2016/008183 A1

- (51) 国际专利分类号:
G02F 1/1343 (2006.01) G02F 1/1333 (2006.01)
- (21) 国际申请号: PCT/CN2014/083744
- (22) 国际申请日: 2014 年 8 月 5 日 (05.08.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410344992.X 2014 年 7 月 18 日 (18.07.2014) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 施明宏 (SHIH, Ming Hung); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 姜佳丽 (JIANG, Jiali); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 北京聿宏知识产权代理有限公司 (YUHONG INTELLECTUAL PROPERTY LAW FIRM); 中国北京市西城区宣武门外大街 6 号庄胜广场第一座西翼 713 室吴大建/刘华联, Beijing 100052 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ,

[见续页]

(54) Title: METHOD FOR MANUFACTURING HVA PIXEL ELECTRODE AND ARRAY SUBSTRATE

(54) 发明名称: 用于制作 HVA 像素电极的方法及阵列基板

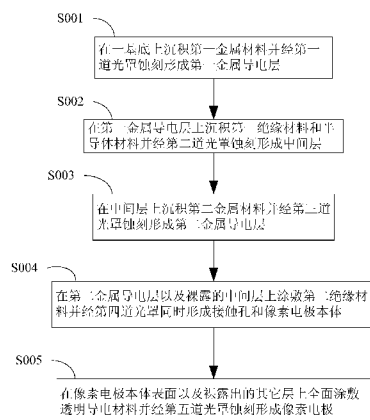


图 3 / FIG. 3

- S001 DEPOSIT ON A FIRST SUBSTRATE A FIRST METAL MATERIAL AND FORM A FIRST ELECTRICALLY-CONDUCTIVE METAL LAYER BY MEANS OF A FIRST-PASS MASKED ETCHING
- S002 DEPOSIT ON THE FIRST ELECTRICALLY-CONDUCTIVE METAL LAYER A FIRST INSULATING MATERIAL AND A SEMICONDUCTOR MATERIAL AND FORM AN INTERMEDIATE LAYER BY MEANS OF A SECOND-PASS MASKED ETCHING
- S003 DEPOSIT ON THE INTERMEDIATE LAYER A SECOND METAL MATERIAL AND FORM A SECOND ELECTRICALLY-CONDUCTIVE METAL LAYER BY MEANS OF A THIRD-PASS MASKED ETCHING
- S004 COAT ONTO THE SECOND ELECTRICALLY-CONDUCTIVE METAL LAYER AND THE EXPOSED INTERMEDIATE LAYER A SECOND INSULATING MATERIAL AND, AT THE SAME TIME, FORM A CONTACT HOLE AND A PIXEL ELECTRODE BODY BY MEANS OF A FOURTH-PASS MASKED ETCHING
- S005 COAT THROUGHOUT THE SURFACE OF THE PIXEL ELECTRODE BODY AND THE OTHER LAYERS THAT ARE EXPOSED AND FORM A PIXEL ELECTRODE BY MEANS OF A FIFTH-PASS MASKED ETCHING

(57) Abstract: A method for use in manufacturing an HVA pixel electrode and a corresponding array substrate, applicable in the technical field of liquid crystal displays. The method comprises: depositing on a substrate (1) a first metal material that is etched to form a first electrically-conductive metal layer (S001); depositing on the first metal layer a first insulating material and a semiconductor material and that are etched to form an intermediate layer (S002); depositing on the intermediate layer a second metal material that is etched to form a second electrically-conductive metal layer (S003); coating onto the second electrically-conductive metal layer and the exposed intermediate layer a second insulating material that is etched to form at the same time a contact hole and a three-dimensionally structured insulating structure body (S004); coating a transparent electrically-conductive material throughout the surface of the insulating structure body and the other layers that are exposed, and forming a transparent electrically-conductive layer by means of a fifth-pass masked etching (S005). Also comprised is an array substrate manufactured by employing said method. Because one masking process is obviated, costs are saved, manufacturing time of the array substrate is reduced, yield is increased, and the transmittance of a liquid crystal display is also increased.

(57) 摘要:

[见续页]



WO 2016/008183 A1



BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则 4.17 的声明:

— 发明人资格(细则 4.17(iv))

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种用于制作 HVA 像素电极的方法及对应的阵列基板，应用于液晶显示技术领域，该方法包括：在基底（1）上沉积第一金属材料经蚀刻形成第一金属导电层（S001）；在第一金属导电层上沉积第一绝缘材料和半导体材料经蚀刻形成中间层（S002）；在中间层上沉积第二金属材料经蚀刻形成第二金属导电层（S003）；在第二金属导电层以及裸露的中间层上涂敷第二绝缘材料经蚀刻同时形成接触孔及三维结构的绝缘结构体（S004）；在绝缘结构体表面以及裸露出的其它层上全面涂敷透明导电材料，并通过第五道光罩蚀刻形成透明导电层（S005），同时还包括采用以上方法制成的阵列基板。由于节省了一道光罩过程，节约了成本，缩短了阵列基板的制作时间，提高了产能，同时提高了液晶面板的穿透率。

用于制作 HVA 像素电极的方法及阵列基板

相关申请的交叉引用

本申请要求享有 2014 年 7 月 18 日提交的名称为“用于制作 HVA 像素电极的方法及阵列基板”的中国专利申请 CN201410344992.X 的优先权，该申请的全部内容通过引用并入本文中。

技术领域

本发明涉及液晶显示技术领域，具体地说，涉及一种用于制作 HVA（High Vertical Alignment，高垂直排列）像素电极的方法及阵列基板。

背景技术

一般而言，HVA 像素电极具有 Fine Slit（改进的狭缝）结构样式。Fine Slit 结构在狭缝部分不设置像素电极。因此狭缝部分对电场的控制力较差，进而对液晶分子的控制力较差。在显示的时候，该狭缝部分对应的区域会出现暗纹。这在一定程度上损失了液晶的透光效率，进而损失了液晶面板的穿透率。

基于上述情况，亟需一种能够提高液晶面板穿透率的 HVA 像素电极的制作方法及对应的阵列基板。

发明内容

为解决上述问题，本发明提供了一种能够提高液晶面板穿透率的 HVA 像素电极的制作方法及对应的阵列基板。

根据本发明的一个方面，提供了一种用于制作 HVA 像素电极的方法，其包括以下步骤：

在一基底上沉积第一金属材料，并采用第一道光罩对所述第一金属材料进行蚀刻以图案化形成第一金属导电层；

在所述第一金属导电层上沉积第一绝缘材料和半导体材料，并采用第二道光罩对所述半导体材料进行蚀刻以图案化形成硅岛图案，裸露的第一绝缘材料和蚀刻后的半导体材料形成中间层；

在所述中间层上沉积第二金属材料,并采用第三道光罩对所述第二金属材料进行蚀刻以图案化形成第二金属导电层;

在图案化的第二金属导电层以及裸露的中间层上涂敷第二绝缘材料,并通过第四道光罩对所述第二绝缘材料进行蚀刻,以形成至少到达所述第二金属导电层的接触孔,其中,所述第四道光罩设计成还能蚀刻出具有三维结构的绝缘结构体;

在所述绝缘结构体表面以及裸露出的其它层上全面涂敷透明导电材料,并通过第五道光罩蚀刻形成透明导电层。

根据本发明的一个实施例,所述绝缘结构体为米字形结构。

根据本发明的一个实施例,所述米字形结构包括垂直相交的水平主干和竖直主干,以及分别从水平主干和竖直主干向两侧以一定夹角延伸出的若干分支,各个分支部分和主干部分具有凸条形状,在分支之间具有凹槽形状。

根据本发明的一个实施例,所述第四道光罩上的透光区域对应形成阵列基板上的绝缘结构体的凹槽。

根据本发明的一个实施例,经所述第五道光罩蚀刻后形成的透明导电层覆盖于所述凸条的表面和所述凹槽的表面,从而形成像素电极。

根据本发明的另一方面,还提供了一种具有以上方法制作的像素电极的阵列基板,其包括;

基底;

在基底上形成的多个像素单元,所述像素单元包括;

设置在开口区的像素电极,所述像素电极设置于绝缘结构体上,其中,所述绝缘结构体包括相间排列的凸条和凹槽。

根据本发明的一个实施例,所述绝缘结构体为米字形结构。

根据本发明的一个实施例,所述米字形结构包括垂直相交的水平主干和竖直主干,以及分别从中向两侧以一定夹角延伸出的若干分支,各个分支部分和主干部分具有凸条形状,在分支之间具有凹槽形状。

根据本发明的一个实施例,所述凸条和所述凹槽的宽度设置为相等。

根据本发明的一个实施例,所述凸条和所述凹槽的宽度设置为不等,其中,相邻凸条的宽度相等,相邻凹槽的宽度相等。

本发明带来了以下有益效果:

在本发明所述的方法中,将蚀刻接触孔与蚀刻形成绝缘结构体的步骤合并为一个步骤进行,节省了一道光罩过程,节约了成本,缩短了阵列基板的制作时间,提高了产能。同

时将像素电极全面覆盖于开口区中，提高了像素电极对液晶分子的控制力，提高了液晶面板的穿透率。

本发明的其它特征和优点将在随后的说明书中阐述，并且，部分地从说明书中变得显而易见，或者通过实施本发明而了解。本发明的目的和其他优点可通过在说明书、权利要求书以及附图中所特别指出的结构来实现和获得。

附图说明

为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要的附图做简单的介绍：

图 1 为现有的 Fine Slit 形式的 HVA 像素电极平面示意图；

图 2 为图 1 的 A-A 方向剖面示意图；

图 3 为本发明的一个实施例的方法步骤图；

图 4 为具有按本发明所述方法制成的像素电极的阵列基板的一个实施例的平面示意图；

图 5 是图 4 的 B-B 方向剖面示意图；

其中，1、基底，2、栅线，3、数据线，4、TFT（薄膜晶体管），5、像素电极，5a、Slit（缝隙），5b、凸条，5c、凹槽，6、公共电极线，7、接触孔，8、栅极绝缘层，9、沉积钝化层。

具体实施方式

以下将结合附图及实施例来详细说明本发明的实施方式，借此对本发明如何应用技术手段来解决技术问题，并达成技术效果的实现过程能充分理解并据以实施。需要说明的是，只要不构成冲突，本发明中的各个实施例以及各实施例中的各个特征可以相互结合，所形成的技术方案均在本发明的保护范围之内。

另外，在附图的流程图示出的步骤可以在诸如一组计算机可执行指令的计算机系统中执行，并且，虽然在流程图中示出了逻辑顺序，但是在某些情况下，可以以不同于此处的顺序执行所示出或描述的步骤。

如图 1 所示为现有的一种具有 Fine Slit 形式 HVA 像素电极的阵列基板。该阵列基板包括基底 1 和像素单元。像素单元包括设置于基底 1 上的栅线 2、数据线 3、TFT4、像素电极 5 和公共电极线 6。其中，栅线 2 与公共电极线 6 平行设置。栅线 2 与公共电极 6 均与数据线 3 垂直设置。TFT4 设置于栅线 2 上，其栅极、源极和漏极分别与栅线 2、数据

线 3 和像素电极 5 电连接。在一种设置中, TFT4 通过接触孔 7 与像素电极 5 连接。像素单元上设置有缝隙 5a, 缝隙 5a 上不设置透明导电材料来形成像素电极。

图 2 为图 1 沿 A-A 方向的剖面图。如图所示, 基底 1 上覆有栅极绝缘层 8。在数据线 3 和栅极绝缘层 8 上覆盖有沉积钝化层 9。沉积钝化层 9 上设置有像素电极 5。在像素电极 5 之间设置有缝隙 5a, 缝隙 5a 部分未设置导电材料。由于缝隙 5a 部分不设置导电材料, 因此该部分对电场的控制力差, 进而导致该部分对液晶分子的控制力差。在电场控制液晶分子翻转时, 缝隙 5a 对应位置的液晶分子不能翻转到位, 因此会影响该位置的光透过率。在这种情况下, 就会在缝隙 5a 对应位置引起暗纹, 损失液晶分子的透光率, 进而损失液晶面板的穿透率。因此, 需要一种新的制作工艺来改进像素电极结构及对应该像素电极结构的阵列基板, 从而提高液晶分子的透光率。

如图 3 所示为根据本发明的原理制作一种新的像素电极的方法步骤图。

在步骤 S001 中, 在选择的基底上沉积第一金属材料, 并经过第一道光罩对第一金属材料进行蚀刻以图案化从而形成第一金属导电层。该处的第一金属导电层对应栅极金属层。在该步骤中, 首先通过溅射方式在基底上形成一层金属层。然后在该金属层上涂布一层正性 PR (光刻胶)。之后采用对应的光罩进行曝光处理。之后经显影处理、湿刻处理和 PR 剥离处理, 得到所需的栅极金属层。

在步骤 S002 中, 首先在第二层金属导电层上沉积第一绝缘材料用以形成栅极绝缘层。然后在栅极绝缘层上沉积半导体材料, 并经过第二道光罩对半导体材料进行蚀刻以形成硅岛图案。之后在裸露的栅极绝缘层和蚀刻后的半导体材料上涂布一层正性 PR (光刻胶)。然后采用对应的光罩进行曝光处理。之后经显影处理、湿刻处理和 PR 剥离处理, 得到所需的中间层。

在步骤 S003 中, 首先在中间层上沉积第二层金属材料, 并经过第三道光罩形成第二金属导电层。该处的第二金属导电层包括数据线、TFT 的源极和漏极。在该步骤中, 首先利用溅射方式在中间层上形成一层金属层。然后在该金属层上涂布一层正性 PR (光刻胶)。之后采用对应的光罩进行曝光的处理。之后经显影处理、湿刻处理和 PR 剥离处理, 得到所需的第二金属导电层。

在步骤 S004 中, 首先在裸露的中间层及第二金属导电层上沉积钝化层, 然后采用对应的第四道光罩在该沉积钝化层上进行蚀刻以同时形成接触孔和绝缘结构体。

在该过程中, 首先沉积钝化层用于对裸露的中间层及第二金属导电层进行绝缘保护, 然后在沉积钝化层上进行蚀刻处理。在本发明的一个实施例中, 在采用正性 PR (光刻胶) 的条件下, 此处采用的第四道光罩上的透光区域设置为两部分。一部分透光区域对应阵列

基板上接触孔部位,该透光区域对应形成到达第二金属导电层的接触孔。另一部分透光区域对应阵列基板上部分像素单元开口区域,对应该透光区域的阵列基板上的绝缘材料被蚀刻形成凹槽。同时,第四道光罩上对应阵列基板上像素单元开口区域还设有不透光区域,该不透光区域对应的阵列基板上的绝缘材料不被蚀刻从而在基板上形成凸条。阵列基板上的凹槽和凸条形成具有立体形状的绝缘结构体。

通常情况下,接触孔和阵列基板上绝缘材料的蚀刻是通过两步来完成的,即采用一道光罩蚀刻阵列基板上的绝缘材料形成接触孔,然后采用另一道光罩蚀刻阵列基板上的绝缘材料来形成凸条和凹槽。在本发明中,采用第四道光罩同时蚀刻形成接触孔、凸条和凹槽。该制作方法节约了一张光罩和一道制程,节约了成本,同时缩短了阵列基板的制作时间,提高了产能。

在步骤 S005 中,在绝缘结构体表面以及裸露的其它层上全面涂敷透明导电材料,并经过第五道光罩形成透明导电层,即像素电极。像素电极覆盖于整个绝缘结构体的凸条和凹槽上,又由于绝缘结构体位于像素单元的开口区域,所以像素电极覆盖于整个像素单元的开口区域。在这种情况下,就会提高像素电极对电场的控制力,从而提高了对液晶分子的控制力。对液晶分子的控制力提高就会降低暗纹的出现,从而提高了液晶的透光率进而提高了液晶面板的穿透率。

图 4 所示为具有以上所述像素电极的阵列基板的一个实施例的平面示意图。如图所示,该阵列基板包括基底 1 和像素单元。像素单元包括设置于基底 1 上的栅线 2、数据线 3、TFT4、像素电极 5 和公共电极线 6。其中,栅线 2 与公共电极线 6 平行设置。栅线 2 和数据线 3 均与公共电极线 6 垂直设置。TFT4 设置于栅线 2 上,其栅极、源极和漏极分别与栅线 2、数据线 3 和像素电极 5 电连接。其中,TFT4 的漏极通过接触孔 7 与像素电极 5 连接。凸条 5b 和凹槽 5c 相间排列,构成绝缘结构体。像素电极 5 覆盖于绝缘结构体上。

再次如图 4 所示,绝缘结构体为米字形结构。米字形结构包括垂直相交的水平主干和竖直主干,以及分别从中向两侧以一定夹角延伸出的若干分支。各个分支与引出其的主干之间的夹角范围设置为 30° ~ 60° 。各个分支部分和主干部分为凸条形状,分支之间为凹槽形状。其中,凸条和凹槽相间排列设置。在本发明的一个实施例中,凸条和凹槽的宽度可以设置为相等,如图 4 所示。在本发明的另一个实施例中,凸条和凹槽的宽度也可设置为不等。

图 5 为图 4 沿 B-B 方向的剖面图。如图所示,基底 1 上覆有栅极绝缘层 8。在数据线 3 和栅极绝缘层 8 上覆盖有沉积钝化层 9。像素电极 5 与基底 1 之间为绝缘结构体。该绝

缘结构体包括凸条和凹槽。在凸条和凹槽上均覆盖透明导电材料形成像素电极，这样就提高了液晶面板的像素电极覆盖面积，进而提高了像素电极对液晶分子的控制。对液晶分子的控制提高就会降低暗纹的出现，就会提高液晶的透光率，进而提高了液晶面板的穿透率。

虽然本发明所公开的实施方式如上，但所述的内容只是为了便于理解本发明而采用的实施方式，并非用以限定本发明。任何本发明所属技术领域内的技术人员，在不脱离本发明所公开的精神和范围的前提下，可以在实施的形式上及细节上作任何的修改与变化，但本发明的专利保护范围，仍须以所附的权利要求书所界定的范围为准。

权利要求书

1、一种用于制作 HVA 像素电极的方法，其中，包括以下步骤：

在一基底上沉积第一金属材料，并采用第一道光罩对所述第一金属材料进行蚀刻以图案化形成第一金属导电层；

在所述第一金属导电层上沉积第一绝缘材料和半导体材料，并采用第二道光罩对所述半导体材料进行蚀刻以图案化形成硅岛图案，裸露的第一绝缘材料和蚀刻后的半导体材料形成中间层；

在所述中间层上沉积第二金属材料，并采用第三道光罩对所述第二金属材料进行蚀刻以图案化形成第二金属导电层；

在图案化的第二金属导电层以及裸露的中间层上涂敷第二绝缘材料，并通过第四道光罩对所述第二绝缘材料进行蚀刻，以形成至少到达所述第二金属导电层的接触孔，其中，所述第四道光罩设计成还能蚀刻出具有三维结构的绝缘结构体；

在所述绝缘结构体表面以及裸露出的其它层上全面涂敷透明导电材料，并通过第五道光罩蚀刻以图案化形成透明导电层。

2、如权利要求 1 所述的用于制作 HVA 像素电极的方法，其中，所述绝缘结构体为米字形结构。

3、如权利要求 2 所述的用于制作 HVA 像素电极的方法，其中，所述米字形结构包括垂直相交的水平主干和竖直主干，以及分别从水平主干和竖直主干向两侧以一定夹角延伸出的若干分支，各个分支部分和主干部分具有凸条形状，在分支之间具有凹槽形状。

4、如权利要求 3 所述的用于制作 HVA 像素电极的方法，其中，所述第四道光罩上的透光区域对应形成阵列基板上的绝缘结构体的凹槽。

5、如权利要求 4 所述的用于制作 HVA 像素电极的方法，其中，经所述第五道光罩蚀刻后形成的透明导电层覆盖于所述凸条的表面和所述凹槽的表面，从而形成像素电极。

6、一种阵列基板，其中，所述阵列基板包括：

基底；

在基底上形成的多个像素单元，所述像素单元包括：

设置在开口区的像素电极，所述像素电极设置于绝缘结构体上，其中，所述绝缘结构体包括相间排列的凸条和凹槽，制作所述像素电极包括以下步骤：

在一基底上沉积第一金属材料，并采用第一道光罩对所述第一金属材料进行蚀刻以图案化形成第一金属导电层；

在所述第一金属导电层上沉积第一绝缘材料和半导体材料，并采用第二道光罩对所述半导体材料进行蚀刻以图案化形成硅岛图案，裸露的第一绝缘材料和蚀刻后的半导体材料形成中间层；

在所述中间层上沉积第二金属材料，并采用第三道光罩对所述第二金属材料进行蚀刻以图案化形成第二金属导电层；

在图案化的第二金属导电层以及裸露的中间层上涂敷第二绝缘材料，并通过第四道光罩对所述第二绝缘材料进行蚀刻，以形成至少到达所述第二金属导电层的接触孔，其中，所述第四道光罩设计成还能蚀刻出具有三维结构的绝缘结构体；

在所述绝缘结构体表面以及裸露出的其它层上全面涂敷透明导电材料，并通过第五道光罩蚀刻以图案化形成透明导电层。

7、如权利要求 6 所述的阵列基板，其中，所述绝缘结构体为米字形结构。

8、如权利要求 7 所述的阵列基板，其中，所述米字形结构包括垂直相交的水平主干和竖直主干，以及分别从中向两侧以一定夹角延伸出的若干分支，各个分支部分和主干部分具有所述凸条形状，在分支之间具有所述凹槽形状。

9、如权利要求 8 所述的阵列基板，其中，所述凸条和所述凹槽的宽度设置为不等。

10、如权利要求 8 所述的阵列基板，其中，所述凸条和所述凹槽的宽度设置为相等。

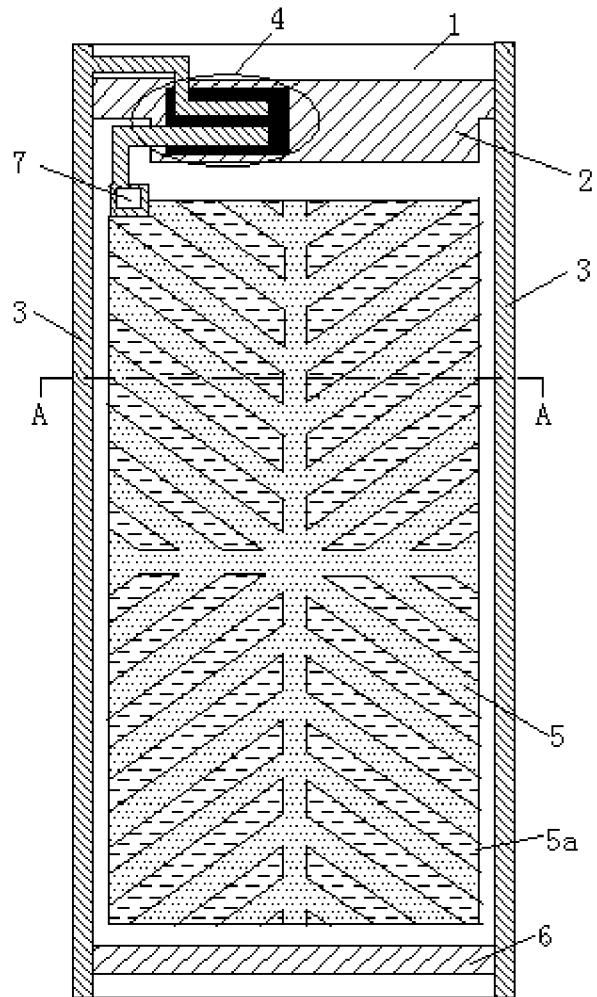


图 1

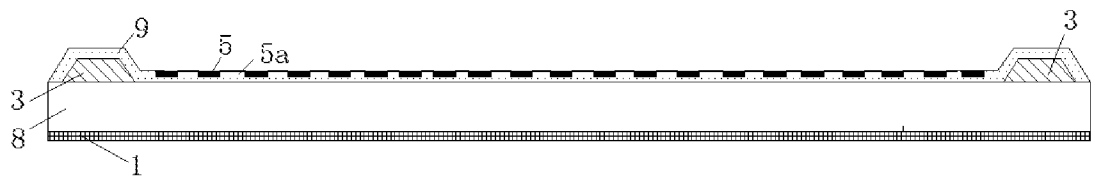


图 2

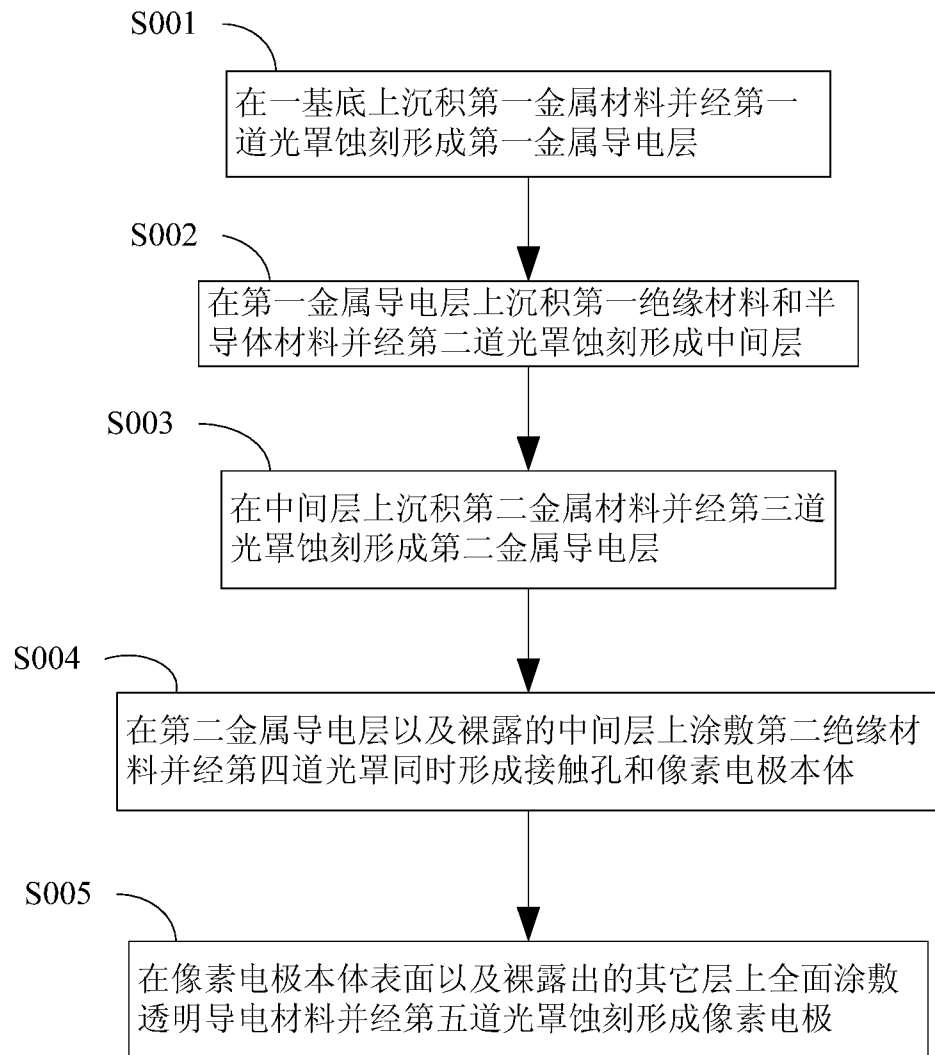


图 3

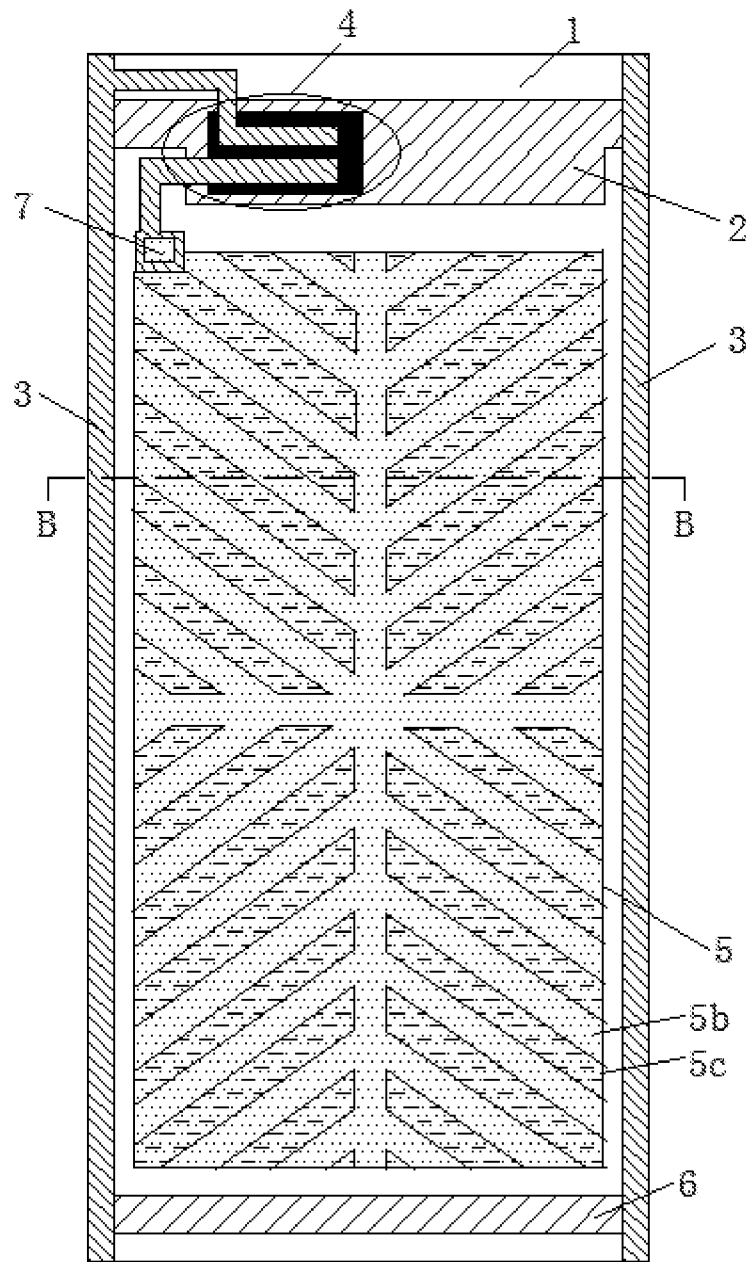


图 4

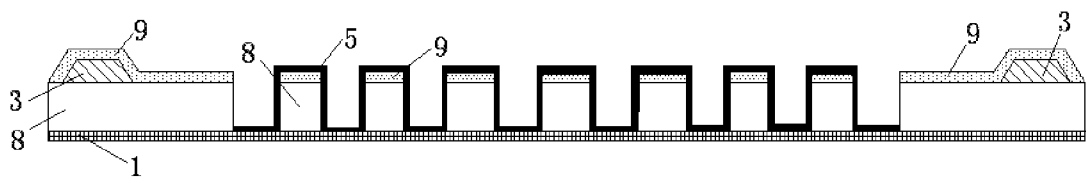


图 5

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2014/083744

A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/1343 (2006.01) i; G02F 1/1333 (2006.01) i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC: pixel w electrode?, concave, groove, etch+, insulation, convex, passivation

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 103779202 A (SHENZHEN HUAXING OPTOELECTRONIC TECHNOLOGY CO., LTD.) 07 May 2014 (07.05.2014) description, paragraphs [0066]-[0088]. and figures 1, 10 and	1-10
Y	CN 102830560 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 19 December 2012 (19.12.2012) description, paragraphs [0112] and [0113], and figure 5(3)	1-10
E	CN 104062843 A (SHENZHEN HUAXING OPTOELECTRONIC TECHNOLOGY CO., LTD.) 24 September 2014 (24.09.2014) description, paragraphs [0054]-[0065], and figures 7 and 8	1-10
A	JP 2002090726 A (MATSUSHITA DENKI SANGYO KK.) 27 March 2002 (27.03.2002) the whole document	1-10
A	JP 2005283691 A (QUANTA DISPLAY INC.et al.) 13 October 2005 (13.10.2005) the whole document	1-10
A	CN 103323993 A (INNOCOM TECH SHENZHEN LTD) 25 September 2013 (25.09.2013) the whole document	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	"&"document member of the same patent family

Date of the actual completion of the international search 30 March 2015	Date of mailing of the international search report 27 April 2015
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer AN, Jing Telephone No. (86-10) 61648450

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2014/083744

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103779202 A	07 May 2014	None	
CN 102830560 A	19 December 2012	US 2014054703 A1	27 February 2014
		EP 2703882 A1	05 March 2014
CN 104062843 A	24 September 2014	None	
JP 2002090726 A	27 March 2002	None	
JP 2005283691 A	13 October 2005	None	
CN 103323993 A	25 September 2013	None	

国际检索报告

国际申请号

PCT/CN2014/083744

A. 主题的分类

G02F 1/1343(2006.01)i; G02F 1/1333(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, WPI, EPODOC:突, 凸, 凹, 槽, 缝, 刻蚀, 蚀刻, 像素电极, 钝化, 绝缘, 像素电极, pixel w electrode?, concave, groove, etch+, insulation

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 103779202 A (深圳市华星光电技术有限公司) 2014年 5月 7日 (2014 - 05 - 07) 说明书第[0066]-[0088]段、附图1, 10, 11	1-10
Y	CN 102830560 A (京东方科技集团股份有限公司 等) 2012年 12月 19日 (2012 - 12 - 19) 说明书第[0112]-[0113]段、附图5(3)	1-10
E	CN 104062843 A (深圳市华星光电技术有限公司) 2014年 9月 24日 (2014 - 09 - 24) 说明书第[0054]-[0065]段、附图7, 8	1-10
A	JP 2002090726 A (MATSUSHITA DENKI SANGYO KK.) 2002年 3月 27日 (2002 - 03 - 27) 全文	1-10
A	JP 2005283691 A (QUANTA DISPLAY INC. 等) 2005年 10月 13日 (2005 - 10 - 13) 全文	1-10
A	CN 103323993 A (群康科技深圳有限公司 等) 2013年 9月 25日 (2013 - 09 - 25) 全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2015年 3月 30日

国际检索报告邮寄日期

2015年 4月 27日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10)62019451

受权官员

安晶

电话号码 (86-10)61648450

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2014/083744

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103779202	A	2014年 5月 7日	无			
CN	102830560	A	2012年 12月 19日	US	2014054703	A1	2014年 2月 27日
				EP	2703882	A1	2014年 3月 5日
CN	104062843	A	2014年 9月 24日	无			
JP	2002090726	A	2002年 3月 27日	无			
JP	2005283691	A	2005年 10月 13日	无			
CN	103323993	A	2013年 9月 25日	无			

表 PCT/ISA/210 (同族专利附件) (2009年7月)