



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0134998  
(43) 공개일자 2019년12월05일

- (51) 국제특허분류(Int. Cl.)  
H01L 27/24 (2006.01) G11C 13/00 (2006.01)  
H01L 27/105 (2006.01) H01L 45/00 (2006.01)  
H01L 49/00 (2006.01)
- (52) CPC특허분류  
H01L 27/24 (2013.01)  
G11C 13/00 (2013.01)
- (21) 출원번호 10-2019-7027070
- (22) 출원일자(국제) 2018년03월05일  
심사청구일자 없음
- (85) 번역문제출일자 2019년09월17일
- (86) 국제출원번호 PCT/JP2018/008240
- (87) 국제공개번호 WO 2018/180228  
국제공개일자 2018년10월04일
- (30) 우선권주장  
JP-P-2017-071718 2017년03월31일 일본(JP)

- (71) 출원인  
소니 세미컨덕터 솔루션즈 가부시키키가이샤  
일본국 가나가와켄 아즈기시 아사히쵸 4-14-1
- (72) 발명자  
기타가와 마코토  
일본 2430014 가나가와켄 아즈기시 아사히쵸  
4-14-1 소니 세미컨덕터 솔루션즈 가부시키키가이샤  
내  
시바하라 요시유키  
일본 2430014 가나가와켄 아즈기시 아사히쵸  
4-14-1 소니 세미컨덕터 솔루션즈 가부시키키가이샤  
내  
(뒷면에 계속)
- (74) 대리인  
장수길, 김승식, 이중희

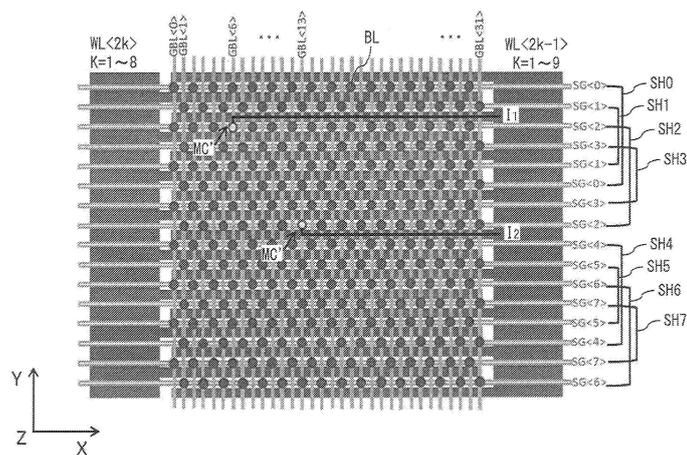
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 메모리 장치

(57) 요약

본 개시의 일 실시 형태에 따른 메모리 장치에 있어서, 메모리 셀 어레이는, 복수의 메모리 셀 중, 대응하는 제4 배선 및 제1 배선이 서로 다른 복수의 제1 메모리 셀에 대해서 동시에 액세스가 이루어졌을 때, 각 제1 메모리 셀과 공통의 제4 배선에 대응하는 메모리 셀에 대해서도 동시에 액세스가 이루어지는 일이 없는 복수의 제1 메모리 셀에 대한 동시 액세스가 가능하게 구성되어 있다.

대표도



(52) CPC특허분류

*H01L 27/105* (2013.01)

*H01L 45/04* (2013.01)

*H01L 49/00* (2013.01)

(72) 발명자

**테라다 하루히코**

일본 2430014 가나가와켄 아즈기시 아사히쵸  
4-14-1 소니 세미컨덕터 솔루션즈 가부시키가이샤  
내

**모리 요타로**

일본 2430014 가나가와켄 아즈기시 아사히쵸  
4-14-1 소니 세미컨덕터 솔루션즈 가부시키가이샤  
내

## 명세서

### 청구범위

#### 청구항 1

메모리 셀 어레이와,

상기 메모리 셀 어레이에 대한 액세스를 행하는 구동 회로를 구비하고,

상기 메모리 셀 어레이는,

제1 방향으로 연장되고, 상기 제1 방향과 직교하는 제2 방향과, 상기 제1 방향 및 상기 제2 방향과 직교하는 제3 방향으로 배열하여 배치된 복수의 제1 배선과,

상기 제1 방향으로 연장되고, 상기 제2 방향으로 배열하여 배치된 복수의 제2 배선과,

상기 제3 방향으로 연장되고, 상기 제1 방향과 상기 제2 방향으로 배열하여 배치됨과 함께, 상기 제3 방향에서 보았을 때 상기 제2 방향에 있어서 서로 인접하는 2개의 상기 제1 배선의 간극을 관통하도록 배치된 복수의 제3 배선과,

각 상기 제3 배선과 각 상기 제1 배선이 서로 대향하는 개소마다 1개씩 마련된 복수의 저항 변화형의 메모리 셀과,

상기 제3 배선마다 1개씩 마련되고, 각각의 게이트가, 대응하는 상기 제2 배선에 접속된 복수의 트랜지스터와,

상기 제2 방향으로 연장되고, 상기 제1 방향으로 배열하여 배치되며, 상기 제2 방향으로 배열하여 배치된 복수의 상기 제3 배선마다 1개씩 마련되고, 각각이, 대응하는 복수의 상기 제3 배선에 대해서, 상기 트랜지스터를 통해 접속된 복수의 제4 배선

을 갖고,

상기 메모리 셀 어레이는, 복수의 상기 메모리 셀 중, 대응하는 상기 제4 배선 및 상기 제1 배선이 서로 다른 복수의 제1 메모리 셀에 대해서 동시에 액세스가 이루어졌을 때, 각 상기 제1 메모리 셀과 공통의 상기 제4 배선에 대응하는 상기 메모리 셀에 대해서도 동시에 액세스가 이루어지는 일이 없는 복수의 상기 제1 메모리 셀에 대한 동시 액세스가 가능하게 구성되어 있는, 메모리 장치.

#### 청구항 2

제1항에 있어서,

복수의 상기 제3 배선은, 상기 제1 방향으로 복수의 상기 제4 배선의 배열 피치의  $n$ 배( $n$ 은 2 이상의 정수)의 크기로 등간격으로 배열하여 배치됨과 함께, 상기 제2 방향으로 복수의 상기 제1 배선의 배열 피치의  $n$ 배의 크기로 등간격으로 배열하여 배치되어 있는, 메모리 장치.

#### 청구항 3

제2항에 있어서,

상기 제2 방향으로 배열하여 배치된 복수의 상기 제1 배선 중, 짝수 번째의 복수의 상기 제1 배선은, 서로 전기적으로 접속되어, 제1 빗살 배선의 빗살을 구성하고,

상기 제2 방향으로 배열하여 배치된 복수의 상기 제1 배선 중, 홀수 번째의 복수의 상기 제1 배선은, 서로 전기적으로 접속되어, 제2 빗살 배선의 빗살을 구성하고 있는, 메모리 장치.

#### 청구항 4

제2항에 있어서,

상기 제2 방향으로 배열하여 배치된 복수의 상기 제1 배선은, 1번째부터  $k$ 번째까지의 복수의 상기 제1 배선으로

이루어지는 제1 그룹과,  $k+1$ 번째부터  $m$ 번째까지의 복수의 상기 제1 배선으로 이루어지는 제2 그룹으로 나뉘고, 상기 제1 그룹에 속하는 짝수 번째의 복수의 상기 제1 배선은, 서로 전기적으로 접속된, 제3 빗살 배선의 빗살을 구성하고,

상기 제1 그룹에 속하는 홀수 번째의 복수의 상기 제1 배선은, 서로 전기적으로 접속된, 제4 빗살 배선의 빗살을 구성하고,

상기 제2 그룹에 속하는 짝수 번째의 복수의 상기 제1 배선은, 서로 전기적으로 접속된, 제5 빗살 배선의 빗살을 구성하고,

상기 제2 그룹에 속하는 홀수 번째의 복수의 상기 제1 배선은, 서로 전기적으로 접속된, 제6 빗살 배선의 빗살을 구성하고 있는, 메모리 장치.

#### 청구항 5

제3항에 있어서,

상기 메모리 셀 어레이는, 복수의 상기 제2 배선 중 서로 인접하지 않는 복수 개의 상기 제2 배선끼리를 전기적으로 접속하는 복수의 접속부를 더 갖는, 메모리 장치.

#### 청구항 6

제3항에 있어서,

상기 구동 회로는, 복수의 상기 제2 배선 중 서로 인접하지 않는 복수 개의 상기 제2 배선을 동시에 선택하는, 메모리 장치.

#### 청구항 7

제4항에 있어서,

상기 구동 회로는, 상기 제1 그룹에 대응하는 복수의 상기 제2 배선 중 1개 또는 복수의 상기 제2 배선과, 상기 제2 그룹에 대응하는 복수의 상기 제2 배선 중 1개 또는 복수의 상기 제2 배선을 동시에 선택하는, 메모리 장치.

#### 청구항 8

제3항에 있어서,

상기 구동 회로를 포함하고, 상기 메모리 셀 어레이와 전기적으로 접속된 회로 기판을 더 구비하고,

복수의 상기 제1 빗살 배선에 있어서, 복수의 상기 제1 배선을 서로 접속하는 제1 접속부의, 상기 제1 방향의 길이는, 상기 회로 기판으로부터 멀어짐에 따라서 짧아지게 되어 있으며, 그것에 의해, 복수의 상기 제1 접속부는, 계단 형상으로 배치되어 있고,

복수의 상기 제2 빗살 배선에 있어서, 복수의 상기 제1 배선을 서로 접속하는 제2 접속부의, 상기 제1 방향의 길이는, 상기 회로 기판으로부터 멀어짐에 따라서 짧아지게 되어 있으며, 그것에 의해, 복수의 상기 제2 접속부는, 계단 형상으로 배치되어 있고,

상기 메모리 셀 어레이는,

복수의 상기 제1 접속부의 각각의, 상기 제1 방향에 있어서의 단부 에지와 전기적으로 접속되어, 상기 제3 방향으로 연장되고, 상기 제1 방향 및 상기 제2 방향과 교차하는 방향으로 배열하여 배치된 복수의 제1 접속 배선과,

복수의 상기 제2 접속부의 각각의, 상기 제1 방향에 있어서의 단부 에지와 전기적으로 접속되어, 상기 제3 방향으로 연장되고, 상기 제1 방향 및 상기 제2 방향과 교차하는 방향으로 배열하여 배치된 복수의 제2 접속 배선과,

상기 구동 회로에 전기적으로 접속되어, 상기 제3 방향으로 연장되고, 상기 제2 방향으로 배열하여 배치된 복수의 제3 접속 배선과,

복수의 상기 제1 접속 배선의 각각과, 복수의 상기 제3 접속 배선 중 일부의 각각을 서로 전기적으로 접속하는 복수의 제4 접속 배선과,

복수의 상기 제2 접속 배선의 각각과, 복수의 상기 제3 접속 배선 중 일부의 각각을 서로 전기적으로 접속하는 복수의 제5 접속 배선

을 갖는, 메모리 장치.

### 청구항 9

제4항에 있어서,

상기 구동 회로를 포함하고, 상기 메모리 셀 어레이와 전기적으로 접속된 회로 기판을 더 구비하고,

복수의 상기 제3 빔살 배선에 있어서, 복수의 상기 제1 배선을 서로 접속하는 제3 접속부의, 상기 제1 방향의 길이는, 상기 회로 기판으로부터 멀어짐에 따라서 짧아지게 되어 있으며, 그것에 의해, 복수의 상기 제3 접속부는, 계단 형상으로 배치되어 있고,

복수의 상기 제4 빔살 배선에 있어서, 복수의 상기 제1 배선을 서로 접속하는 제4 접속부의, 상기 제1 방향의 길이는, 상기 회로 기판으로부터 멀어짐에 따라서 짧아지게 되어 있으며, 그것에 의해 복수의 상기 제4 접속부는, 계단 형상으로 배치되어 있고,

복수의 상기 제5 빔살 배선에 있어서, 복수의 상기 제1 배선을 서로 접속하는 제5 접속부의, 상기 제1 방향의 길이는, 상기 회로 기판으로부터 멀어짐에 따라서 짧아지게 되어 있으며, 그것에 의해, 복수의 상기 제5 접속부는, 계단 형상으로 배치되어 있고,

복수의 상기 제6 빔살 배선에 있어서, 복수의 상기 제1 배선을 서로 접속하는 제6 접속부의, 상기 제1 방향의 길이는, 상기 회로 기판으로부터 멀어짐에 따라서 짧아지게 되어 있으며, 그것에 의해, 복수의 상기 제6 접속부는, 계단 형상으로 배치되어 있고,

상기 메모리 셀 어레이는,

복수의 상기 제3 접속부의 각각의, 상기 제1 방향에 있어서의 단부 에지와 전기적으로 접속되어, 상기 제3 방향으로 연장되고, 상기 제1 방향 및 상기 제2 방향과 교차하는 방향으로 배열하여 배치된 복수의 제6 접속 배선과,

복수의 상기 제4 접속부의 각각의, 상기 제1 방향에 있어서의 단부 에지와 전기적으로 접속되어, 상기 제3 방향으로 연장되고, 상기 제1 방향 및 상기 제2 방향과 교차하는 방향으로 배열하여 배치된 복수의 제7 접속 배선과,

복수의 상기 제5 접속부의 각각의, 상기 제1 방향에 있어서의 단부 에지와 전기적으로 접속되어, 상기 제3 방향으로 연장되고, 상기 제1 방향 및 상기 제2 방향과 교차하는 방향으로 배열하여 배치된 복수의 제8 접속 배선과,

복수의 상기 제6 접속부의 각각의, 상기 제1 방향에 있어서의 단부 에지와 전기적으로 접속되어, 상기 제3 방향으로 연장되고, 상기 제1 방향 및 상기 제2 방향과 교차하는 방향으로 배열하여 배치된 복수의 제9 접속 배선과,

상기 구동 회로에 전기적으로 접속되어, 상기 제3 방향으로 연장되고, 상기 제2 방향으로 배열하여 배치된 복수의 제10 접속 배선과,

복수의 상기 제6 접속 배선의 각각과, 복수의 상기 제10 접속 배선 중 일부의 각각을 서로 전기적으로 접속하는 복수의 제11 접속 배선과,

복수의 상기 제7 접속 배선의 각각과, 복수의 상기 제10 접속 배선 중 일부의 각각을 서로 전기적으로 접속하는 복수의 제12 접속 배선과,

복수의 상기 제8 접속 배선의 각각과, 복수의 상기 제10 접속 배선 중 일부의 각각을 서로 전기적으로 접속하는 복수의 제13 접속 배선과,

복수의 상기 제9 접속 배선의 각각과, 복수의 상기 제10 접속 배선 중 일부의 각각을 서로 전기적으로 접속하는

복수의 제14 접속 배선을 갖는, 메모리 장치.

**청구항 10**

제3항에 있어서,  
 상기 제1 방향으로 배열하여 배치된 복수의 상기 메모리 셀 어레이를 구비하고,  
 상기 구동 회로는,  
 복수의 상기 메모리 셀 어레이에 대한 액세스의 제어를 행하는 컨트롤러와,  
 상기 컨트롤러에 의한 제어에 기초하여, 복수의 상기 메모리 셀 어레이 중 하나인 제1 메모리 셀 어레이에 포함되는 복수의 상기 제4 배선을 구동하는 제1 구동 회로와,  
 상기 컨트롤러에 의한 제어에 기초하여, 상기 제1 메모리 셀 어레이에 포함되는 복수의 상기 제1 배선과, 복수의 상기 메모리 셀 어레이 중 상기 제1 메모리 셀 어레이에 인접하는 제2 메모리 셀 어레이에 포함되는 복수의 상기 제1 배선을 구동하는 제2 구동 회로와,  
 상기 컨트롤러에 의한 제어에 기초하여, 상기 제1 메모리 셀 어레이에 포함되는 복수의 상기 제2 배선과, 상기 제2 메모리 셀 어레이에 포함되는 복수의 상기 제2 배선을 구동하는 제3 구동 회로를 갖고,  
 상기 제1 구동 회로는, 상기 제1 메모리 셀 어레이에 포함되는 복수의 상기 제4 배선과 대향하는 위치에 마련되고,  
 상기 제2 구동 회로는, 상기 제1 구동 회로에 인접하는 위치이고, 또한 상기 제1 방향에 있어서 인접하는 위치에 마련되어 있는, 메모리 장치.

**청구항 11**

메모리 셀 어레이와,  
 상기 메모리 셀 어레이에 대한 액세스를 행하는 구동 회로를 구비하고,  
 상기 메모리 셀 어레이는,  
 제1 방향으로 연장되고, 상기 제1 방향과 직교하는 제2 방향과, 상기 제1 방향 및 상기 제2 방향과 직교하는 제3 방향으로 배열하여 배치된 복수의 제1 배선과,  
 상기 제1 방향으로 연장되고, 상기 제2 방향으로 배열하여 배치된 복수의 제2 배선과,  
 상기 제3 방향으로 연장되고, 상기 제1 방향과 상기 제2 방향으로 배열하여 배치됨과 함께, 상기 제3 방향에서 보았을 때 상기 제2 방향에 있어서 서로 인접하는 2개의 상기 제1 배선의 간극을 관통하도록 배치된 복수의 제3 배선과,  
 각 상기 제3 배선과 각 상기 제1 배선이 서로 대향하는 개소마다 1개씩 마련된 복수의 저항 변화형의 메모리 셀과,  
 상기 제3 배선마다 1개씩 마련되고, 각각의 게이트가, 대응하는 상기 제2 배선에 접속된 복수의 트랜지스터와,  
 상기 제2 방향으로 연장되고, 상기 제1 방향으로 배열하여 배치되며, 상기 제2 방향으로 배열하여 배치된 복수의 상기 제3 배선마다 1개씩 마련되고, 각각이, 대응하는 복수의 상기 제3 배선에 대해서, 상기 트랜지스터를 통해 접속된 복수의 제4 배선을 갖고,  
 상기 구동 회로는, 복수의 상기 메모리 셀 중, 대응하는 상기 제4 배선이 서로 공통됨과 함께 대응하는 상기 제1 배선이 서로 다른 복수의 제1 메모리 셀에 대해서 동시에 액세스하는, 메모리 장치.

**청구항 12**

제11항에 있어서,

복수의 상기 제3 배선은, 상기 제1 방향으로 복수의 상기 제4 배선의 배열 피치와 동등한 피치로 배열하여 배치됨과 함께, 상기 제2 방향으로 복수의 상기 제1 배선의 배열 피치와 동등한 피치로 배열하여 배치되어 있는, 메모리 장치.

**발명의 설명**

**기술 분야**

[0001] 본 개시는, 메모리 장치에 관한 것이다.

**배경 기술**

[0002] 근년, 플래시 메모리 등에 비해 보다 고속으로 데이터 액세스가 가능한 불휘발성 메모리 디바이스로서, 저항 변화 메모리(Resistive Random Access Memory: ReRAM)가 주목받고 있다. 저항 변화 메모리의 일 형태로서, 예를 들어 기판면에 수평인 워드선(Wordline: WL)과, 기판면에 수직인 비트선(Bitline: BL)의 각 교점에, 가변 저항 소자를 포함하는 메모리 셀을 갖는 Vertical 3D ReRAM이라 불리는 구조를 들 수 있다.

**선행기술문헌**

**특허문헌**

[0003] (특허문헌 0001) 일본 특허공개 제2015-170852호 공보

(특허문헌 0002) 일본 특허공개 제2016-167332호 공보

**발명의 내용**

**해결하려는 과제**

[0004] Vertical 3D ReRAM의 중요한 개발 과제는, 워드선의 적층수를 증가시키는 것으로, 이에 의해 단위 면적당 용량이 확대되어, 보다 저비용의 메모리 장치를 실현할 수 있다. 이때, 워드선이 두꺼우면, 비트선의 제조가 곤란해진다. 그 때문에, 워드선을 가능한 한 얇게 할 것이 요구된다. 한편, 워드선을 얇게 하면, 시트 저항값이 증가되어, 메모리 셀에 대한 액세스 시의 워드선에 있어서의 전압 저하가, 설계상의 제약으로 된다. 따라서, 워드선에 있어서의 전압 저하를 억제하여, 높은 액세스 속도를 얻는 것이 가능한 메모리 장치를 제공하는 것이 바람직하다.

**과제의 해결 수단**

[0005] 본 개시의 일 실시 형태에 따른 제1 메모리 장치는, 메모리 셀 어레이와, 메모리 셀 어레이에 대한 액세스를 행하는 구동 회로를 구비하고 있다. 메모리 셀 어레이는, 복수의 제1 배선과, 복수의 제2 배선과, 복수의 제3 배선과, 복수의 저항 변화형의 메모리 셀과, 복수의 트랜지스터와, 복수의 제4 배선을 갖고 있다. 복수의 제1 배선은, 제1 방향으로 연장되어 있다. 복수의 제1 배선은, 제1 방향과 직교하는 제2 방향과, 제1 방향 및 제2 방향과 직교하는 제3 방향으로 배열하여 배치되어 있다. 복수의 제2 배선은, 제1 방향으로 연장되어 있다. 복수의 제2 배선은, 제2 방향으로 배열하여 배치되어 있다. 복수의 제3 배선은, 제3 방향으로 연장되어 있다. 복수의 제3 배선은, 제1 방향과 제2 방향으로 배열하여 배치됨과 함께, 제3 방향에서 보았을 때 제2 방향에 있어서 서로 인접하는 2개의 제1 배선의 간극을 관통하도록 배치되어 있다. 복수의 저항 변화형의 메모리 셀은, 각 제3 배선과 각 제1 배선이 서로 대향하는 개소마다 1개씩 마련되어 있다. 복수의 트랜지스터는, 제3 배선마다 1개씩 마련되어 있다. 복수의 트랜지스터의 각각의 게이트가, 대응하는 제2 배선에 접속되어 있다. 복수의 제4 배선은, 제2 방향으로 연장되어 있다. 복수의 제4 배선은, 제1 방향으로 배열하여 배치되고, 제2 방향으로 배열하여 배치된 복수의 제3 배선마다 1개씩 마련되어 있다. 각 제4 배선이, 대응하는 복수의 제3 배선에 대해서, 트랜지스터를 통해 접속되어 있다. 메모리 셀 어레이는, 복수의 메모리 셀 중, 대응하는 제4 배선 및 제1

배선이 서로 다른 복수의 제1 메모리 셀에 대해서 동시에 액세스가 이루어졌을 때, 각 제1 메모리 셀과 공통의 제4 배선에 대응하는 메모리 셀에 대해서도 동시에 액세스가 이루어지는 일이 없는 복수의 제1 메모리 셀에 대한 동시 액세스가 가능하게 구성되어 있다.

[0006] 본 개시의 일 실시 형태에 따른 제1 메모리 장치에서는, 복수의 메모리 셀 중, 대응하는 제4 배선 및 제1 배선이 서로 다른 복수의 제1 메모리 셀에 대해서 동시에 액세스가 이루어졌을 때, 각 제1 메모리 셀과 공통의 제4 배선에 대응하는 메모리 셀에 대해서도 동시에 액세스가 이루어지는 일이 없는 복수의 제1 메모리 셀에 대한 동시 액세스가 가능하다. 이에 의해, 액세스 전류를 1개의 제1 배선에 집중시키지 않고, 복수의 메모리 셀에 액세스할 수 있다.

[0007] 본 개시의 일 실시 형태에 따른 제2 메모리 장치는, 메모리 셀 어레이와, 메모리 셀 어레이에 대한 액세스를 행하는 구동 회로를 구비하고 있다. 메모리 셀 어레이는, 복수의 제1 배선과, 복수의 제2 배선과, 복수의 제3 배선과, 복수의 저항 변화형의 메모리 셀과, 복수의 트랜지스터와, 복수의 제4 배선을 갖고 있다. 복수의 제1 배선은, 제1 방향으로 연장되어 있다. 복수의 제1 배선은, 제1 방향과 직교하는 제2 방향과, 제1 방향 및 제2 방향과 직교하는 제3 방향으로 배열하여 배치되어 있다. 복수의 제2 배선은, 제1 방향으로 연장되어 있다. 복수의 제2 배선은, 제2 방향으로 배열하여 배치되어 있다. 복수의 제3 배선은, 제3 방향으로 연장되어 있다. 복수의 제3 배선은, 제1 방향과 제2 방향으로 배열하여 배치됨과 함께, 제3 방향에서 보았을 때 제2 방향에 있어서 서로 인접하는 2개의 제1 배선의 간극을 관통하도록 배치되어 있다. 복수의 저항 변화형의 메모리 셀은, 각 제3 배선과 각 제1 배선이 서로 대향하는 개소마다 1개씩 마련되어 있다. 복수의 트랜지스터는, 제3 배선마다 1개씩 마련되어 있다. 복수의 트랜지스터의 각각 게이트가, 대응하는 제2 배선에 접속되어 있다. 복수의 제4 배선은, 제2 방향으로 연장되어 있다. 복수의 제4 배선은, 제1 방향으로 배열하여 배치되고, 제2 방향으로 배열하여 배치된 복수의 제3 배선마다 1개씩 마련되어 있다. 각 제4 배선이, 대응하는 복수의 제3 배선에 대해서, 트랜지스터를 통해 접속되어 있다. 제2 메모리 장치에 있어서, 구동 회로는, 복수의 메모리 셀 중, 대응하는 제4 배선이 서로 공통됨과 함께 대응하는 제1 배선이 서로 다른 복수의 제1 메모리 셀에 대해서 동시에 액세스한다.

[0008] 본 개시의 일 실시 형태에 따른 제2 메모리 장치에서는, 복수의 메모리 셀 중, 대응하는 제4 배선이 서로 공통됨과 함께 대응하는 제1 배선이 서로 다른 복수의 제1 메모리 셀에 대해서 동시에 액세스가 행해진다. 이에 의해, 액세스 전류를 1개의 제1 배선에 집중시키지 않고, 복수의 메모리 셀에 대해서 동일한 값을 기입할 수 있다.

[0009] 본 개시의 일 실시 형태에 따른 제1 메모리 장치에 의하면, 액세스 전류를 1개의 제1 배선에 집중시키지 않고, 복수의 메모리 셀에 액세스할 수 있도록 하였으므로, 제1 배선에 있어서의 전압 강하를 억제하여, 높은 액세스 속도를 얻을 수 있다.

[0010] 본 개시의 일 실시 형태에 따른 제2 메모리 장치에 의하면, 액세스 전류를 1개의 제1 배선에 집중시키지 않고, 복수의 메모리 셀에 대해서 동일한 값을 기입할 수 있도록 하였으므로, 제1 배선에 있어서의 전압 강하를 억제하여, 높은 액세스 속도를 얻을 수 있다.

**발명의 효과**

[0011] 또한, 본 개시의 효과는, 여기에 기재된 효과에 반드시 한정되지 않고, 본 명세서 중에 기재된 어느 효과여도 된다.

**도면의 간단한 설명**

[0012] 도 1은, 본 개시의 제1 실시 형태에 따른 메모리 장치의 개략 구성예를 나타내는 도면이다.

도 2는, 도 1의 메모리 셀 어레이 유닛의 개략 구성예를 나타내는 도면이다.

도 3은, 도 1의 메모리 셀 어레이의 사시 구성예를 나타내는 도면이다.

도 4는, 도 3의 메모리 장치의 측면 구성예를 나타내는 도면이다.

도 5는, 도 3의 메모리 셀 어레이의 상면 구성예를 나타내는 도면이다.

도 6은, 도 3의 메모리 셀 어레이의 일부를 확대해서 나타내는 도면이다.

- 도 7은, 도 3의 메모리 셀 어레이의 일부를 확대해서 나타내는 도면이다.
- 도 8은, 도 3의 메모리 셀 어레이의 각 배선의 레이아웃의 일례를 모식적으로 나타내는 도면이다.
- 도 9는, 비교예에 따른 메모리 셀 어레이의 각 배선의 레이아웃을 모식적으로 나타내는 도면이다.
- 도 10은, 도 8의 메모리 셀 어레이의 각 배선의 레이아웃의 일 변형예를 모식적으로 나타내는 도면이다.
- 도 11은, 도 8의 메모리 셀 어레이의 각 배선의 레이아웃의 일 변형예를 모식적으로 나타내는 도면이다.
- 도 12는, 도 8의 메모리 셀 어레이의 각 배선의 레이아웃의 일 변형예를 모식적으로 나타내는 도면이다.
- 도 13은, 본 개시의 제2 실시 형태에 따른 메모리 장치의 개략 구성예를 나타내는 도면이다.
- 도 14는, 도 13의 메모리 셀 어레이 유닛의 개략 구성예를 나타내는 도면이다.
- 도 15는, 도 14의 메모리 셀 어레이의 사시 구성예를 나타내는 도면이다.
- 도 16은, 도 14의 메모리 셀 어레이의 측면 구성예를 나타내는 도면이다.
- 도 17은, 도 14의 메모리 셀 어레이의 단면 구성예를 나타내는 도면이다.
- 도 18은, 도 17의 메모리 셀 어레이의 상면 구성예를 나타내는 도면이다.
- 도 19는, 도 18의 메모리 셀 어레이의 각 배선의 레이아웃의 일례를 모식적으로 나타내는 도면이다.
- 도 20은, 본 개시의 제3 실시 형태에 따른 메모리 장치의 개략 구성예를 나타내는 도면이다.
- 도 21은, 도 20의 메모리 셀 어레이 유닛의 개략 구성예를 나타내는 도면이다.
- 도 22는, 도 21의 메모리 셀 어레이의 각 배선의 레이아웃의 일례를 모식적으로 나타내는 도면이다.
- 도 23은, 도 2, 도 10, 도 11 또는 도 12의 메모리 셀 어레이를 복수 구비한 메모리 장치에 있어서의 메모리 셀 어레이 유닛의 개략 구성예를 나타내는 도면이다.
- 도 24는, 도 23의 메모리 장치의 측면 구성예를 나타내는 도면이다.
- 도 25는, 도 22의 메모리 셀 어레이를 복수 구비한 메모리 장치에 있어서의 메모리 셀 어레이 유닛의 개략 구성예를 나타내는 도면이다.
- 도 26은, 도 25의 메모리 장치의 측면 구성예를 나타내는 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0013] 이하, 본 개시를 실시하기 위한 형태에 대하여, 도면을 참조하여 상세히 설명한다. 이하의 설명은 본 개시의 일 구체예로서, 본 개시는 이하의 양태로 한정되는 것은 아니다. 또한, 본 개시는, 각 도면에 도시한 각 구성 요소의 배치나 치수, 치수비 등에 대해서도, 그들로 한정되는 것은 아니다.
- [0014] 1. 제1 실시 형태
- [0015] 복수의 비트선을 엇갈리게 배치한 예(도 1 내지 도 8)
- [0016] 비교예: 복수의 비트선을 격자 형상으로 배치한 예(도 9)
- [0017] 2. 제1 실시 형태의 변형예
- [0018] 변형예 A: 선택 게이트선의 단락을 생략한 예(도 10)
- [0019] 변형예 B: 글로벌 비트선의 개수를 늘린 예(도 11)
- [0020] 변형예 C: 4비트 동시 액세스를 행하는 예(도 12)
- [0021] 3. 제2 실시 형태
- [0022] 좌우의 빗살 형상의 워드선을 각각 2분할한 예(도 13 내지 도 19)
- [0023] 4. 제2 실시 형태의 변형예

- [0024] 4비트 동시 액세스를 행하는 예
- [0025] 5. 제3 실시 형태
- [0026] 선택 게이트선의 제어에 의해 액세스 전류의 집중을 회피한 예(도 20 내지 도 22)
- [0027] 6. 제4 실시 형태
- [0028] 복수의 메모리 셀 어레이를 구비한 예(도 23 내지 도 26)
- [0029] <1. 제1 실시 형태>
- [0030] [구성]
- [0031] 도 1은, 제1 실시 형태에 따른 정보 처리 시스템의 기능 블록의 일례를 나타낸 것이다. 이 정보 처리 시스템은, 호스트 컴퓨터(100) 및 메모리 장치(200)를 구비하고 있다. 메모리 장치(200)는, 메모리 컨트롤러(300), 메모리 셀 어레이 유닛(400) 및 전원 회로(500)를 구비하고 있다.
- [0032] (호스트 컴퓨터(100))
- [0033] 호스트 컴퓨터(100)는, 메모리 장치(200)를 제어하는 것이다. 구체적으로는, 호스트 컴퓨터(100)는, 액세스처의 논리 어드레스를 지정하는 커맨드를 발행하여, 그 커맨드나 데이터를 메모리 장치(200)에 공급한다. 또한, 호스트 컴퓨터(100)는, 메모리 장치(200)로부터 출력된 데이터를 수취한다. 여기서, 커맨드는, 메모리 장치(200)를 제어하기 위한 것이며, 예를 들어 데이터의 기입 처리를 지시하는 라이트 커맨드, 또는 데이터의 판독 처리를 지시하는 리드 커맨드를 포함한다. 또한, 논리 어드레스는, 호스트 컴퓨터(100)가 정의하는 어드레스 공간에 있어서, 호스트 컴퓨터(100)가 메모리 장치(200)에 액세스할 때의 액세스 단위의 영역별로 할당된 어드레스이다. 이 액세스 단위의 영역을 이하, 「섹터」라고 칭한다.
- [0034] (메모리 컨트롤러(300))
- [0035] 메모리 컨트롤러(300)는, 메모리 셀 어레이 유닛(400)을 제어하는 것이다. 메모리 컨트롤러(300)는, 호스트 컴퓨터(100)로부터, 논리 어드레스를 지정하는 라이트 커맨드를 수취한다. 또한, 메모리 컨트롤러(300)는, 라이트 커맨드에 따라서, 데이터의 기입 처리를 실행한다. 이 기입 처리에 있어서는, 논리 어드레스가 물리 어드레스로 변환되고, 그 물리 어드레스에 데이터가 기입된다. 여기서, 물리 어드레스는, 메모리 컨트롤러(300)가 메모리 셀 어레이 유닛(400)에 액세스할 때의 액세스 단위별로 메모리 셀 어레이 유닛(400)에 있어서 할당된 어드레스이다. 메모리 컨트롤러(300)가 메모리 셀 어레이 유닛(400)에 액세스하는 단위는, 예를 들어 섹터와 동일한 것으로 한다. 이 경우, 메모리 셀 어레이 유닛(400)에 있어서, 섹터별로 물리 어드레스가 할당된다. 또한, 메모리 컨트롤러(300)는, 논리 어드레스를 지정하는 리드 커맨드를 수취하면, 그 논리 어드레스를 물리 어드레스로 변환하고, 그 물리 어드레스로부터 데이터를 판독한다. 그리고, 메모리 컨트롤러(300)는, 판독한 데이터를 리드 데이터로서 호스트 컴퓨터(100)로 출력한다. 메모리 컨트롤러(300)에 의한 액세스 단위는, 호스트 컴퓨터(100)에 의한 액세스 단위와 동일하게 되어 있어도 되고, 상이해도 된다.
- [0036] (전원 회로(500))
- [0037] 전원 회로(500)는, 메모리 셀 어레이 유닛(400)에 대해서 원하는 전압을 공급하는 것이다. 구체적으로는, 전원 회로(500)는, 후술하는 GBL 드라이버(21), WL 드라이버(22) 및 SG 드라이버(23)에 대해서, 동작 모드(기입, 판독 등) 등에 따라서 필요한 각종 전압을 공급한다.
- [0038] (메모리 셀 어레이 유닛(400))
- [0039] 다음으로, 메모리 셀 어레이 유닛(400)에 대하여 설명한다. 도 2는, 메모리 셀 어레이 유닛(400)의 기능 블록의 일례를 나타낸 것이다. 메모리 셀 어레이 유닛(400)은, 예를 들어 반도체 칩으로 구성되어 있다. 메모리 셀 어레이 유닛(400)은, 메모리 셀 어레이(10) 및 구동 회로(20)를 갖고 있다. 구동 회로(20)는, 메모리 컨트롤러(300)의 사이에서, 커맨드, 라이트 데이터 및 리드 데이터 등을 교환한다. 구동 회로(20)는, 라이트 커맨드에 따라서, 메모리 셀 어레이(10)에 데이터를 기입하고, 리드 커맨드에 따라서, 메모리 셀 어레이(10)로부터 데이터를 판독한다. 구동 회로(20)에 대해서는, 후에 상세히 설명하기로 한다.
- [0040] 도 3은, 메모리 셀 어레이 유닛(400)의 사시 구성의 일례를 나타낸 것이다. 도 4는, 메모리 셀 어레이 유닛(400)의 측면 구성의 일례를 나타낸 것이다. 도 5는, 메모리 셀 어레이 유닛(400)의 상면 구성의 일례를 나타낸 것이다. 도 6, 도 7은, 메모리 셀 어레이 유닛(400)의 일부를 확대해서 나타낸 것이다.

- [0041] (메모리 셀 어레이(10))
- [0042] 메모리 셀 어레이(10)는, 소위 크로스 포인트 어레이 구조를 구비하고 있으며, 예를 들어 도 3 내지 도 6에 도시한 바와 같이, 각 워드선 WL과 각 비트선 BL이 서로 대향하는 위치(크로스 포인트)마다 1개씩, 저항 변화형의 메모리 셀 MC를 구비하고 있다. 즉, 메모리 셀 어레이(10)는, 복수의 워드선 WL과, 복수의 비트선 BL과, 크로스 포인트마다 1개씩 배치된 복수의 메모리 셀 MC를 구비하고 있다. 크로스 포인트에는, 예를 들어 도 6의 우측 하단의 도면에 도시한 바와 같이, 비트선 BL의 주위를 덮는 저항 변화층 Rx가 배치되어 있으며, 이 저항 변화층 Rx를 끼워 넣도록 하여, 워드선 WL 및 비트선 BL이 배치되어 있다. 저항 변화층 Rx는, 예를 들어 인가 전압을 소정의 역치 전압 이상으로 올림으로써 저저항 상태로 변화하고, 인가 전압을 상기 역치 전압보다 낮은 전압으로 내림으로써 고저항 상태로 변화하는 것이다. 워드선 WL은, 본 개시의 「제1 배선」의 일 구체예에 상당한다. 비트선 BL은, 본 개시의 「제3 배선」의 일 구체예에 상당한다. 또한, 이하에서는, 워드선 WL을 간결하게 「WL」으로만 기재하기로 한다. 마찬가지로, 비트선 BL을 간결하게 「BL」으로만 기재하기로 한다.
- [0043] 메모리 셀 어레이(10)는, 추가로, 복수의 선택 게이트선 SG와, 각각의 게이트가 선택 게이트선 SG에 접속된 수직형의 복수의 트랜지스터 TR과, 각각이 대응하는 복수의 BL에 대해서, 트랜지스터 TR을 통해 접속된 복수의 글로벌 비트선 GBL을 구비하고 있다. 선택 게이트선 SG는, 본 개시의 「제2 배선」의 일 구체예에 상당한다. 글로벌 비트선 GBL은, 본 개시의 「제4 배선」의 일 구체예에 상당한다. 또한, 이하에서는, 선택 게이트선 SG를 간결하게 「SG」으로만 기재하기로 한다. 마찬가지로, 글로벌 비트선 GBL을 간결하게 「GBL」으로만 기재하기로 한다.
- [0044] 각 WL은, X축 방향(제1 방향)으로 연장되어 있다. 복수의 WL은, X축 방향과 직교하는 Y축 방향(제2 방향)과, X축 방향 및 Y축 방향의 양쪽과 직교하는 Z축 방향(제3 방향)으로 배열하여 배치되어 있다. 복수의 WL은, 계층 구조를 구성하고 있으며, 각 계층에 있어서, 복수의 WL은, Y축 방향으로 배열하여 배치되어 있다. 이하에서는, WL 등의 계층 번호를 명시할 때에는, 계층 번호로서 (1), (2), (3)···을 사용하기로 하고, 최표면의 계층 번호를 (1)로 표현하기로 한다.
- [0045] 각 SG는, X축 방향으로 연장되어 있다. 복수의 SG는, Y축 방향으로 배열하여 배치되어 있다. 각 BL은, Z축 방향으로 연장되어 있다. 복수의 BL은, X축 방향과 Y축 방향으로 배열하여 배치됨과 함께, Z축 방향에서 보았을 때 Y축 방향에 있어서 서로 인접하는 2개의 WL의 간극을 관통하도록 배치되어 있다. BL의 배열의 특징에 대해서는, 후에 상세히 설명하기로 한다.
- [0046] 각 GBL은, Y축 방향으로 연장되어 있다. 복수의 GBL은, X축 방향으로 배열하여 배치되고, Y축 방향으로 배열하여 배치된 복수의 BL마다 1개씩 마련되어 있다. 복수의 GBL의 각각은, 대응하는 복수의 BL에 대해서, 트랜지스터 TR의 소스 및 드레인을 통해 접속되어 있다.
- [0047] 여기서, 각 계층에 있어서, Y축 방향으로 배열하여 배치된 복수의 WL 중, 짝수 번째의 복수의 WL은, 좌측의 접속부 CL1에 의해 서로 전기적으로 접속되어 있으며, 또한, 좌측의 빗살 배선 Col의 빗살을 구성하고 있다. 각 계층에 있어서, 빗살 배선 Col은, 좌측의 복수의 WL(WL1)과, 좌측의 접속부 CL1에 의해 구성되어 있다. 예를 들어, 제1 계층에 있어서, 빗살 배선 Col(1)은, 복수의 WL1(1)(예를 들어, 짝수 번째에 해당하는 8개의  $WL<2k>(k=1 \text{ 내지 } 8)$ )과, 접속부 CL1(1)에 의해 구성되어 있다. 접속부 CL1은, 본 개시의 「제2 접속부」의 일 구체예에 상당한다. 빗살 배선 Col은, 본 개시의 「제2 빗살 배선」의 일 구체예에 상당한다.
- [0048] 각 계층에 있어서, Y축 방향으로 배열하여 배치된 복수의 WL 중, 홀수 번째의 복수의 WL은, 우측의 접속부 CLr에 의해 서로 전기적으로 접속되어 있으며, 또한, 우측의 빗살 배선 Cor의 빗살을 구성하고 있다. 각 계층에 있어서, 빗살 배선 Cor은, 우측의 복수의 WL(WLr)과, 우측의 접속부 CLr에 의해 구성되어 있다. 예를 들어, 제1 계층에 있어서, 빗살 배선 Cor(1)은, 복수의 WLr(1)(예를 들어, 홀수 번째에 해당하는 9개의  $WL<2k-1>(k=1 \text{ 내지 } 9)$ )과, 접속부 CLr(1)에 의해 구성되어 있다. 접속부 CLr은, 본 개시의 「제1 접속부」의 일 구체예에 상당한다. 빗살 배선 Cor은, 본 개시의 「제1 빗살 배선」의 일 구체예에 상당한다.
- [0049] 복수의 빗살 배선 Cor에 있어서, 복수의 WLr을 서로 접속하는 접속부 CLr의, X축 방향의 길이는, 회로 기판(20A)으로부터 멀어짐에 따라서 짧아지게 되어 있으며, 그것에 의해 복수의 접속부 CLr은, 계단 형상으로 배치되어 있다. 복수의 빗살 배선 Col에 있어서, 복수의 WL1을 서로 접속하는 접속부 CL1의, X축 방향의 길이는, 회로 기판(20A)으로부터 멀어짐에 따라서 짧아지게 되어 있으며, 그것에 의해, 복수의 접속부 CL1은, 계단 형상으로 배치되어 있다.
- [0050] 구동 회로(20)는, 복수의 SG 중 서로 인접하지 않는 복수 개의 SG를 동시에 선택함으로써, 복수의 메모리 셀 MC

에 액세스할 수 있도록 구성되어 있다. 구체적으로는, 구동 회로(20)는, 복수의 GBL을 구동하는 GBL 드라이버(21)(제1 구동 회로)와, 복수의 WL을 구동하는 WL 드라이버(22)(제2 구동 회로)와, 복수의 SG를 구동하는 SG 드라이버(23)(제3 구동 회로)를 갖고 있다.

[0051] GBL 드라이버(21)는, 메모리 컨트롤러(300)에 의한 제어에 기초하여, 복수의 GBL 중에서 복수의 GBL을 선택한다. GBL 드라이버(21)는, 예를 들어 메모리 셀 MC에 기입하는 값을 일시적으로 유지하는 기입 래치(21C)와, 메모리 셀 MC에 기록된 값을 판정하여 출력하는 감지 증폭기(21B)를 갖고 있다. GBL 드라이버(21)는, 추가로, 예를 들어 선택·비선택의 GBL에 부여하는 전압을, 동작 모드(판독, 기입 등)나, 기입하는 값에 의해 전환하여 공급하는 전압 선택 회로(21D)를 갖고 있다. 전압 선택 회로(21D)는, 예를 들어 기입 래치(21C)로부터 입력되는 기입 데이터 Wdata에 기초하여, GBL에 부여하는 전압을 결정한다. GBL 드라이버(21)는, 추가로, 예를 들어 복수의 GBL로부터 소정의 GBL을 선택하고, 선택한 GBL에 대해서 전압 선택 회로(21D)로부터 공급된 전압을 부여하고, 비선택의 GBL에 대해서 소정의 고정 전압을 부여하는 멀티플렉서(21A)를 갖고 있다.

[0052] WL 드라이버(22)는, 메모리 컨트롤러(300)에 의한 제어에 기초하여, 각 WL에 대해서 소정의 전압을 인가한다. WL 드라이버(22)는, 예를 들어 선택·비선택의 WL에 부여하는 전압을, 동작 모드(판독, 기입 등)나, 기입하는 값에 의해 전환하여 공급하는 전압 선택 회로(22B)를 갖고 있다. WL 드라이버(22)는, 추가로, 예를 들어 복수의 WL로부터 소정의 WL을 선택하고, 선택한 WL에 대해서 전압 선택 회로(22B)로부터 공급된 전압을 부여하고, 비선택의 WL에 대해서 소정의 고정 전압을 부여하는 멀티플렉서(22A)를 갖고 있다.

[0053] SG 드라이버(23)는, 메모리 컨트롤러(300)에 의한 제어에 기초하여, 복수의 SG 중에서 복수의 SG를 선택한다. SG 드라이버(23)는, 예를 들어 선택·비선택의 SG에 부여하는 전압을, 동작 모드(판독, 기입 등)나, 기입하는 값에 의해 전환하여 공급하는 전압 선택 회로(23B)를 갖고 있다. SG 드라이버(23)는, 추가로, 예를 들어 복수의 SG로부터 소정의 SG를 선택하고, 선택한 SG에 대해서 전압 선택 회로(23B)로부터 공급된 전압을 부여하고, 비선택의 SG에 대해서 소정의 고정 전압을 부여하는 멀티플렉서(23A)를 갖고 있다.

[0054] 구동 회로(20)는, 메모리 셀 어레이(10)와 전기적으로 접속된 회로 기관(20A)을 갖고 있다. 회로 기관(20A)에는, 예를 들어 GBL 드라이버(21), 2개의 WL 드라이버(22) 및 SG 드라이버(23)가 마련되어 있다. GBL 드라이버(21)는, 접속부(21a)를 통해 BGL에 전기적으로 접속되어 있다. GBL 드라이버(21)는, 예를 들어 GBL과 대항하는 위치에 배치되어 있다. 한쪽의 WL 드라이버[22(22R)]는, 접속부(22a) 및 접속부(11)를 통해 빗살 배선 Cor의 접속부 CLr에 전기적으로 접속되어 있으며, 예를 들어, GBL 드라이버(21)에 인접하는 위치이고, 또한 X축 방향에 있어서 인접하는 위치에 마련되어 있다. 다른 쪽의 WL 드라이버[22(22L)]는, 접속부(22b) 및 접속부(12)를 통해 빗살 배선 Co1의 접속부 CL1에 전기적으로 접속되어 있으며, 예를 들어, GBL 드라이버(21)에 인접하는 위치이고, 또한 X축 방향에 있어서 WL 드라이버[22(22R)]와는 반대측에 인접하는 위치에 마련되어 있다. SG 드라이버(23)는, 접속부(23a)를 통해 SG에 전기적으로 접속되어 있다. SG 드라이버(23)는, 예를 들어 WL 드라이버[22(22R)]에 인접하는 위치이고, 또한 X축 방향에 있어서 GBL 드라이버(21)와는 반대측에 인접하는 위치에 마련되어 있다.

[0055] 접속부(11)는, 메모리 셀 어레이(10)에 마련된 배선이며, 빗살 배선 Cor의 접속부 CLr에 접속되어 있다. 접속부(12)는, 메모리 셀 어레이(10)에 마련된 배선이며, 빗살 배선 Co1의 접속부 CL1에 접속되어 있다.

[0056] 접속부(11)는, 복수의 접속 배선(11A)(제1 접속 배선)과, 복수의 접속 배선(11B)(제3 접속 배선 중 일부)과, 복수의 접속 배선(11C)(제4 접속 배선)을 갖고 있다. 복수의 접속 배선(11A)은, 복수의 CLr의 각각의, X축 방향에 있어서의 단부 예지와 전기적으로 접속되어, Z축 방향으로 연장되고, X축 방향 및 Y축 방향의 양쪽과 교차하는 방향으로 배열하여 배치되어 있다. 복수의 접속 배선(11B)은, WL 드라이버[22(22R)]에 전기적으로 접속되어, Z축 방향으로 연장되고, Y축 방향으로 배열하여 배치되어 있다. 복수의 접속 배선(11C)은, X축 방향으로 연장되고, Y축 방향으로 배열하여 배치되며, 복수의 접속 배선(11A)의 각각과, 복수의 접속 배선(11B)의 각각을 서로 전기적으로 접속하고 있다. 즉, 접속부(11)는, 복수의 CLr의 각각과 WL 드라이버[22(22R)]를 연결하는 배선 길이가 대략 서로 일치되도록 형성되어 있다.

[0057] 접속부(12)는, 복수의 접속 배선(12A)(제2 접속 배선)과, 복수의 접속 배선(12B)(제3 접속 배선 중 일부)과, 복수의 접속 배선(12C)(제5 접속 배선)을 갖고 있다. 복수의 접속 배선(12A)은, 복수의 CL1의 각각의, X축 방향에 있어서의 단부 예지와 전기적으로 접속되어, Z축 방향으로 연장되고, X축 방향 및 Y축 방향의 양쪽과 교차하는 방향으로 배열하여 배치되어 있다. 복수의 접속 배선(12B)은, WL 드라이버[22(22L)]에 전기적으로 접속되어, Z축 방향으로 연장되고, Y축 방향으로 배열하여 배치되어 있다. 복수의 접속 배선(12C)은, X축 방향으로 연장되고, Y축 방향으로 배열하여 배치되며, 복수의 접속 배선(12A)의 각각과, 복수의 접속 배선(12B)의

각각을 서로 전기적으로 접속하고 있다. 즉, 접속부(12)는, 복수의 CL1의 각각과 WL 드라이버[22(22L)]를 연결하는 배선 길이가 대략 서로 일치되도록 형성되어 있다.

[0058] 도 8은, 메모리 셀 어레이(10)의 각 배선의 레이아웃의 일례를 모식적으로 나타낸 것이다. 도 9는, 비교예에 따른 메모리 셀 어레이의 각 배선의 레이아웃을 모식적으로 나타낸 것이다. 또한, 도 8, 도 9에서는, 설명의 용이성을 감안하여, 편의적으로 SG 및 GBL이 WL의 위에 배치되어 있다.

[0059] 메모리 셀 어레이(10)는, 복수의 메모리 셀 MC 중, 대응하는 GBL 및 WL이 서로 다른 복수의 메모리 셀 MC'에 대해서 동시에 액세스가 이루어졌을 때, 각 메모리 셀 MC'와 공통의 GBL에 대응하는 메모리 셀 MC에 대해서도 동시에 액세스가 이루어지는 일이 없는 복수의 메모리 셀 MC'에 대한 동시 액세스가 가능하게 구성되어 있다. 메모리 셀 MC'는, 본 개시의 「제1 메모리 셀」의 일 구체예에 상당한다.

[0060] 구체적으로는, 복수의 BL이, X축 방향으로 복수의 GBL의 배열 피치의 2배의 크기로 등간격으로 배열하여 배치됨과 함께, Y축 방향으로 복수의 WL의 배열 피치의 2배의 크기로 등간격으로 배열하여 배치되어 있다. 또한, 서로 인접하는 2개의 GBL에 대응하는 복수의 BL은, XY면 내에서 1단씩 어긋나게(즉 엇갈리게) 배치되어 있다. 또한, 메모리 셀 어레이(10)는, 복수의 SG 중 서로 인접하지 않는 2개의 SG끼리를 전기적으로 접속하는 복수의 접속부 SH(예를 들어, SH0 내지 SH7)를 추가로 갖고 있다. 이에 의해, 구동 회로(20)에 의해, 2개의 GBL을 동시에 선택함과 함께, 복수의 SG 중 서로 인접하지 않는 2개의 SG를 동시에 선택함으로써, 복수의 메모리 셀 MC 중, 대응하는 GBL 및 WL이 서로 다른 2개의 메모리 셀 MC'에 대해서 동시에 액세스를 할 수 있고, 또한, 각 메모리 셀 MC'와 공통의 GBL에 대응하는 메모리 셀 MC에 대해서는 동시에 액세스를 하는 일이 없다. 예를 들어, GBL<6>, GBL<13>이 선택됨과 함께, 접속부 SH2를 통해 2군데의 SG<2>가 선택되었을 때, GBL<6>과 한쪽의 SG<2>가 서로 교차하는 개소에 대응하는 메모리 셀 MC'와, GBL<13>과 다른 쪽의 SG<2>가 서로 교차하는 개소에 대응하는 메모리 셀 MC'에만 액세스할 수 있다. 따라서, 액세스 전류를 1개의 WL에 집중시키지 않고, 2개의 메모리 셀 MC'에 액세스할 수 있다.

[0061] 한편, 비교예에 따른 메모리 셀 어레이에서는, 복수의 BL이, X축 방향으로 복수의 GBL의 배열 피치와 등배의 크기로 등간격으로 배열하여 배치됨과 함께, Y축 방향으로 복수의 WL의 배열 피치와 등배의 크기로 등간격으로 배열하여 배치되어 있다. 그 때문에, 예를 들어 도 9에 도시한 바와 같이, 각 메모리 셀 MC'에 흐르는 액세스 전류가 1개의 WL에 집중해버린다. 또한, 비교예에 따른 메모리 셀 어레이에 있어서, 대응하는 WL이 서로 상이하도록, 복수의 메모리 셀 MC'에 액세스한 경우, 각 메모리 셀 MC'와 공통의 GBL에 대응하는 메모리 셀 MC에 대해서도 동시에 액세스해버린다. 그 때문에, 비교예에 따른 메모리 셀 어레이에서는, 대응하는 WL이 서로 상이하도록, 2개의 메모리 셀 MC'에 액세스할 수 없다.

[0062] [효과]

[0063] 다음으로, 본 실시 형태의 메모리 장치(200)의 효과에 대하여 설명한다.

[0064] 근년 주목받고 있는 Vertical 3D ReRAM에서는, 워드선의 적층수를 증가시킴으로써, 단위 면적당 용량이 확대되어, 보다 저비용의 메모리 장치를 실현하는 것이 과제로 되어 있다. 비트선의 제조 용이의 관점에서는, 워드선을 가능한 한 얇게 하는 것이 바람직하다. 그러나, 워드선을 얇게 하면, 시트 저항값이 증가하여, 메모리 셀에 대한 액세스 시의 워드선에 있어서의 전압 저하가, 설계상의 제약으로 된다.

[0065] 한편, 본 실시 형태의 메모리 장치(200)에서는, 메모리 셀 어레이(10)는, 복수의 메모리 셀 MC 중, 대응하는 GBL 및 WL이 서로 다른 복수의 메모리 셀 MC'에 대해서 동시에 액세스가 이루어졌을 때, 각 메모리 셀 MC'와 공통의 GBL에 대응하는 메모리 셀 MC에 대해서도 동시에 액세스가 이루어지는 일이 없는 복수의 메모리 셀 MC'에 대한 동시 액세스가 가능하게 구성되어 있다. 구체적으로는, 복수의 BL이, X축 방향으로 복수의 GBL의 배열 피치의 2배의 크기로 등간격으로 배열하여 배치됨과 함께, Y축 방향으로 복수의 WL의 배열 피치의 2배의 크기로 등간격으로 배열하여 배치되어 있다. 또한, 서로 인접하는 2개의 GBL에 대응하는 복수의 BL은, XY면 내에서 1단씩 어긋나게(즉 엇갈리게) 배치되어 있다. 또한, 메모리 셀 어레이(10)는, 복수의 SG 중 서로 인접하지 않는 2개의 SG끼리를 전기적으로 접속하는 복수의 접속부 SH(예를 들어, SH0 내지 SH7)를 추가로 갖고 있다. 이에 의해, 액세스 전류를 1개의 WL에 집중시키지 않고, 복수의 메모리 셀 MC'에 액세스할 수 있다. 그 결과, WL에 있어서의 전압 저하를 억제하여, 높은 액세스 속도를 얻을 수 있다.

[0066] 또한, 본 실시 형태의 메모리 장치(200)에서는, 각 계층에 있어서, 짝수 번째의 복수의 WL(WL1)이, 접속부 CL1에 의해 서로 전기적으로 접속되어, 빗살 배선 Col의 빗살을 구성하고 있다. 또한, 각 계층에 있어서, 홀수 번째의 복수의 WL(WLr)이, 접속부 CLr에 의해 서로 전기적으로 접속되어, 빗살 배선 Cor의 빗살을 구성하고 있다.

이에 의해, WL 드라이버(22)에 있어서의, WL의 실질적인 개수를 삭감할 수 있으므로, WL 드라이버(22)의 회로 규모를 작게 할 수 있다.

[0067] 또한, 본 실시 형태의 메모리 장치(200)에서는, 복수의 SG 중 서로 인접하지 않는 2개의 SG끼리를 전기적으로 접속하는 복수의 접속부 SH가 메모리 셀 어레이(10)에 마련되어 있다. 이에 의해, SG 드라이버(23)에 있어서의, SG의 실질적인 개수를 삭감할 수 있으므로, SG 드라이버(23)의 회로 규모를 작게 할 수 있다.

[0068] 또한, 본 실시 형태의 메모리 장치(200)에서는, 복수의 접속부 CLr이 계단 형상으로 배치되어 있으며, 복수의 접속부 CL이 계단 형상으로 배치되어 있다. 또한, 접속부(11)는, 복수의 CLr의 각각과 WL 드라이버[22(22R)]를 연결하는 배선 길이가 대략 서로 일치되도록 형성되어 있으며, 접속부(12)는, 복수의 CL의 각각과 WL 드라이버[22(22L)]를 연결하는 배선 길이가 대략 서로 일치되도록 형성되어 있다. 이에 의해, 각 WL 드라이버(22)로부터 각 WL에 공급되는 전압값을 일치시킬 수 있으므로, 각 WL에 있어서, WL의 단부로부터의 거리에 따른 전압값의 변동을 억제할 수 있다.

[0069] <2. 제1 실시 형태의 변형예>

[0070] 이하에, 상기 실시 형태의 메모리 셀 어레이(10)의 변형예에 대하여 설명한다. 또한, 이하에서는, 상기 실시 형태와 공통의 구성 요소에 대해서는, 상기 실시 형태에서 부여된 부호와 동일한 부호가 부여된다. 또한, 상기 실시 형태와 다른 구성 요소의 설명을 주로 행하고, 상기 실시 형태와 공통의 구성 요소의 설명에 대해서는, 적절히 생략하기로 한다.

[0071] [변형예 A]

[0072] 도 10은, 상기 실시 형태의 메모리 셀 어레이(10)의 일 변형예를 나타낸 것이다. 본 변형예의 메모리 셀 어레이(10)는, 상기 실시 형태의 메모리 셀 어레이(10)에 있어서, 접속부 SH가 생략된 것에 상당한다. 이와 같은 경우, 구동 회로(20)가, 복수의 SG 중 서로 인접하지 않는 복수 개(예를 들어, 2개)의 SG를 동시에 선택한다. 이에 의해, 복수의 메모리 셀 MC 중, 대응하는 GBL 및 WL이 서로 다른 복수의 메모리 셀 MC'에 대해서 동시에 액세스가 이루어졌을 때, 각 메모리 셀 MC'와 공통의 GBL에 대응하는 메모리 셀 MC에 대해서도 동시에 액세스가 이루어지는 일이 없는 복수의 메모리 셀 MC'에 대한 동시 액세스가 가능하다. 예를 들어, GBL<6>, GBL<13>이 선택됨과 함께, SG<3>, SG<8>이 선택되었을 때, GBL<6>과 SG<6>이 서로 교차하는 개소에 대응하는 메모리 셀 MC'와, GBL<13>과 SG<8>이 서로 교차하는 개소에 대응하는 메모리 셀 MC'에 액세스할 수 있다. 따라서, 상기 실시 형태와 마찬가지로, WL에 있어서의 전압 저하를 억제하여, 높은 액세스 속도를 얻을 수 있다.

[0073] [변형예 B]

[0074] 도 11은, 상기 실시 형태의 메모리 셀 어레이(10)의 일 변형예를 나타낸 것이다. 본 변형예의 메모리 셀 어레이(10)는, 복수의 메모리 셀 MC 중, 대응하는 GBL 및 WL이 서로 다른 3개의 메모리 셀 MC'에 대해서 동시에 액세스가 이루어졌을 때, 각 메모리 셀 MC'와 공통의 GBL에 대응하는 메모리 셀 MC에 대해서도 동시에 액세스가 이루어지는 일이 없는 3개의 메모리 셀 MC'에 대한 동시 액세스가 가능하게 구성되어 있다.

[0075] 구체적으로는, 복수의 BL이, X축 방향으로 복수의 GBL의 배열 피치의 3배의 크기로 등간격으로 배열하여 배치됨과 함께, Y축 방향으로 복수의 WL의 배열 피치의 3배의 크기로 등간격으로 배열하여 배치되어 있다. 또한, 서로 인접하는 3개의 GBL에 대응하는 복수의 BL은, XY 면 내에서 1단씩 어긋나게 배치되어 있다. 또한, 메모리 셀 어레이(10)는, 복수의 SG 중 서로 인접하지 않는 3개의 SG끼리를 전기적으로 접속하는 복수의 접속부 SH(예를 들어, SH0 내지 SH5)를 추가로 갖고 있다. 이에 의해, 예를 들어 GBL<4>, GBL<6>, GBL<8>이 선택됨과 함께, 접속부 SH1을 통해 3개의 SG<1>이 선택되었을 때, GBL<4>와 첫 번째 SG<1>이 서로 교차하는 개소에 대응하는 메모리 셀 MC'와, GBL<6>과 두 번째 SG<1>이 서로 교차하는 개소에 대응하는 메모리 셀 MC'와, GBL<8>과 세 번째 SG<1>이 서로 교차하는 개소에 대응하는 메모리 셀 MC'에 액세스할 수 있다. 따라서, 액세스 전류를 1개의 WL에 집중시키지 않고, 복수의 메모리 셀 MC'에 액세스할 수 있다.

[0076] 또한, 본 변형예에 있어서, 메모리 셀 어레이(10)가, 복수의 메모리 셀 MC 중, 대응하는 GBL 및 WL이 서로 다른 4개 이상의 메모리 셀 MC'에 대해서 동시에 액세스가 이루어졌을 때, 각 메모리 셀 MC'와 공통의 GBL에 대응하는 메모리 셀 MC에 대해서도 동시에 액세스가 이루어지는 일이 없는 4개 이상의 메모리 셀 MC'에 대한 동시 액세스가 가능하게 구성되어 있어도 된다. 이와 같이 한 경우에도, 본 변형예와 마찬가지로, 액세스 전류를 1개의 WL에 집중시키지 않고, 복수의 메모리 셀 MC'에 액세스할 수 있다.

- [0077] [변형예 C]
- [0078] 도 12는, 상기 실시 형태의 메모리 셀 어레이(10)의 일 변형예를 나타낸 것이다. 본 변형예의 메모리 셀 어레이(10)는, 상기 실시 형태의 메모리 셀 어레이(10)에 있어서, 접속부 SH의 선택수가 2로 되어 있는 것에 상당한다. 본 변형예에서는, 예를 들어 GBL<6>, GBL<8>이 선택되고, 접속부 SH1을 통해 2개의 SG<2>가 선택되고, 접속부 SH6을 통해 2개의 SG<6>이 선택되었을 때, GBL<6>과 첫 번째 SG<2>가 서로 교차하는 개소에 대응하는 메모리 셀 MC'와, GBL<13>과 두 번째 SG<2>가 서로 교차하는 개소에 대응하는 메모리 셀 MC'와, GBL<6>과 첫 번째 SG<6>이 서로 교차하는 개소에 대응하는 메모리 셀 MC'와, GBL<13>과 두 번째 SG<6>이 서로 교차하는 개소에 대응하는 메모리 셀 MC'에 액세스할 수 있다. 따라서, 본 변형예에 있어서도, 액세스 전류를 1개의 WL에 집중시키지 않고, 복수의 메모리 셀 MC'에 액세스할 수 있다.
- [0079] <3. 제2 실시 형태>
- [0080] 도 13은, 제2 실시 형태에 따른 정보 처리 시스템의 기능 블록의 일례를 나타낸 것이다. 이 정보 처리 시스템은, 호스트 컴퓨터(100) 및 메모리 장치(600)를 구비하고 있다. 메모리 장치(600)는, 메모리 컨트롤러(300), 메모리 셀 어레이 유닛(700) 및 전원 회로(500)를 구비하고 있다.
- [0081] 호스트 컴퓨터(100)는, 메모리 장치(600)를 제어하는 것이다. 메모리 컨트롤러(300)는, 메모리 셀 어레이 유닛(700)을 제어하는 것이다. 전원 회로(500)는, 메모리 셀 어레이 유닛(700)에 대해서 원하는 전압을 공급하는 것이다.
- [0082] 다음으로, 메모리 셀 어레이 유닛(700)에 대하여 설명한다. 도 14는, 메모리 셀 어레이 유닛(700)의 기능 블록의 일례를 나타낸 것이다. 도 15는, 메모리 셀 어레이 유닛(700)의 사시 구성의 일례를 나타낸 것이다. 도 16은, 메모리 셀 어레이 유닛(700)의 측면 구성의 일례를 나타낸 것이다. 도 17은, 메모리 셀 어레이 유닛(700)의 단면 구성의 일례를 나타낸 것이다. 도 18은, 메모리 셀 어레이 유닛(700)의 상면 구성의 일례를 나타낸 것이다. 도 17에는, 후술하는 제1 그룹 G1과, 후술하는 제2 그룹 G2의 경계에 있어서의 단면의 일례가 표시되어 있다.
- [0083] 메모리 셀 어레이 유닛(700)은, 예를 들어 반도체 칩으로 구성되어 있다. 메모리 셀 어레이 유닛(700)은, 메모리 셀 어레이(30) 및 구동 회로(40)를 갖고 있다. 구동 회로(40)는, 메모리 컨트롤러(300)와의 사이에서, 커맨드, 라이트 데이터 및 리드 데이터 등을 교환한다. 구동 회로(40)는, 라이트 커맨드에 따라서, 메모리 셀 어레이(30)에 데이터를 기입하고, 리드 커맨드에 따라서, 메모리 셀 어레이(30)로부터 데이터를 판독한다.
- [0084] (구동 회로(40))
- [0085] 구동 회로(40)는, 후술하는 제1 그룹 G1에 대응하는 복수의 SG 중 1개 또는 복수의 SG와, 후술하는 제2 그룹 G2에 대응하는 복수의 SG 중 1개 또는 복수의 SG를 동시에 선택할 수 있도록 구성되어 있다. 구체적으로는, 구동 회로(40)는, 복수의 GBL을 구동하는 GBL 드라이버(41)(제1 구동 회로)와, 복수의 WL을 구동하는 WL 드라이버(42)(제2 구동 회로)와, 복수의 SG를 구동하는 SG 드라이버(23)(제3 구동 회로)와, 기입 래치(43)를 갖고 있다.
- [0086] GBL 드라이버(41)는, 메모리 컨트롤러(300)에 의한 제어에 기초하여, 복수의 GBL 중에서 복수의 GBL을 선택한다. GBL 드라이버(41)는, 예를 들어 멀티플렉서(21A), 감지 증폭기(21B) 및 전압 선택 회로(21E)를 갖고 있다. 전압 선택 회로(21E)는, 예를 들어 선택·비선택의 GBL에 부여하는 전압을, 동작 모드(판독, 기입 등)나, 기입하는 값에 의해 전환하여 공급하는 것이며, 예를 들어 기입 래치(43)로부터 입력되는 기입 데이터 Wdata에 기초하여, GBL에 부여하는 전압을 결정한다.
- [0087] WL 드라이버(42)는, 메모리 컨트롤러(300)에 의한 제어에 기초하여, 각 WL에 대해서 소정의 전압을 인가한다. WL 드라이버(42)는, 예를 들어 멀티플렉서(22A) 및 전압 선택 회로(22C)를 갖고 있다. 전압 선택 회로(22C)는, 예를 들어 선택·비선택의 WL에 부여하는 전압을, 동작 모드(판독, 기입 등)나, 기입하는 값에 의해 전환하여 공급하는 것이며, 예를 들어 기입 래치(43)로부터 입력되는 기입 데이터 Wdata에 기초하여, WL에 부여하는 전압을 결정한다.
- [0088] 기입 래치(43)는, 메모리 컨트롤러(300)에 의한 제어에 기초하여, 전압 선택 회로(21E, 22C)에 대해서, 기입 데이터 Wdata를 입력한다. 기입 데이터 Wdata는, 액세스 대상의 복수의 메모리 셀 MC에 기입하는 값에 관한 데이터이다.
- [0089] 구동 회로(40)는, 메모리 셀 어레이(30)와 전기적으로 접속된 회로 기관(40A)을 갖고 있다. 회로 기관(40A)에는, GBL 드라이버(41), 2개의 WL 드라이버(42) 및 SG 드라이버(23)가 마련되어 있다. GBL 드라이버(41)는, 접

속부(41a)를 통해 BGL에 전기적으로 접속되어 있다. GBL 드라이버(41)는, 예를 들어 GBL과 대향하는 위치에 배치되어 있다. WL 드라이버[42(42R)]는, 접속부(42a) 및 접속부(11a)를 통해 WL(WLa)의 접속부 CLr1에 전기적으로 접속되어 있고, 접속부(42a) 및 접속부(11b)를 통해 WL(WLb)의 접속부 CLr2에 전기적으로 접속되어 있다. WL 드라이버[42(42R)]는, 예를 들어 GBL 드라이버(41)에 인접하는 위치이고, 또한 X축 방향에 있어서 인접하는 위치에 마련되어 있다. WL 드라이버[42(42L)]는, 접속부(42b) 및 접속부(12a)를 통해 WL(WLc)의 접속부 CL11에 전기적으로 접속되어 있으며, 접속부(42b) 및 접속부(12b)를 통해 WL(WLd)의 접속부 CL12에 전기적으로 접속되어 있다. WL 드라이버[42(42L)]는, 예를 들어 GBL 드라이버(41)에 인접하는 위치이고, 또한 X축 방향에 있어서 WL 드라이버[42(42R)]와는 반대측에 인접하는 위치에 마련되어 있다. SG 드라이버(23)는, 접속부(23a)를 통해 WL에 전기적으로 접속되어 있다. SG 드라이버(23)는, 예를 들어 WL 드라이버[42(42R)]에 인접하는 위치이고, 또한 X축 방향에 있어서 GBL 드라이버(41)와는 반대측에 인접하는 위치에 마련되어 있다.

- [0090] (메모리 셀 어레이(30))
- [0091] 메모리 셀 어레이(30)는, 상기 실시 형태의 메모리 셀 어레이(10)와 마찬가지로, 소위 크로스 포인트 어레이 구조를 구비하고 있으며, 크로스 포인트마다 1개씩, 저항 변화형의 메모리 셀 MC를 구비하고 있다. 메모리 셀 어레이(30)는, 상기 실시 형태의 메모리 셀 어레이(10)에 있어서, 각 빔살 배선 Cor 및 각 빔살 배선 Col을 Y축 방향으로 2개로 분할한 것에 상당한다. 메모리 셀 어레이(30)는, 우측에 Y축 방향으로 배열하여 배치된 2개의 빔살 배선 Cor1, Cor2를 구비하고 있으며, 좌측에 Y축 방향으로 배열하여 배치된 2개의 빔살 배선 Col1, Col2를 구비하고 있다.
- [0092] 구체적으로는, 각 계층에 있어서, Y축 방향으로 배열하여 배치된 복수의 (m개의) WL이, 1번째부터 k번째까지의 복수의 WL로 이루어지는 제1 그룹 G1과, k+1번째부터 m번째까지의 복수의 WL로 이루어지는 제2 그룹 G2로 나뉘어져 있는 것으로 한다. 이때, 제1 그룹 G1에 속하는 짝수 번째의 복수의 WL(WLc)는, 좌측의 접속부 CL11에 의해 서로 전기적으로 접속된 빔살 배선 Col1(제3 빔살 배선)의 빔살을 구성하고 있다. 제1 그룹 G1에 속하는 홀수 번째의 복수의 WL(WLa)는, 우측의 접속부 CLr1에 의해 서로 전기적으로 접속된 빔살 배선 Cor1(제4 빔살 배선)의 빔살을 구성하고 있다. 제2 그룹 G2에 속하는 짝수 번째의 복수의 WL(WLd)는, 좌측의 접속부 CL12에 의해 서로 전기적으로 접속된 빔살 배선 Col2(제5 빔살 배선)의 빔살을 구성하고 있다. 제2 그룹 G2에 속하는 홀수 번째의 복수의 WL(WLb)는, 우측의 접속부 CLr2에 의해 서로 전기적으로 접속된 빔살 배선 Cor2(제6 빔살 배선)의 빔살을 구성하고 있다.
- [0093] 또한, 도 18에는, 제1 그룹 G1에 속하는 짝수 번째의 복수의 WL(WLc)가, 4개의  $WL<2k>(k=1 \text{ 내지 } 4)$ 로 되어 있다. 마찬가지로, 제1 그룹 G1에 속하는 홀수 번째의 복수의 WL(WLa)가, 5개의  $WL<2k-1>(k=1 \text{ 내지 } 5)$ 로 되어 있는 경우가 예시되어 있다. 마찬가지로, 제2 그룹 G2에 속하는 짝수 번째의 복수의 WL(WLd)가, 4개의  $WL<2k>(k=5 \text{ 내지 } 8)$ 로 되어 있다. 마찬가지로, 제2 그룹 G2에 속하는 홀수 번째의 복수의 WL(WLb)가, 4개의  $WL<2k-1>(k=6 \text{ 내지 } 9)$ 로 되어 있는 경우가 예시되어 있다.
- [0094] 복수의 빔살 배선 Cor1에 있어서, 복수의 WL(WLa)를 서로 접속하는 접속부 CLr1의, X축 방향의 길이는, 회로 기관(40A)으로부터 멀어짐에 따라서 짧아지게 되어 있으며, 그것에 의해 복수의 접속부 CLr1은, 계단 형상으로 배치되어 있다. 복수의 빔살 배선 Cor2에 있어서, 복수의 WL(WLb)를 서로 접속하는 접속부 CLr2의, X축 방향의 길이는, 회로 기관(40A)으로부터 멀어짐에 따라서 짧아지게 되어 있으며, 그것에 의해 복수의 접속부 CLr2는, 계단 형상으로 배치되어 있다.
- [0095] 복수의 빔살 배선 Col1에 있어서, 복수의 WL(WLc)를 서로 접속하는 접속부 CL11의, X축 방향의 길이는, 회로 기관(40A)으로부터 멀어짐에 따라서 짧아지게 되어 있으며, 그것에 의해 복수의 접속부 CL11은, 계단 형상으로 배치되어 있다. 복수의 빔살 배선 Col2에 있어서, 복수의 WL(WLd)를 서로 접속하는 접속부 CL12의, X축 방향의 길이는, 회로 기관(40A)으로부터 멀어짐에 따라서 짧아지게 되어 있으며, 그것에 의해 복수의 접속부 CL12는, 계단 형상으로 배치되어 있다.
- [0096] 메모리 셀 어레이(30)는, 빔살 배선 Cor1에 대해서 접속부(11a)를 구비하고 있으며, 빔살 배선 Cor2에 대해서 접속부(11b)를 구비하고 있다. 메모리 셀 어레이(30)는, 추가로, 빔살 배선 Col1에 대해서 접속부(12a)를 구비하고 있으며, 빔살 배선 Col2에 대해서 접속부(12b)를 구비하고 있다.
- [0097] 접속부(11a)는, 복수의 접속 배선(11aA)(제7 접속 배선)과, 복수의 접속 배선(11aB)(제10 접속 배선 중 일부)과, 복수의 접속 배선(11aC)(제12 접속 배선)을 갖고 있다. 복수의 접속 배선(11aA)은, 복수의 CLr1의 각각의, X축 방향에 있어서의 단부 에지와 전기적으로 접속되어, Z축 방향으로 연장되고, X축 방향 및 Y축 방향의

양쪽과 교차하는 방향으로 배열하여 배치되어 있다. 복수의 접속 배선(11aB)은, WL 드라이버[22(22R)]에 전기적으로 접속되어, X축 방향으로 연장되고, Y축 방향으로 배열하여 배치되어 있다. 복수의 접속 배선(11aC)은, X축 방향으로 연장되고, Y축 방향으로 배열하여 배치되며, 복수의 접속 배선(11aA)의 각각과, 복수의 접속 배선(11aB)의 각각을 서로 전기적으로 접속하고 있다. 즉, 접속부(11a)는, 복수의 CLr1의 각각과 WL 드라이버[22(22R)]를 연결하는 배선 길이가 대략 서로 일치되도록 형성되어 있다.

[0098] 접속부(11b)는, 복수의 접속 배선(11bA)(제9 접속 배선)과, 복수의 접속 배선(11bB)(제10 접속 배선 중 일부)과, 복수의 접속 배선(11bC)(제14 접속 배선)을 갖고 있다. 복수의 접속 배선(11bA)은, 복수의 CLr2의 각각의, X축 방향에 있어서의 단부 에지와 전기적으로 접속되어, Z축 방향으로 연장되고, X축 방향 및 Y축 방향의 양쪽과 교차하는 방향으로 배열하여 배치되어 있다. 복수의 접속 배선(11bB)은, WL 드라이버[22(22R)]에 전기적으로 접속되어, X축 방향으로 연장되고, Y축 방향으로 배열하여 배치되어 있다. 복수의 접속 배선(11bC)은, X축 방향으로 연장되고, Y축 방향으로 배열하여 배치되며, 복수의 접속 배선(11bA)의 각각과, 복수의 접속 배선(11bB)의 각각을 서로 전기적으로 접속하고 있다. 즉, 접속부(11b)는, 복수의 CLr2의 각각과 WL 드라이버[22(22R)]를 연결하는 배선 길이가 대략 서로 일치되도록 형성되어 있다.

[0099] 접속부(12a)는, 복수의 접속 배선(12aA)(제6 접속 배선)과, 복수의 접속 배선(12aB)(제10 접속 배선 중 일부)과, 복수의 접속 배선(12aC)(제11 접속 배선)을 갖고 있다. 복수의 접속 배선(12aA)은, 복수의 CL11의 각각의, X축 방향에 있어서의 단부 에지와 전기적으로 접속되어, Z축 방향으로 연장되고, X축 방향 및 Y축 방향의 양쪽과 교차하는 방향으로 배열하여 배치되어 있다. 복수의 접속 배선(12aB)은, WL 드라이버[22(22L)]에 전기적으로 접속되어, X축 방향으로 연장되고, Y축 방향으로 배열하여 배치되어 있다. 복수의 접속 배선(12aC)은, X축 방향으로 연장되고, Y축 방향으로 배열하여 배치되며, 복수의 접속 배선(12aA)의 각각과, 복수의 접속 배선(12aB)의 각각을 서로 전기적으로 접속하고 있다. 즉, 접속부(12a)는, 복수의 CL11의 각각과 WL 드라이버[22(22L)]를 연결하는 배선 길이가 대략 서로 일치되도록 형성되어 있다.

[0100] 접속부(12b)는, 복수의 접속 배선(12bA)(제8 접속 배선)과, 복수의 접속 배선(12bB)(제10 접속 배선 중 일부)과, 복수의 접속 배선(12bC)(제13 접속 배선)을 갖고 있다. 복수의 접속 배선(12bA)은, 복수의 CL12의 각각의, X축 방향에 있어서의 단부 에지와 전기적으로 접속되어, Z축 방향으로 연장되고, X축 방향 및 Y축 방향의 양쪽과 교차하는 방향으로 배열하여 배치되어 있다. 복수의 접속 배선(12bB)은, WL 드라이버[22(22L)]에 전기적으로 접속되어, X축 방향으로 연장되고, Y축 방향으로 배열하여 배치되어 있다. 복수의 접속 배선(12bC)은, X축 방향으로 연장되고, Y축 방향으로 배열하여 배치되며, 복수의 접속 배선(12bA)의 각각과, 복수의 접속 배선(12bB)의 각각을 서로 전기적으로 접속하고 있다. 즉, 접속부(12b)는, 복수의 CL12의 각각과 WL 드라이버[22(22L)]를 연결하는 배선 길이가 대략 서로 일치되도록 형성되어 있다.

[0101] 도 19는, 메모리 셀 어레이(30)의 각 배선의 레이아웃의 일례를 모식적으로 나타낸 것이다. 또한, 도 19에서는, 설명의 용이성을 감안하여, 편의적으로 SG 및 GBL이 WL의 위에 배치되어 있다.

[0102] 메모리 셀 어레이(30)는, 복수의 메모리 셀 MC 중, 대응하는 GBL 및 WL이 서로 다른 복수의 메모리 셀 MC'에 대해서 동시에 액세스가 이루어졌을 때, 각 메모리 셀 MC'와 공통의 GBL에 대응하는 메모리 셀 MC에 대해서도 동시에 액세스가 이루어지는 일이 없는 복수의 메모리 셀 MC'에 대한 동시 액세스가 가능하게 구성되어 있다.

[0103] 구체적으로는, 복수의 BL이, X축 방향으로 복수의 GBL의 배열 피치의 2배의 크기로 등간격으로 배열하여 배치됨과 함께, Y축 방향으로 복수의 WL의 배열 피치에 2배의 크기로 등간격으로 배열하여 배치되어 있다. 또한, 서로 인접하는 2개의 GBL에 대응하는 복수의 BL은, XY면 내에서 1단씩 어긋나게(즉 엇갈리게) 배치되어 있다. 또한, 메모리 셀 어레이(30)에는, 상기 실시 형태에 있어서의 접속부 SH는 마련되어 있지 않다.

[0104] 이에 의해, 구동 회로(40)에 의해, 2개의 GBL을 동시에 선택함과 함께, 빗살 배선 Cor2, Col2축의 복수의 SG 중 1개의 SG와, 빗살 배선 Cor1, Col1축의 복수의 SG 중 1개의 SG를 동시에 선택함으로써, 복수의 메모리 셀 MC 중, 대응하는 GBL 및 WL이 서로 다른 2개의 메모리 셀 MC'에 대해서 동시에 액세스를 할 수 있으며, 또한, 각 메모리 셀 MC'와 공통의 GBL에 대응하는 메모리 셀 MC에 대해서는 동시에 액세스를 하는 일은 없다. 예를 들어, GBL<6>, GBL<9>가 선택됨과 함께, 2군데의 SG<2>가 선택되었을 때, GBL<6>과 한쪽의 SG<2>가 서로 교차하는 개소에 대응하는 메모리 셀 MC'와, GBL<9>와 다른 쪽의 SG<2>가 서로 교차하는 개소에 대응하는 메모리 셀 MC'에만 액세스할 수 있다. 따라서, 액세스 전류를 1개의 WL에 집중시키지 않고, 2개의 메모리 셀 MC'에 액세스할 수 있다.

[0105] [효과]

- [0106] 다음으로, 본 실시 형태의 메모리 장치(600)의 효과에 대하여 설명한다.
- [0107] 본 실시 형태의 메모리 장치(600)에서는, 메모리 셀 어레이(30)는, 복수의 메모리 셀 MC 중, 대응하는 GBL 및 WL이 서로 다른 복수의 메모리 셀 MC'에 대해서 동시에 액세스가 이루어졌을 때, 각 메모리 셀 MC'와 공통의 GBL에 대응하는 메모리 셀 MC에 대해서도 동시에 액세스가 이루어지는 일이 없는 복수의 메모리 셀 MC'에 대한 동시에 액세스가 가능하게 구성되어 있다. 구체적으로는, 복수의 BL이, X축 방향으로 복수의 GBL의 배열 피치의 2배의 크기로 등간격으로 배열하여 배치됨과 함께, Y축 방향으로 복수의 WL의 배열 피치의 2배의 크기로 등간격으로 배열하여 배치되어 있다. 또한, 서로 인접하는 2개의 GBL에 대응하는 복수의 BL은, XY면 내에서 1단씩 어긋나게(즉 엇갈리게) 배치되어 있다. 또한, 우측에 Y축 방향으로 배열하여 배치된 2개의 빔살 배선 Cor1, Cor2가 마련되어 있으며, 좌측에 Y축 방향으로 배열하여 배치된 2개의 빔살 배선 Col1, Col2가 마련되어 있다. 이에 의해, 액세스 전류를 1개의 WL에 집중시키지 않고, 복수의 메모리 셀 MC'에 액세스할 수 있다. 그 결과, WL에 있어서의 전압 저하를 억제하여, 높은 액세스 속도를 얻을 수 있다.
- [0108] 또한, 본 실시 형태의 메모리 장치(600)에서는, 구동 회로(40)가, 제1 그룹 G1에 대응하는 복수의 SG 중 1개 또는 복수의 SG와, 제2 그룹 G2에 대응하는 복수의 SG 중 1개 또는 복수의 SG를 동시에 선택할 수 있도록 구성되어 있다. 이에 의해, 액세스 전류를 1개의 WL에 집중시키지 않고, 복수의 메모리 셀 MC'에 액세스할 수 있다. 그 결과, WL에 있어서의 전압 저하를 억제하여, 높은 액세스 속도를 얻을 수 있다.
- [0109] 또한, 본 실시 형태의 메모리 장치(600)에서는, 복수의 접속부 CLr1이 계단 형상으로 배치되어 있고, 복수의 접속부 CL11이 계단 형상으로 배치되어 있고, 복수의 접속부 CLr2가 계단 형상으로 배치되어 있으며, 복수의 접속부 CL12가 계단 형상으로 배치되어 있다. 또한, 접속부(11a)는, 복수의 CLr1의 각각과 WL 드라이버[22(22R)]를 연결하는 배선 길이가 대략 서로 일치되도록 형성되어 있으며, 접속부(12a)는, 복수의 CL11의 각각과 WL 드라이버[22(22L)]를 연결하는 배선 길이가 대략 서로 일치되도록 형성되어 있다. 접속부(11b)는, 복수의 CLr2의 각각과 WL 드라이버[22(22R)]를 연결하는 배선 길이가 대략 서로 일치되도록 형성되어 있으며, 접속부(12b)는, 복수의 CL12의 각각과 WL 드라이버[22(22L)]를 연결하는 배선 길이가 대략 서로 일치되도록 형성되어 있다. 이에 의해, 각 WL 드라이버(22)로부터 각 WL에 공급되는 전압값을 일치시킬 수 있으므로, 각 WL에 있어서, WL의 단부로부터의 거리에 따른 전압값의 변동을 억제할 수 있다.
- [0110] <4. 제2 실시 형태의 변형예>
- [0111] 다음으로, 상기 제2 실시 형태의 메모리 셀 어레이(30)의 변형예에 대하여 설명한다. 상기 제2 실시 형태의 메모리 셀 어레이(30)에 있어서, 빔살 배선 Cor2, Col2측의 복수의 SG 중 복수의 SG와, 빔살 배선 Cor1, Col1측의 복수의 SG 중 복수의 SG가 동시에 선택되어도 된다. 예를 들어, 구동 회로(40)에 의해, 4개의 GBL을 동시에 선택함과 함께, 빔살 배선 Cor2, Col2측의 복수의 SG 중 2개의 SG와, 빔살 배선 Cor1, Col1측의 복수의 SG 중 2개의 SG를 동시에 선택한다. 이에 의해, 복수의 메모리 셀 MC 중, 빔살 배선 Cor2, Col2측에 있어서, 대응하는 GBL 및 WL이 서로 다른 2개의 메모리 셀 MC'에 대해서 동시에 액세스를 할 수 있다. 또한, 복수의 메모리 셀 MC 중, 빔살 배선 Cor1, Col1측에 있어서, 대응하는 GBL 및 WL이 서로 다른 2개의 메모리 셀 MC'에 대해서 동시에 액세스를 할 수 있다. 이때, 각 메모리 셀 MC'와 공통의 GBL에 대응하는 메모리 셀 MC에 대해서는 동시에 액세스를 하는 일은 없다. 따라서, 액세스 전류를 1개의 WL에 집중시키지 않고, 4개의 메모리 셀 MC'에 액세스할 수 있다. 그 결과, WL에 있어서의 전압 저하를 억제하여, 높은 액세스 속도를 얻을 수 있다.
- [0112] <5. 제3 실시 형태>
- [0113] [구성]
- [0114] 도 20은, 제3 실시 형태에 따른 정보 처리 시스템의 기능 블록의 일례를 나타낸 것이다. 이 정보 처리 시스템은, 호스트 컴퓨터(100) 및 메모리 장치(800)를 구비하고 있다. 메모리 장치(800)는, 메모리 컨트롤러(300), 메모리 셀 어레이 유닛(900) 및 전원 회로(500)를 구비하고 있다.
- [0115] 호스트 컴퓨터(100)는, 메모리 장치(800)를 제어하는 것이다. 메모리 컨트롤러(300)는, 메모리 셀 어레이 유닛(900)을 제어하는 것이다. 전원 회로(500)는, 메모리 셀 어레이 유닛(900)에 대해서 원하는 전압을 공급하는 것이다.
- [0116] 다음으로, 메모리 셀 어레이 유닛(900)에 대하여 설명한다. 도 21은, 메모리 셀 어레이 유닛(900)의 기능 블록의 일례를 나타낸 것이다. 메모리 셀 어레이 유닛(900)은, 예를 들어 반도체 칩으로 구성되어 있다. 메모리 셀 어레이 유닛(900)은, 메모리 셀 어레이(50) 및 구동 회로(60)를 갖고 있다. 구동 회로(60)는, 메모리 컨트롤러(300)로부터의 거리에 따른 전압값의 변동을 억제할 수 있다.

롤러(300)와의 사이에서, 커맨드, 라이트 데이터 및 리드 데이터 등을 교환한다. 구동 회로(60)는, 라이트 커맨드에 따라서, 메모리 셀 어레이(50)에 데이터를 기입하고, 리드 커맨드에 따라서, 메모리 셀 어레이(50)로부터 데이터를 판독한다.

[0117] 구동 회로(60)는, 복수의 메모리 셀 MC 중, 대응하는 GBL이 서로 공통됨과 함께 대응하는 WL이 서로 다른 복수의 메모리 셀 MC에 대해서 동시에 액세스할 수 있도록 구성되어 있다. 구체적으로는, 구동 회로(60)는, 복수의 GBL을 구동하는 GBL 드라이버(61)와, 복수의 WL을 구동하는 WL 드라이버(22)와, 복수의 SG를 구동하는 SG 드라이버(63)를 갖고 있다.

[0118] GBL 드라이버(61)는, 메모리 컨트롤러(300)에 의한 제어에 기초하여, 복수의 GBL 중에서 복수의 GBL을 선택한다. GBL 드라이버(61)는, 예를 들어 멀티플렉서(21A)와, 감지 증폭기(21B)와, 전압 선택 회로(21D)를 갖고 있다. SG 드라이버(63)는, 메모리 컨트롤러(300)에 의한 제어에 기초하여, 복수의 SG 중에서 복수의 SG를 선택한다. SG 드라이버(63)는, 예를 들어 멀티플렉서(23A)와, 전압 선택 회로(23B)와, 기입 래치(23C)를 갖고 있다. 기입 래치(23C)는, 메모리 셀 MC에 기입하는 값을 일시적으로 유지하는 것이다. 전압 선택 회로(23B)는, 선택·비선택의 SG에 부여하는 전압을, 동작 모드(판독, 기입 등)나, 기입하는 값에 의해 전환하여 공급하는 것이며, 예를 들어 기입 래치(23C)로부터 입력되는 기입 데이터 Wdata에 기초하여, SG에 부여하는 전압을 결정한다.

[0119] 도 22는, 메모리 셀 어레이(50)의 각 배선의 레이아웃의 일례를 모식적으로 나타낸 것이다. 또한, 도 22에서는, 설명의 용이성을 감안하여, 편의적으로 SG 및 GBL이 WL의 위에 배치되어 있다. 메모리 셀 어레이(50)는, 상기 제1 실시 형태의 메모리 셀 어레이(10)에 있어서, BL의 배치가 상이한 것에 상당한다. 구체적으로는, 복수의 BL이, X축 방향으로 복수의 GBL의 배열 피치와 동등한 피치로 배열하여 배치됨과 함께, Y축 방향으로 복수의 WL의 배열 피치와 동등한 피치로 배열하여 배치되어 있다.

[0120] [효과]

[0121] 다음으로, 본 실시 형태의 메모리 장치(800)의 효과에 대하여 설명한다.

[0122] 본 실시 형태의 메모리 장치(800)에서는, 수개의 BL이, X축 방향으로 복수의 GBL의 배열 피치와 동등한 피치로 배열하여 배치됨과 함께, Y축 방향으로 복수의 WL의 배열 피치와 동등한 피치로 배열하여 배치되어 있다. 또한, 구동 회로(60)에 의해, 복수의 메모리 셀 MC 중, 대응하는 GBL이 서로 공통됨과 함께 대응하는 WL이 서로 다른 복수의 메모리 셀 MC에 대해서 동시에 액세스가 이루어진다. 이에 의해, 액세스 전류를 1개의 WL에 집중시키지 않고, 복수의 메모리 셀 MC에 액세스할 수 있다. 그 결과, WL에 있어서의 전압 저하를 억제하여, 높은 액세스 속도를 얻을 수 있다.

[0123] 본 실시 형태의 메모리 장치(800)에서는, 상기 실시 형태의 메모리 장치(200, 600)와 비교하여, GBL의 배선수나 트랜지스터 TR의 수를 적게 할 수 있으므로, 메모리 장치(800)의 회로 규모를 작게 할 수 있다.

[0124] <6. 제4 실시 형태>

[0125] [구성]

[0126] 도 23은, 제4 실시 형태에 따른 정보 처리 시스템에 있어서의 메모리 셀 어레이의 기능 블록의 일례를 나타낸 것이다. 도 24는, 본 실시 형태의 메모리 셀 어레이의 단면 구성의 일례를 나타낸 것이다. 본 실시 형태의 메모리 셀 어레이는, X축 방향으로 배열하여 배치된 복수의 메모리 셀 어레이(10)를 구비하고 있다. 복수의 메모리 셀 어레이(10)는, 접속선(11)끼리가 서로 인접하도록 배치됨과 함께, 접속선(12)끼리가 서로 인접하도록 배치되어 있다.

[0127] 복수의 메모리 셀 어레이(10)에 대한 액세스를 행하는 구동 회로(20)는, 메모리 셀 어레이(10)마다 1개씩 마련된 복수의 GBL 드라이버(21)를 갖고 있다. 구동 회로(20)는, 추가로, 접속선(11)끼리가 서로 인접하는 2개의 메모리 셀 어레이(10)의 각각 접속선(11)에 접속된 복수의 WL을 구동하는 WL 드라이버(22)와, 접속선(12)끼리가 서로 인접하는 2개의 메모리 셀 어레이(10)의 각각 접속선(12)에 접속된 복수의 WL을 구동하는 WL 드라이버(22)를 갖고 있다. 구동 회로(20)는, 추가로, 일렬로 배열된 복수의 메모리 셀 어레이(10) 중 일단부에 배치된 메모리 셀 어레이(10)의 접속선(12)에 접속된 복수의 WL을 구동하는 WL 드라이버(22)와, 일렬로 배열한 복수의 메모리 셀 어레이(10) 중 타단부에 배치된 메모리 셀 어레이(10)의 접속선(11)에 접속된 복수의 WL을 구동하는 WL 드라이버(22)를 갖고 있다. 구동 회로(20)는, 추가로, 모든 메모리 셀 어레이(20)에 포함되는 복수의 SG를 구동하는 SG 드라이버(23)를 갖고 있다.

- [0128] 여기서, GBL 드라이버(21)는, 메모리 셀 어레이(10)에 포함되는 복수의 GBL과 대향하는 위치에 마련되어 있다. WL 드라이버(22)는, GBL 드라이버(21)에 인접하는 위치이고, 또한 X축 방향에 있어서 인접하는 위치에 마련되어 있다. SG 드라이버(23)는, 예를 들어 WL 드라이버(22)에 인접하는 위치이고, 또한 X축 방향에 있어서 GBL 드라이버(21)와는 반대측에 인접하는 위치에 마련되어 있다. 복수의 메모리 셀 어레이(10) 및 구동 회로(20)가 이와 같은 배치로 되어 있음으로써, 아무렇게나 배치한 경우에 비해 회로 면적을 작게 할 수 있다.
- [0129] 또한, 도 25, 도 26에 도시한 바와 같이, 복수의 SG 드라이버(23)가 메모리 셀 어레이(10)마다 1개씩 마련되어 있어도 된다. 이때, 각 SG 드라이버(23)가, 예를 들어 GBL 드라이버(21)에 인접하는 위치이고, 또한 X축 방향에 있어서 인접하는 위치이고, 또한 X축 방향에 있어서 GBL 드라이버(21)와는 반대측에 인접하는 위치에 마련되어 있다. 이러한 배치로 되어 있는 경우에도, 아무렇게나 배치한 경우와 비교하여, 회로 면적을 작게 할 수 있다.
- [0130] 이상, 복수의 실시 형태 및 그들의 변형예를 들어 본 기술을 설명하였지만, 본 개시는 상기 실시 형태 등으로 한정되는 것은 아니고, 다양한 변형이 가능하다. 또한, 본 명세서 중에 기재된 효과는, 어디까지나 예시이다. 본 개시의 효과는, 본 명세서 중에 기재된 효과로 한정되는 것은 아니다. 본 개시가, 본 명세서 중에 기재된 효과 이외의 효과를 갖고 있어도 된다.
- [0131] 또한, 예를 들어 본 개시는 이하와 같은 구성을 취할 수 있다.
- [0132] (1)
- [0133] 메모리 셀 어레이와,
- [0134] 상기 메모리 셀 어레이에 대한 액세스를 행하는 구동 회로
- [0135] 를 구비하고,
- [0136] 상기 메모리 셀 어레이는,
- [0137] 제1 방향으로 연장되고, 상기 제1 방향과 직교하는 제2 방향과, 상기 제1 방향 및 상기 제2 방향과 직교하는 제3 방향으로 배열하여 배치된 복수의 제1 배선과,
- [0138] 상기 제1 방향으로 연장되고, 상기 제2 방향으로 배열하여 배치된 복수의 제2 배선과,
- [0139] 상기 제3 방향으로 연장되고, 상기 제1 방향과 상기 제2 방향으로 배열하여 배치됨과 함께, 상기 제3 방향에서 보았을 때 상기 제2 방향에 있어서 서로 인접하는 2개의 상기 제1 배선의 간극을 관통하도록 배치된 복수의 제3 배선과,
- [0140] 각 상기 제3 배선과 각 상기 제1 배선이 서로 대향하는 개소마다 1개씩 마련된 복수의 저항 변화형의 메모리 셀과,
- [0141] 상기 제3 배선마다 1개씩 마련되고, 각각의 게이트가, 대응하는 상기 제2 배선에 접속된 복수의 트랜지스터와,
- [0142] 상기 제2 방향으로 연장되고, 상기 제1 방향으로 배열하여 배치되며, 상기 제2 방향으로 배열하여 배치된 복수의 상기 제3 배선마다 1개씩 마련되고, 각각이, 대응하는 복수의 상기 제3 배선에 대해서, 상기 트랜지스터를 통해 접속된 복수의 제4 배선
- [0143] 을 갖고,
- [0144] 상기 메모리 셀 어레이는, 복수의 상기 메모리 셀 중, 대응하는 상기 제4 배선 및 상기 제1 배선이 서로 다른 복수의 제1 메모리 셀에 대해서 동시에 액세스가 이루어졌을 때, 각 상기 제1 메모리 셀과 공통의 상기 제4 배선에 대응하는 상기 메모리 셀에 대해서도 동시에 액세스가 이루어지는 일이 없는 복수의 상기 제1 메모리 셀에 대한 동시 액세스가 가능하게 구성되어 있는, 메모리 장치.
- [0145] (2)
- [0146] 복수의 상기 제3 배선은, 상기 제1 방향으로 복수의 상기 제4 배선의 배열 피치의 n배(n은 2 이상의 정수)의 크기로 등간격으로 배열하여 배치됨과 함께, 상기 제2 방향으로 복수의 상기 제1 배선의 배열 피치의 n배의 크기로 등간격으로 배열하여 배치되어 있는, 상기 (1)에 기재된 메모리 장치.
- [0147] (3)

- [0148] 상기 제2 방향으로 배열하여 배치된 복수의 상기 제1 배선 중, 짝수 번째의 복수의 상기 제1 배선은, 서로 전기적으로 접속되어, 제1 빗살 배선의 빗살을 구성하고,
- [0149] 상기 제2 방향으로 배열하여 배치된 복수의 상기 제1 배선 중, 홀수 번째의 복수의 상기 제1 배선은, 서로 전기적으로 접속되어, 제2 빗살 배선의 빗살을 구성하고 있는, 상기 (1) 또는 (2)에 기재된 메모리 장치.
- [0150] (4)
- [0151] 상기 제2 방향으로 배열하여 배치된 복수의 상기 제1 배선은, 1번째부터 k번째까지의 복수의 상기 제1 배선으로 이루어지는 제1 그룹과, k+1번째부터 m번째까지의 복수의 상기 제1 배선으로 이루어지는 제2 그룹으로 나뉘고,
- [0152] 상기 제1 그룹에 속하는 짝수 번째의 복수의 상기 제1 배선은, 서로 전기적으로 접속된, 제3 빗살 배선의 빗살을 구성하고,
- [0153] 상기 제1 그룹에 속하는 홀수 번째의 복수의 상기 제1 배선은, 서로 전기적으로 접속된, 제4 빗살 배선의 빗살을 구성하고,
- [0154] 상기 제2 그룹에 속하는 짝수 번째의 복수의 상기 제1 배선은, 서로 전기적으로 접속된, 제5 빗살 배선의 빗살을 구성하고,
- [0155] 상기 제2 그룹에 속하는 홀수 번째의 복수의 상기 제1 배선은, 서로 전기적으로 접속된, 제6 빗살 배선의 빗살을 구성하고 있는, 상기 (1) 또는 (2)에 기재된 메모리 장치.
- [0156] (5)
- [0157] 상기 메모리 셀 어레이는, 복수의 상기 제2 배선 중 서로 인접하지 않는 복수 개의 상기 제2 배선끼리를 전기적으로 접속하는 복수의 접속부를 더 갖는, 상기 (1) 내지 (3) 중 어느 한 항에 기재된 메모리 장치.
- [0158] (6)
- [0159] 상기 구동 회로는, 복수의 상기 제2 배선 중 서로 인접하지 않는 복수 개의 상기 제2 배선을 동시에 선택하는, 상기 (1) 내지 (3) 중 어느 한 항에 기재된 메모리 장치.
- [0160] (7)
- [0161] 상기 구동 회로는, 상기 제1 그룹에 대응하는 복수의 상기 제2 배선 중 1개 또는 복수의 상기 제2 배선과, 상기 제2 그룹에 대응하는 복수의 상기 제2 배선 중 1개 또는 복수의 상기 제2 배선을 동시에 선택하는, 상기 (4)에 기재된 메모리 장치.
- [0162] (8)
- [0163] 상기 구동 회로를 포함하고, 상기 메모리 셀 어레이와 전기적으로 접속된 회로 기판을 더 구비하고,
- [0164] 복수의 상기 제1 빗살 배선에 있어서, 복수의 상기 제1 배선을 서로 접속하는 제1 접속부의, 상기 제1 방향의 길이는, 상기 회로 기판으로부터 멀어짐에 따라서 짧아지게 되어 있으며, 그것에 의해 복수의 상기 제1 접속부는, 계단 형상으로 배치되어 있고,
- [0165] 복수의 상기 제2 빗살 배선에 있어서, 복수의 상기 제1 배선을 서로 접속하는 제2 접속부의, 상기 제1 방향의 길이는, 상기 회로 기판으로부터 멀어짐에 따라서 짧아지게 되어 있으며, 그것에 의해 복수의 상기 제2 접속부는, 계단 형상으로 배치되어 있고,
- [0166] 상기 메모리 셀 어레이는,
- [0167] 복수의 상기 제1 접속부의 각각의, 상기 제1 방향에 있어서의 단부 에지와 전기적으로 접속되어, 상기 제3 방향으로 연장되고, 상기 제1 방향 및 상기 제2 방향과 교차하는 방향으로 배열하여 배치된 복수의 제1 접속 배선과,
- [0168] 복수의 상기 제2 접속부의 각각의, 상기 제1 방향에 있어서의 단부 에지와 전기적으로 접속되어, 상기 제3 방향으로 연장되고, 상기 제1 방향 및 상기 제2 방향과 교차하는 방향으로 배열하여 배치된 복수의 제2 접속 배선과,
- [0169] 상기 구동 회로에 전기적으로 접속되어, 상기 제3 방향으로 연장되고, 상기 제2 방향으로 배열하여 배치된 복수의 제3 접속 배선과,

- [0170] 복수의 상기 제1 접속 배선의 각각과, 복수의 상기 제3 접속 배선 중 일부의 각각을 서로 전기적으로 접속하는 복수의 제4 접속 배선과,
- [0171] 복수의 상기 제2 접속 배선의 각각과, 복수의 상기 제3 접속 배선 중 일부의 각각을 서로 전기적으로 접속하는 복수의 제5 접속 배선
- [0172] 을 갖는, 상기 (1) 내지 (3) 중 어느 한 항에 기재된 메모리 장치.
- [0173] (9)
- [0174] 상기 구동 회로를 포함하고, 상기 메모리 셀 어레이와 전기적으로 접속된 회로 기판을 더 구비하고,
- [0175] 복수의 상기 제3 빔살 배선에 있어서, 복수의 상기 제1 배선을 서로 접속하는 제3 접속부의, 상기 제1 방향의 길이는, 상기 회로 기판으로부터 멀어짐에 따라서 짧아지게 되어 있으며, 그것에 의해 복수의 상기 제3 접속부는, 계단 형상으로 배치되어 있고,
- [0176] 복수의 상기 제4 빔살 배선에 있어서, 복수의 상기 제1 배선을 서로 접속하는 제4 접속부의, 상기 제1 방향의 길이는, 상기 회로 기판으로부터 멀어짐에 따라서 짧아지게 되어 있으며, 그것에 의해 복수의 상기 제4 접속부는, 계단 형상으로 배치되어 있고,
- [0177] 복수의 상기 제5 빔살 배선에 있어서, 복수의 상기 제1 배선을 서로 접속하는 제5 접속부의, 상기 제1 방향의 길이는, 상기 회로 기판으로부터 멀어짐에 따라서 짧아지게 되어 있으며, 그것에 의해 복수의 상기 제5 접속부는, 계단 형상으로 배치되어 있고,
- [0178] 복수의 상기 제6 빔살 배선에 있어서, 복수의 상기 제1 배선을 서로 접속하는 제6 접속부의, 상기 제1 방향의 길이는, 상기 회로 기판으로부터 멀어짐에 따라서 짧아지게 되어 있으며, 그것에 의해 복수의 상기 제6 접속부는, 계단 형상으로 배치되어 있고,
- [0179] 상기 메모리 셀 어레이는,
- [0180] 복수의 상기 제3 접속부의 각각의, 상기 제1 방향에 있어서의 단부 에지와 전기적으로 접속되어, 상기 제3 방향으로 연장되고, 상기 제1 방향 및 상기 제2 방향과 교차하는 방향으로 배열하여 배치된 복수의 제6 접속 배선과,
- [0181] 복수의 상기 제4 접속부의 각각의, 상기 제1 방향에 있어서의 단부 에지와 전기적으로 접속되어, 상기 제3 방향으로 연장되고, 상기 제1 방향 및 상기 제2 방향과 교차하는 방향으로 배열하여 배치된 복수의 제7 접속 배선과,
- [0182] 복수의 상기 제5 접속부의 각각의, 상기 제1 방향에 있어서의 단부 에지와 전기적으로 접속되어, 상기 제3 방향으로 연장되고, 상기 제1 방향 및 상기 제2 방향과 교차하는 방향으로 배열하여 배치된 복수의 제8 접속 배선과,
- [0183] 복수의 상기 제6 접속부의 각각의, 상기 제1 방향에 있어서의 단부 에지와 전기적으로 접속되어, 상기 제3 방향으로 연장되고, 상기 제1 방향 및 상기 제2 방향과 교차하는 방향으로 배열하여 배치된 복수의 제9 접속 배선과,
- [0184] 상기 구동 회로에 전기적으로 접속되어, 상기 제3 방향으로 연장되고, 상기 제2 방향으로 배열하여 배치된 복수의 제10 접속 배선과,
- [0185] 복수의 상기 제6 접속 배선의 각각과, 복수의 상기 제10 접속 배선 중 일부의 각각을 서로 전기적으로 접속하는 복수의 제11 접속 배선과,
- [0186] 복수의 상기 제7 접속 배선의 각각과, 복수의 상기 제10 접속 배선 중 일부의 각각을 서로 전기적으로 접속하는 복수의 제12 접속 배선과,
- [0187] 복수의 상기 제8 접속 배선의 각각과, 복수의 상기 제10 접속 배선 중 일부의 각각을 서로 전기적으로 접속하는 복수의 제13 접속 배선과,
- [0188] 복수의 상기 제9 접속 배선의 각각과, 복수의 상기 제10 접속 배선 중 일부의 각각을 서로 전기적으로 접속하는 복수의 제14 접속 배선

- [0189] 을 갖는, 상기 (4)에 기재된 메모리 장치.
- [0190] (10)
- [0191] 상기 제1 방향으로 배열하여 배치된 복수의 상기 메모리 셀 어레이를 구비하고,
- [0192] 상기 구동 회로는,
- [0193] 복수의 상기 메모리 셀 어레이에 대한 액세스의 제어를 행하는 컨트롤러와,
- [0194] 상기 컨트롤러에 의한 제어에 기초하여, 복수의 상기 메모리 셀 어레이 중 하나인 제1 메모리 셀 어레이에 포함되는 복수의 상기 제4 배선 중에서 복수의 상기 제4 배선을 선택하는 제1 구동 회로와,
- [0195] 상기 컨트롤러에 의한 제어에 기초하여, 상기 제1 메모리 셀 어레이에 포함되는 복수의 상기 제1 배선 중에서 복수의 상기 제1 배선과, 복수의 상기 메모리 셀 어레이 중 상기 제1 메모리 셀 어레이에 인접하는 제2 메모리 셀 어레이에 포함되는 복수의 상기 제1 배선 중에서 복수의 상기 제1 배선을 동시에 선택하는 제2 구동 회로와,
- [0196] 상기 컨트롤러에 의한 제어에 기초하여, 상기 제1 메모리 셀 어레이에 포함되는 복수의 상기 제2 배선 중에서 복수의 상기 제2 배선과, 상기 제2 메모리 셀 어레이에 포함되는 복수의 상기 제2 배선 중에서 복수의 상기 제2 배선을 동시에 선택하는 제3 구동 회로
- [0197] 를 갖고,
- [0198] 상기 제1 구동 회로는, 상기 제1 메모리 셀 어레이에 포함되는 복수의 상기 제4 배선과 대향하는 위치에 마련되 고,
- [0199] 상기 제2 구동 회로는, 상기 제1 구동 회로에 인접하는 위치이고, 또한 상기 제1 방향에 있어서 인접하는 위치 에 마련되어 있는, 상기 (1) 내지 (3) 중 어느 한 항에 기재된 메모리 장치.
- [0200] (11)
- [0201] 메모리 셀 어레이와,
- [0202] 상기 메모리 셀 어레이에 대한 액세스를 행하는 구동 회로
- [0203] 를 구비하고,
- [0204] 상기 메모리 셀 어레이는,
- [0205] 제1 방향으로 연장되고, 상기 제1 방향과 직교하는 제2 방향과, 상기 제1 방향 및 상기 제2 방향과 직교하는 제 3 방향으로 배열하여 배치된 복수의 제1 배선과,
- [0206] 상기 제1 방향으로 연장되고, 상기 제2 방향으로 배열하여 배치된 복수의 제2 배선과,
- [0207] 상기 제3 방향으로 연장되고, 상기 제1 방향과 상기 제2 방향으로 배열하여 배치됨과 함께, 상기 제3 방향에서 보았을 때 상기 제2 방향에 있어서 서로 인접하는 2개의 상기 제1 배선의 간극을 관통하도록 배치된 복수의 제3 배선과,
- [0208] 각 상기 제3 배선과 각 상기 제1 배선이 서로 대향하는 개소마다 1개씩 마련된 복수의 저항 변화형의 메모리 셀 과,
- [0209] 상기 제3 배선마다 1개씩 마련되고, 각각의 게이트가, 대응하는 상기 제2 배선에 접속된 복수의 트랜지스터와,
- [0210] 상기 제2 방향으로 연장되고, 상기 제1 방향으로 배열하여 배치되며, 상기 제2 방향으로 배열하여 배치된 복수 의 상기 제3 배선마다 1개씩 마련되고, 각각이, 대응하는 복수의 상기 제3 배선에 대해서, 상기 트랜지스터를 통해 접속된 복수의 제4 배선
- [0211] 을 갖고,
- [0212] 상기 구동 회로는, 복수의 상기 메모리 셀 중, 대응하는 상기 제4 배선이 서로 공통됨과 함께 대응하는 상기 제 1 배선이 서로 다른 복수의 제1 메모리 셀에 대해서 동시에 액세스하는, 메모리 장치.
- [0213] (12)
- [0214] 복수의 상기 제3 배선은, 상기 제1 방향으로 복수의 상기 제4 배선의 배열 피치와 동등한 피치로 배열하여 배치

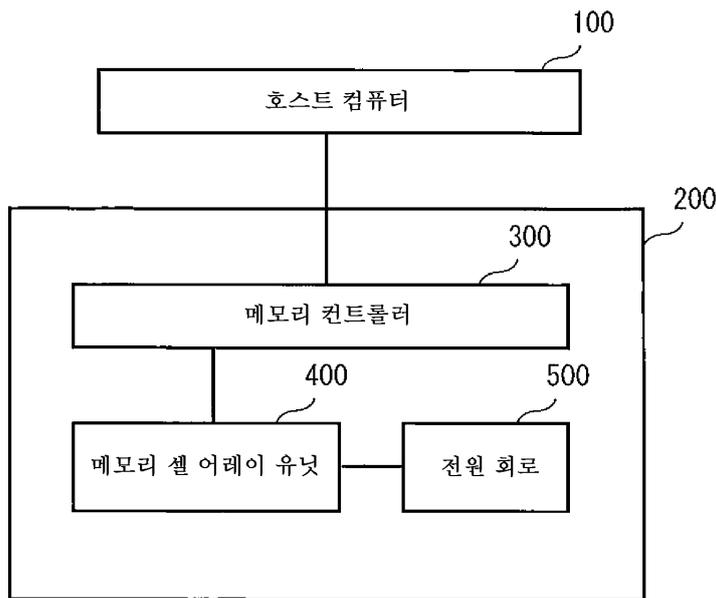
됨과 함께, 상기 제2 방향으로 복수의 상기 제1 배선의 배열 피치와 동등한 피치로 배열하여 배치되어 있는, 상기 (11)에 기재된 메모리 장치.

[0215] 본 출원은, 일본 특허청에 있어서 2017년 3월 31일에 출원된 일본 특허출원 번호 제2017-071718호를 기초로 하여 우선권을 주장하는 것이며, 이 출원의 모든 내용을 참조에 의해 본 출원에 원용한다.

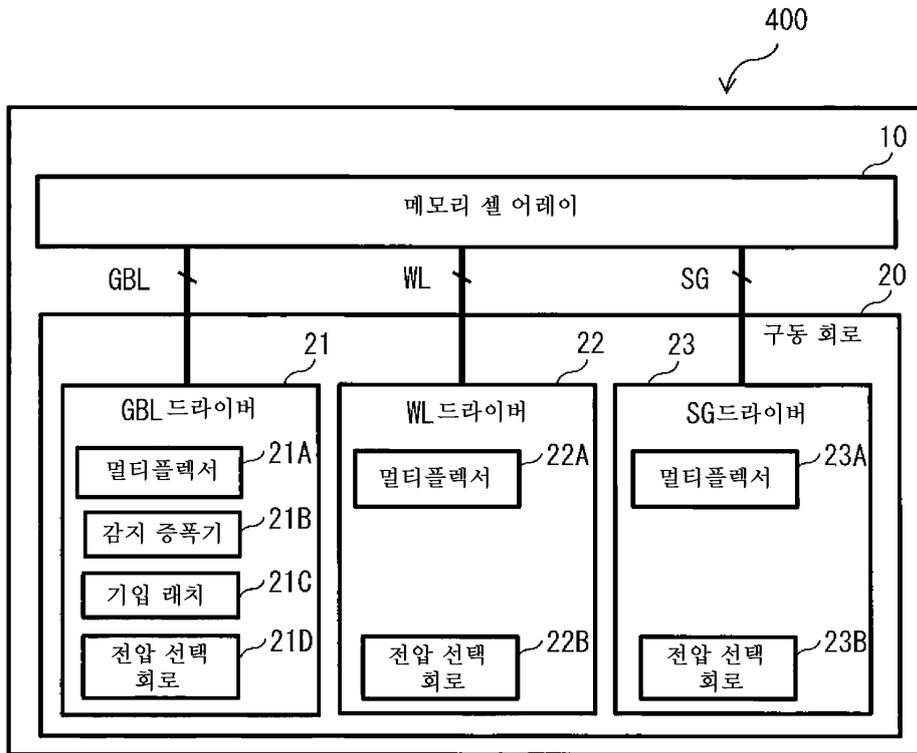
[0216] 당업자라면 설계상의 요건이나 다른 요인에 따라서, 다양한 수정, 콤비네이션, 서브 콤비네이션, 및 변경을 상도할 수 있지만, 그들은 첨부된 청구범위나 그 균등물의 범위에 포함되는 것임이 이해된다.

**도면**

**도면1**



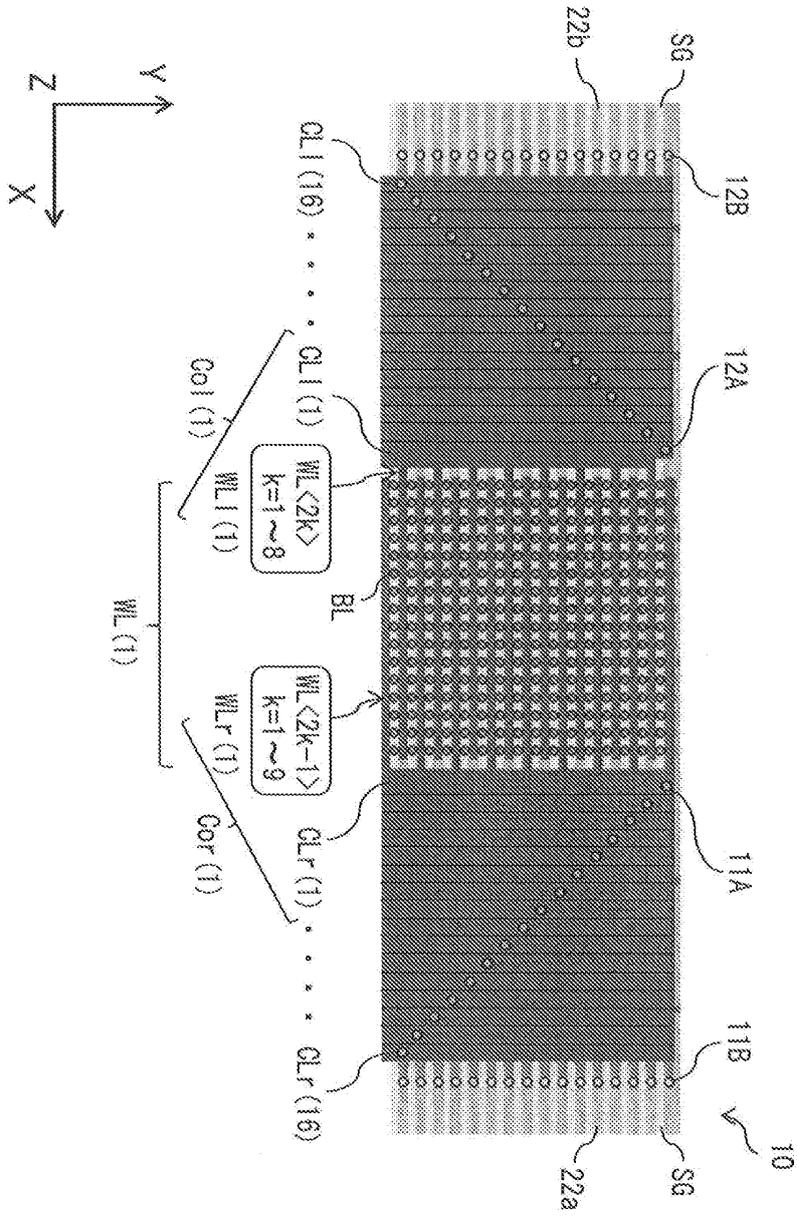
도면2



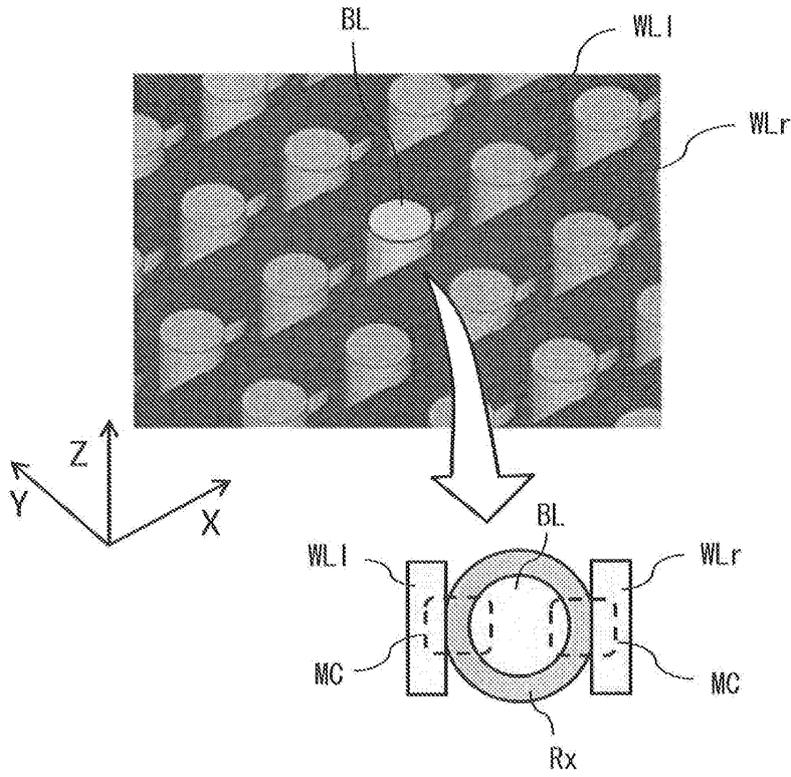




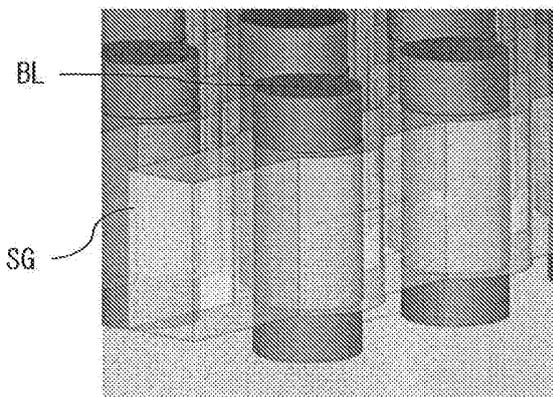
도면5



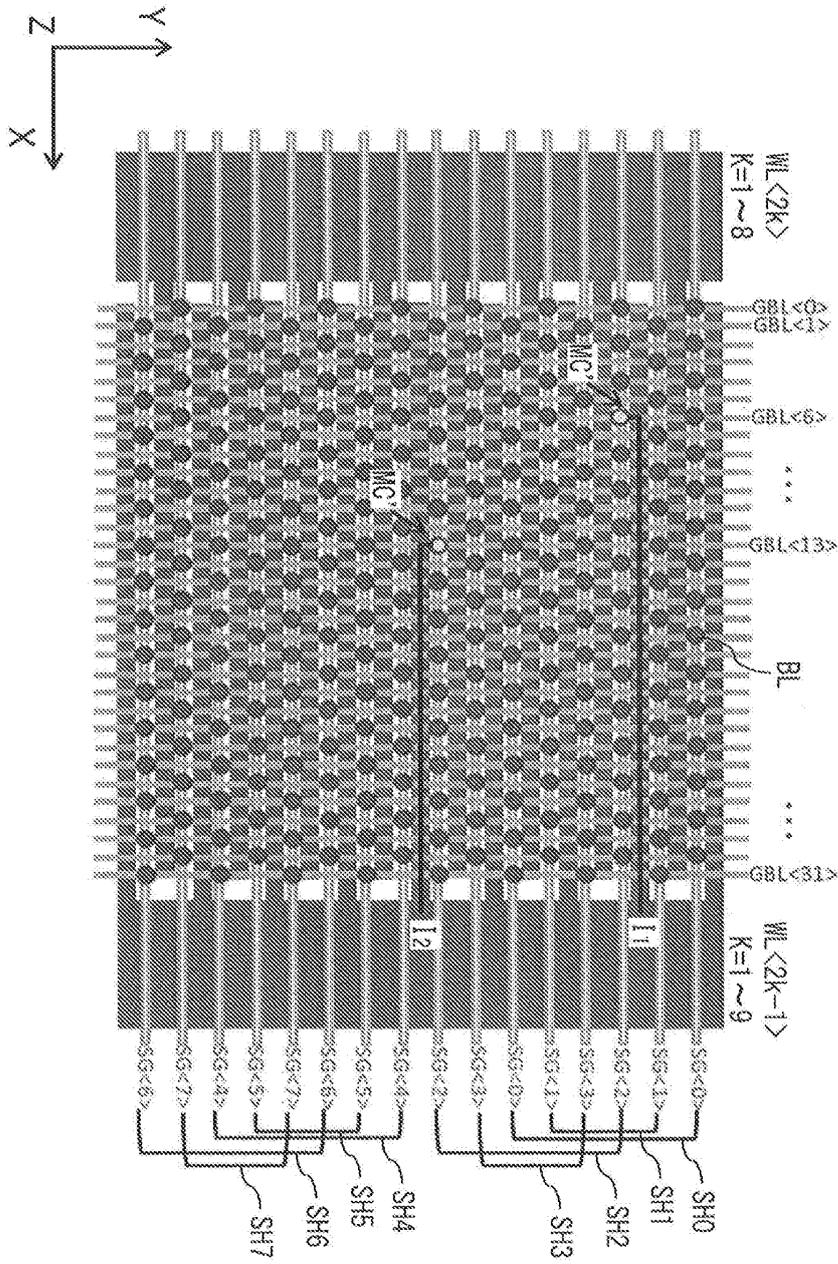
도면6



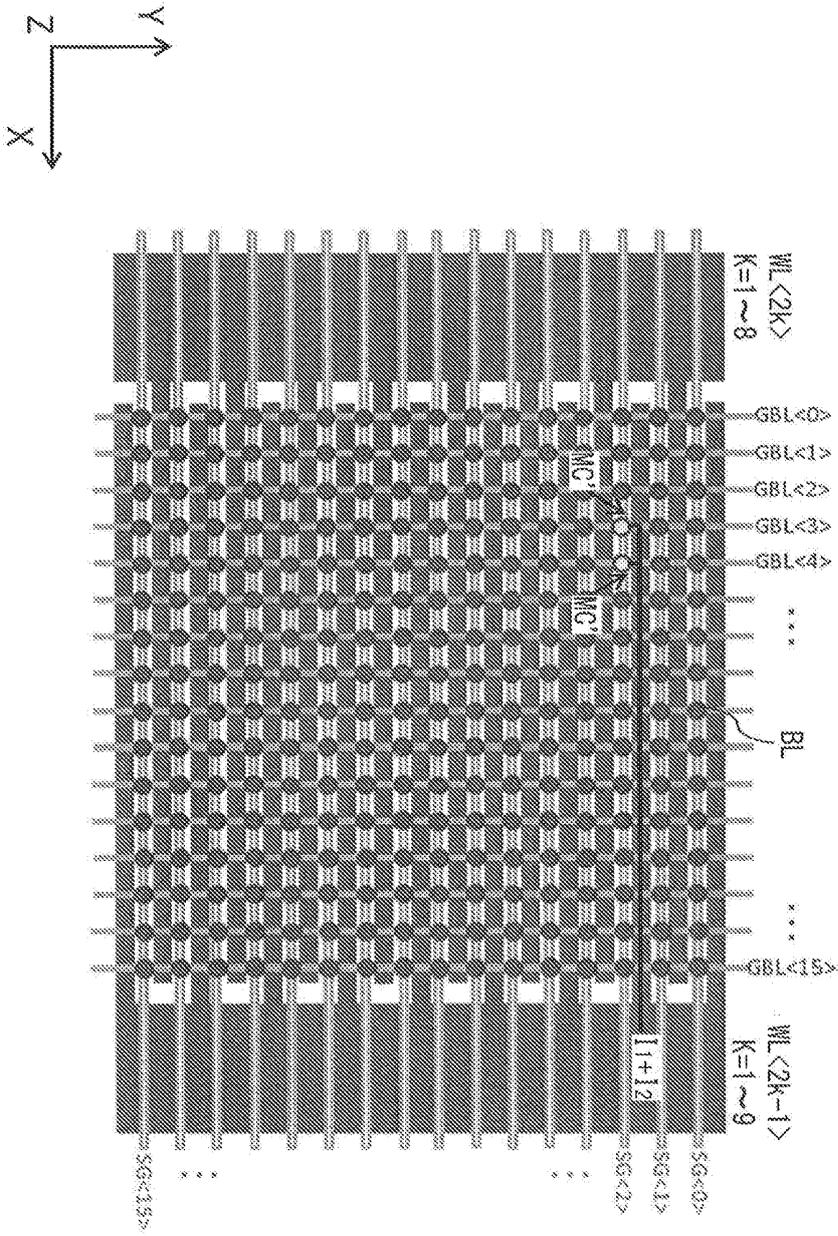
도면7



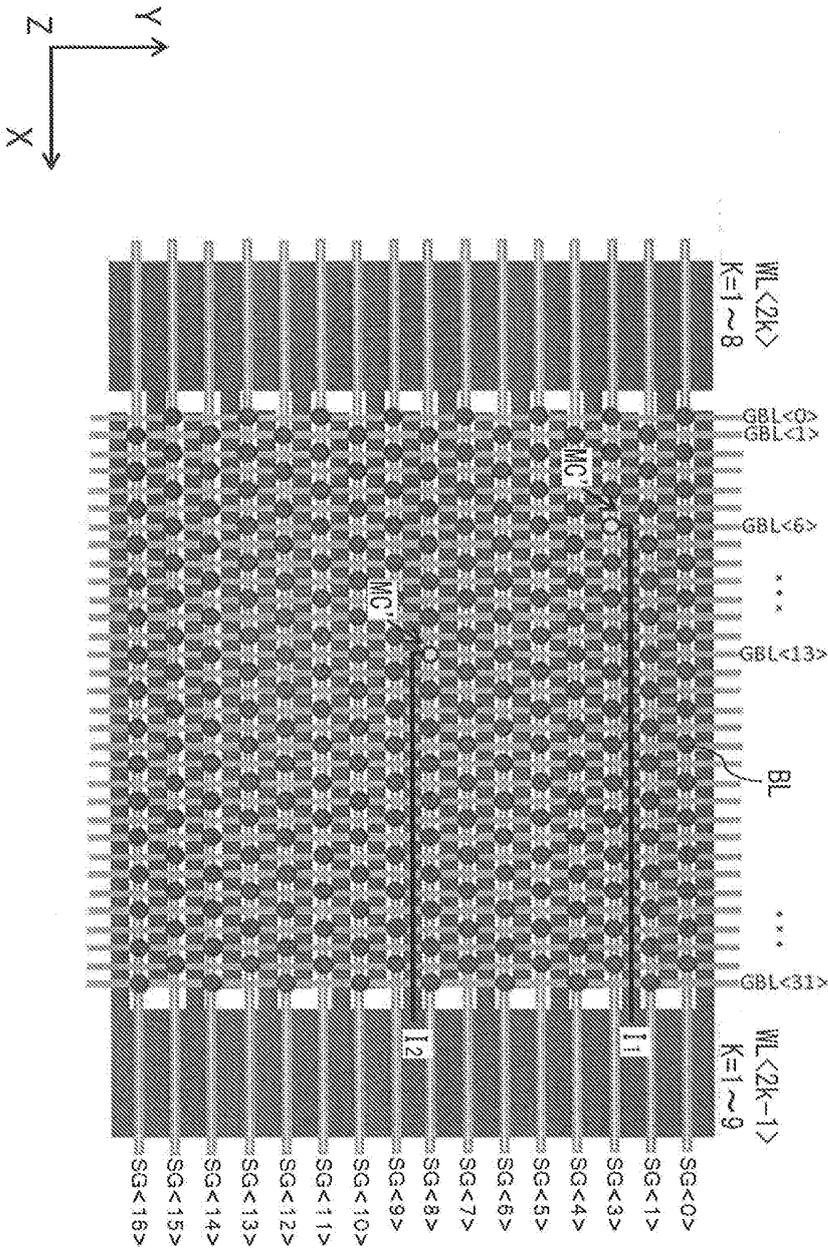
도면8



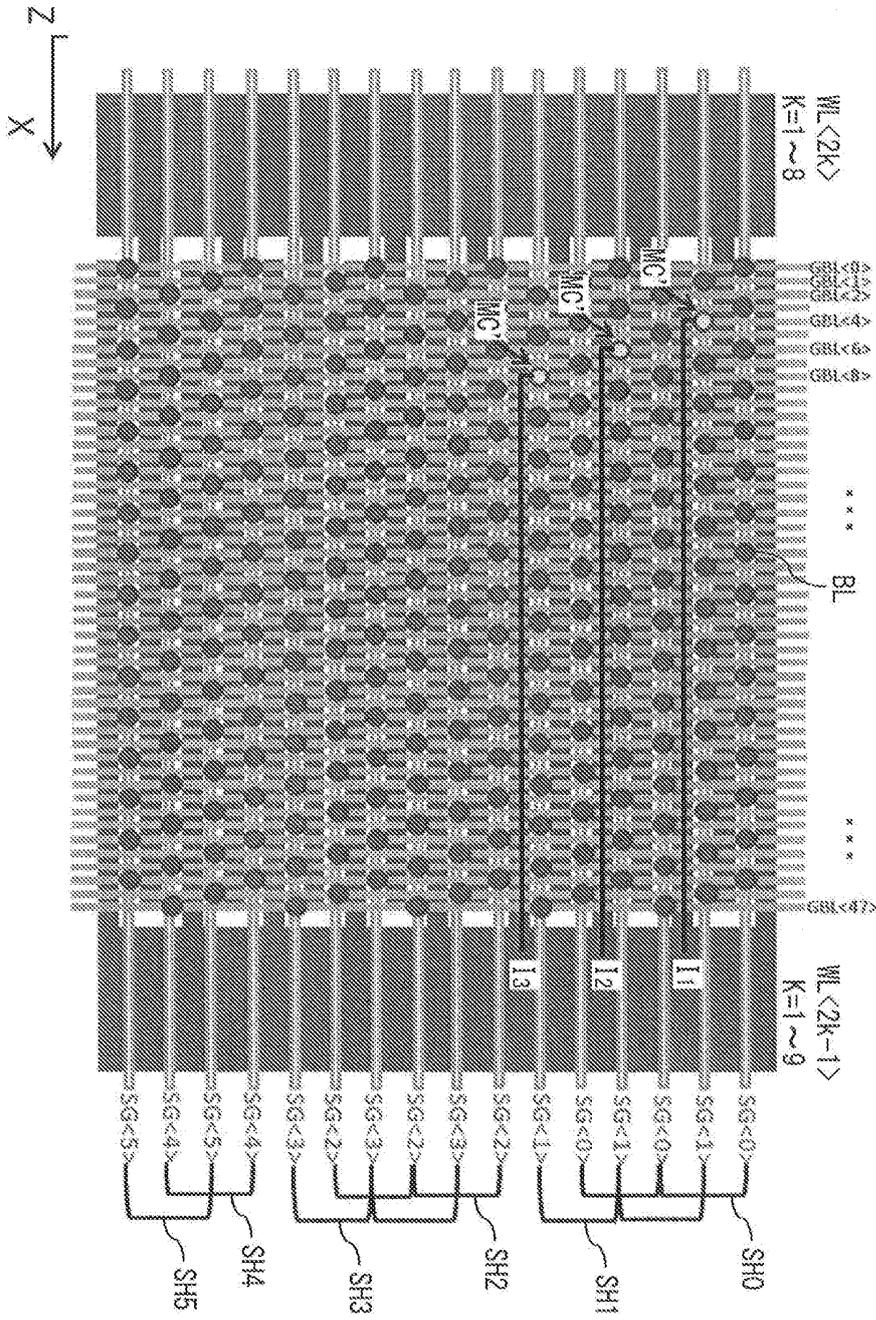
도면9



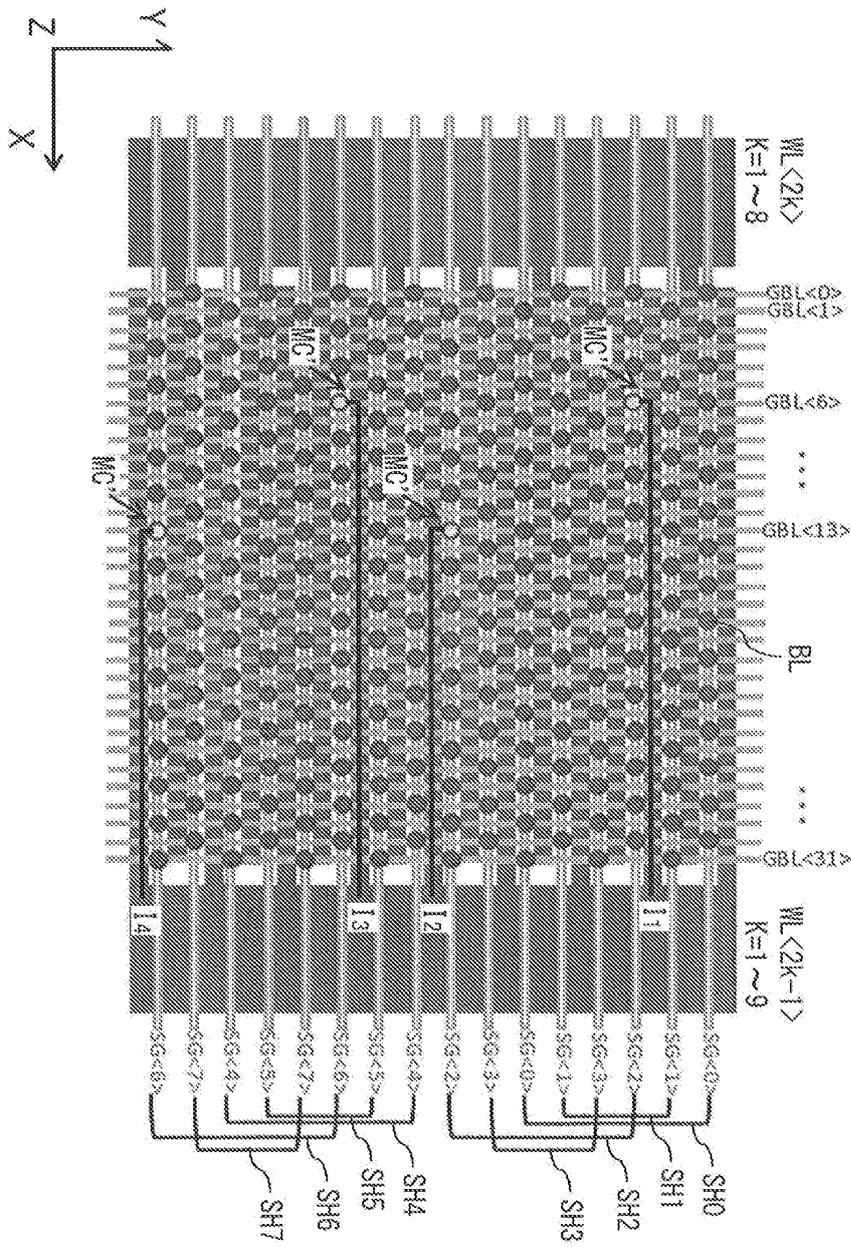
도면10



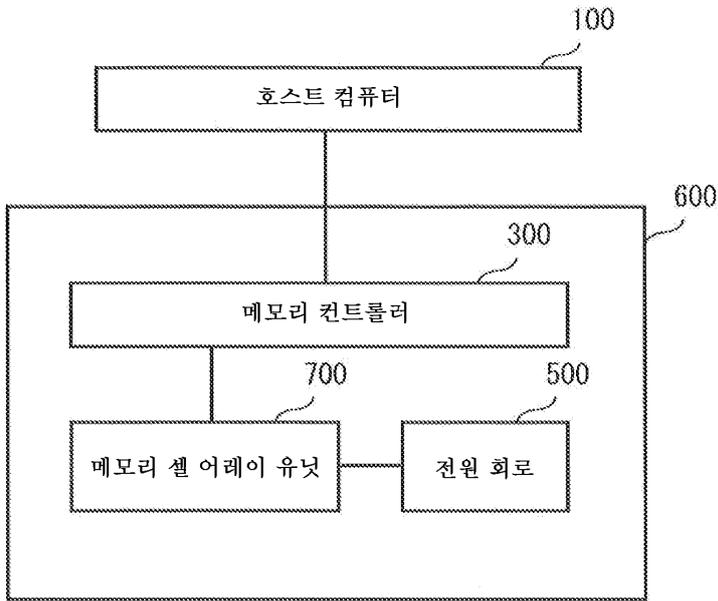
도면11



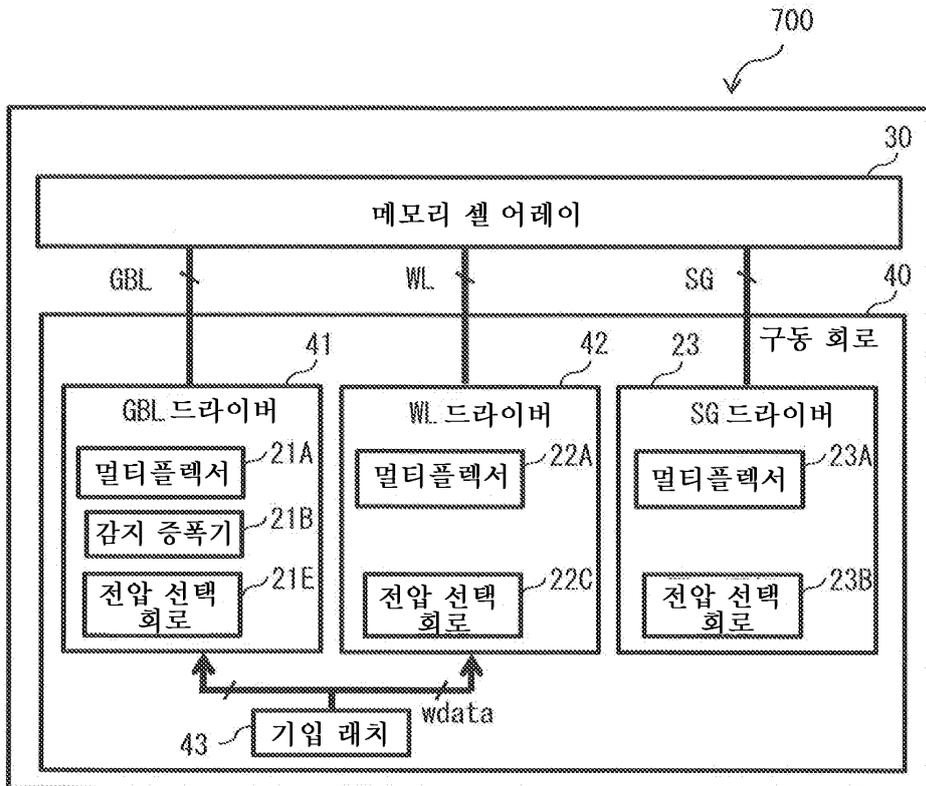
도면12



도면13

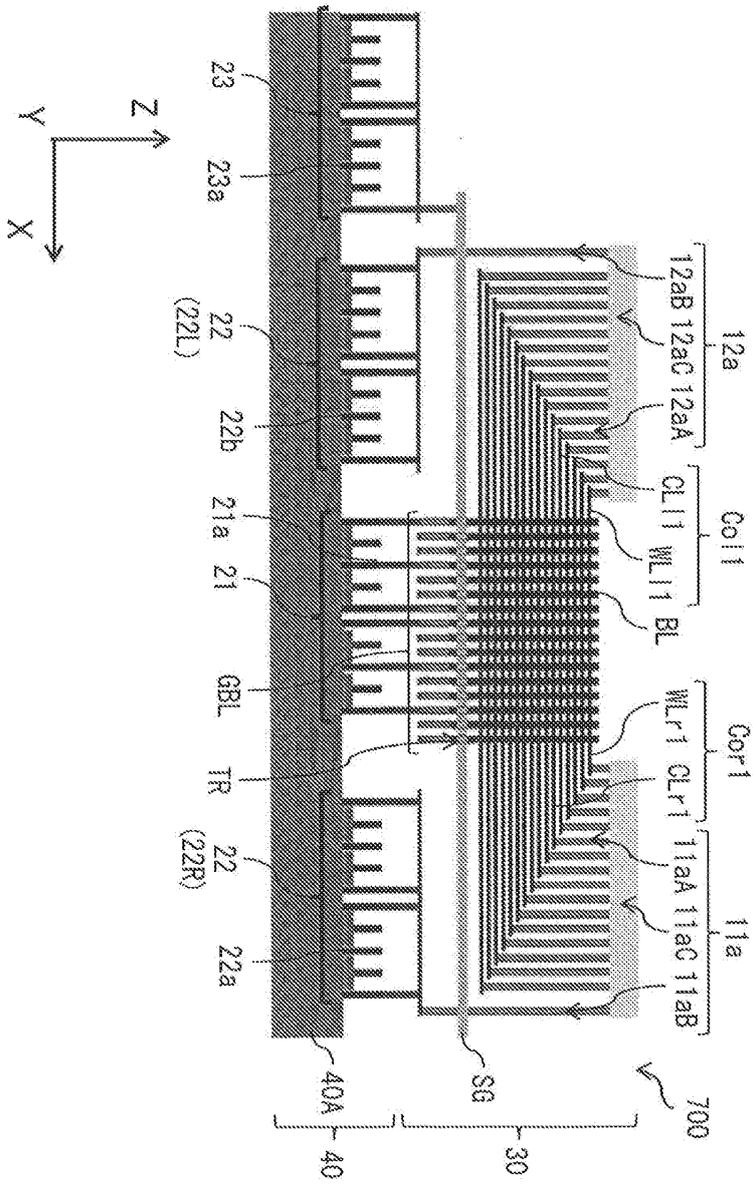


도면14

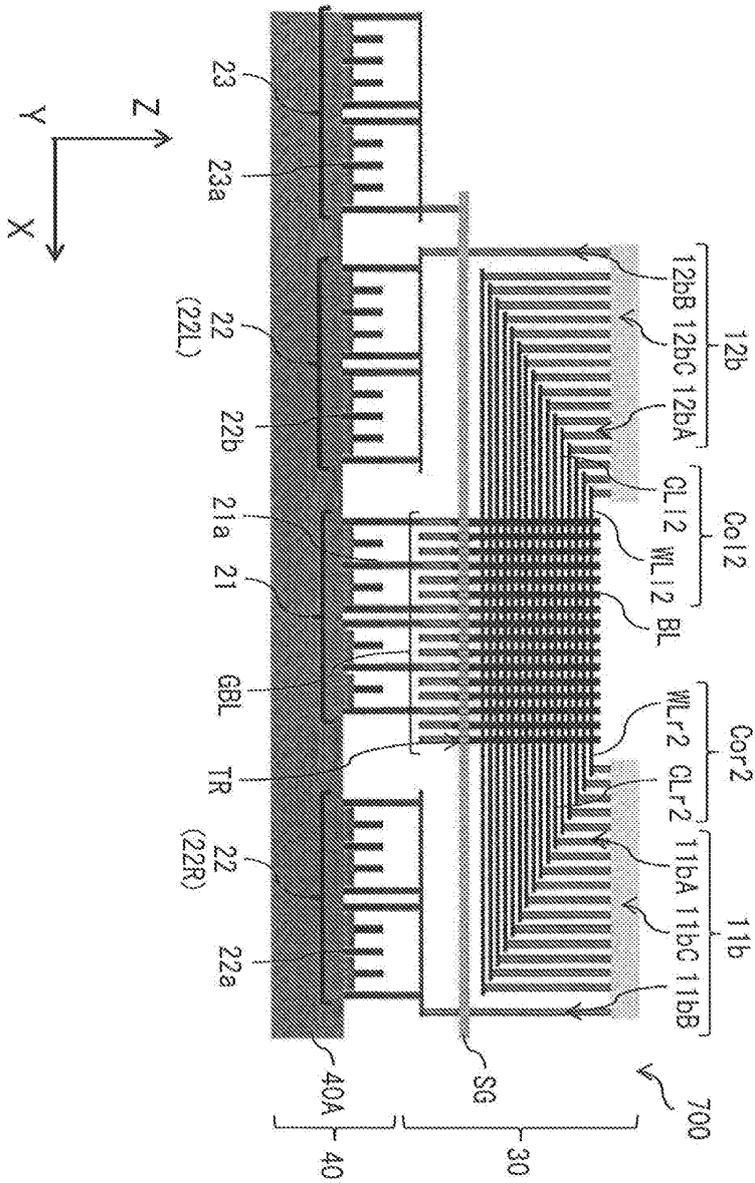




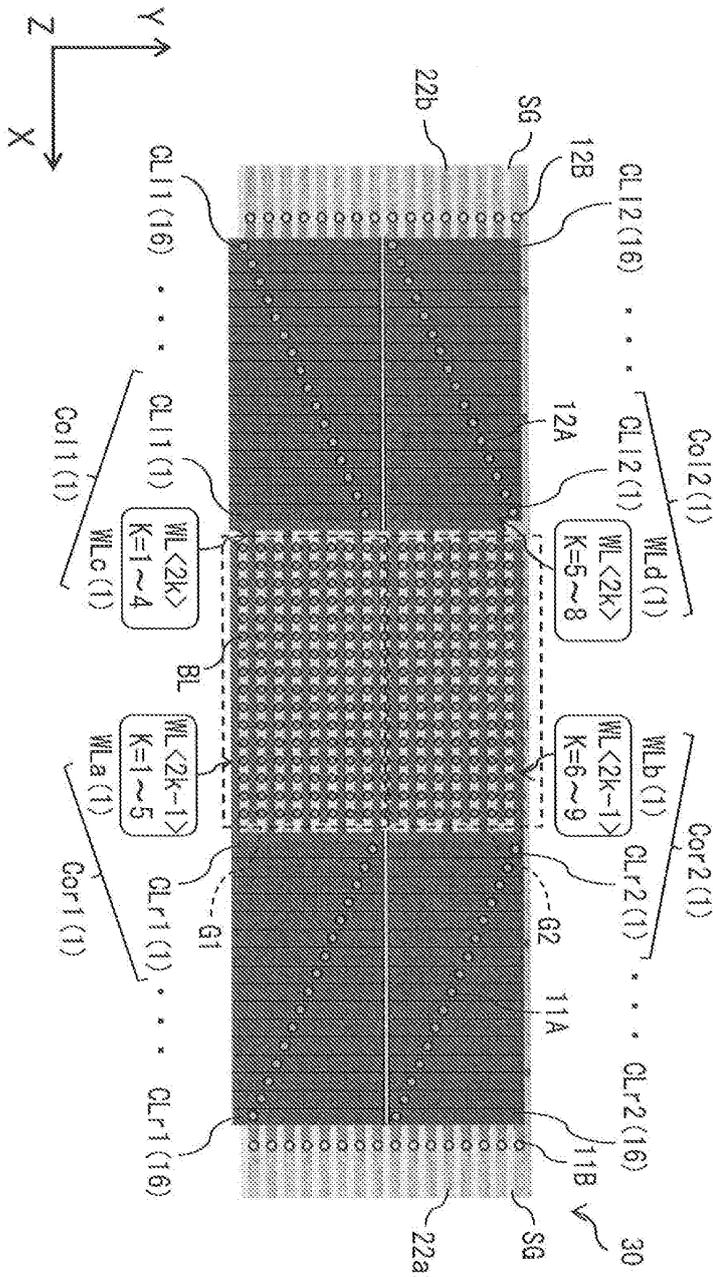
도면16



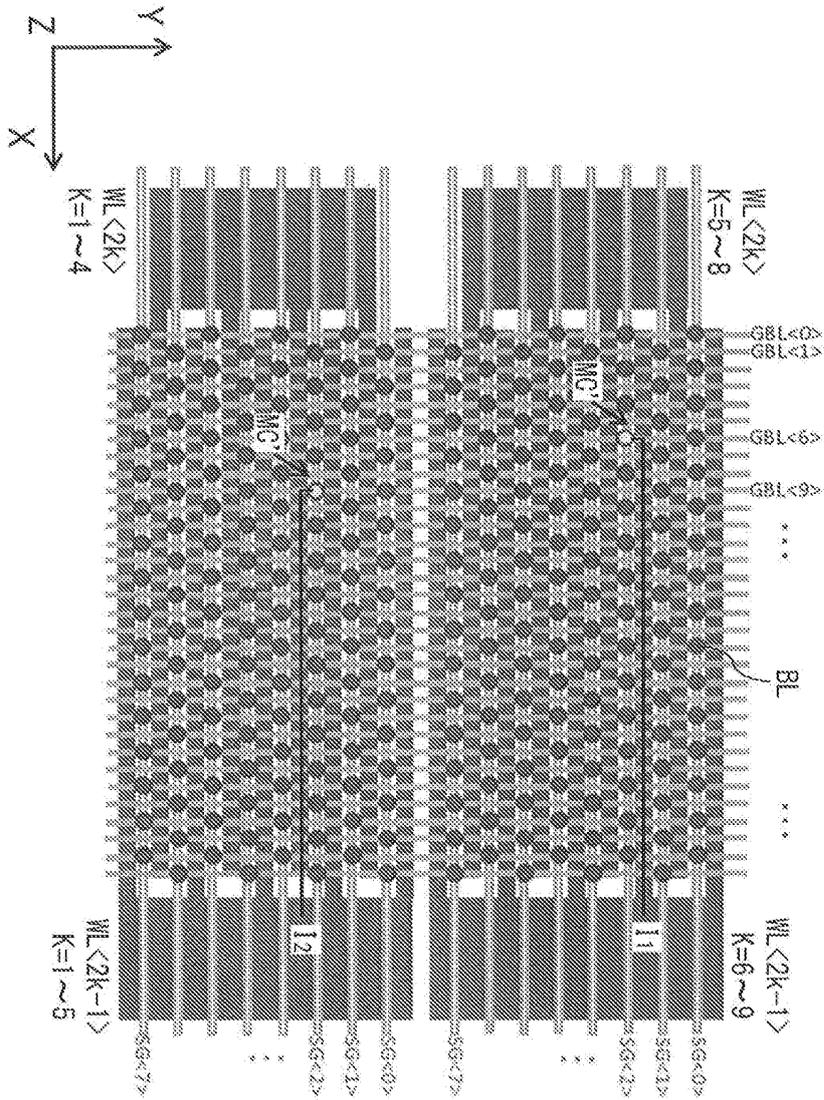
도면17



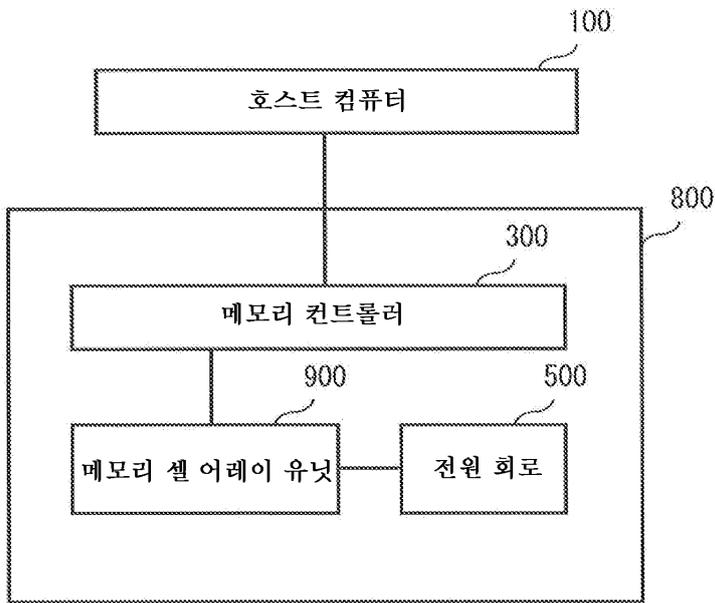
도면18



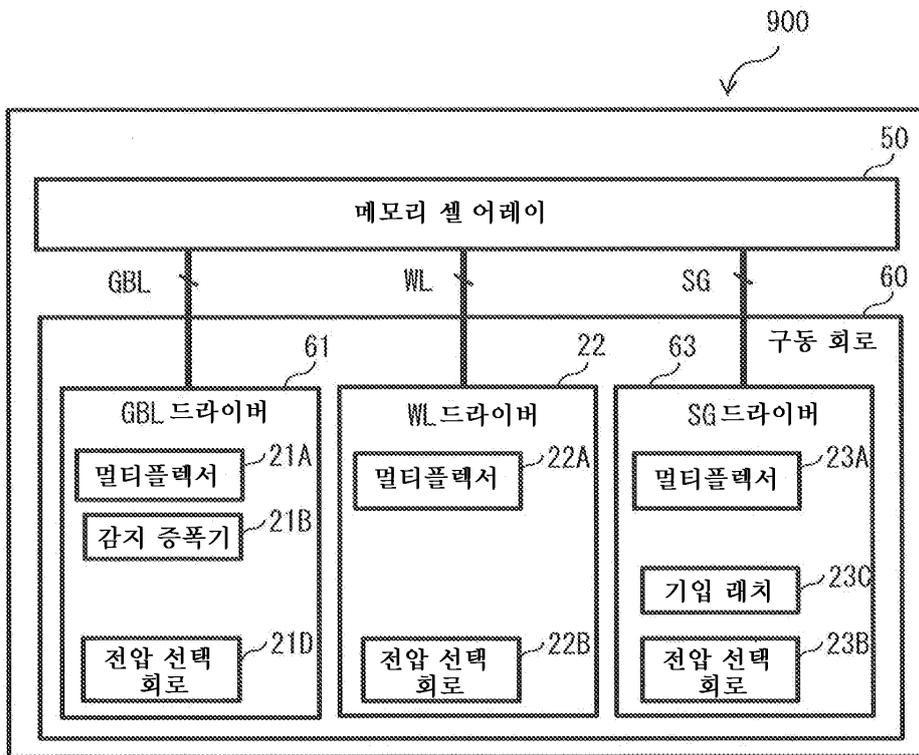
도면19



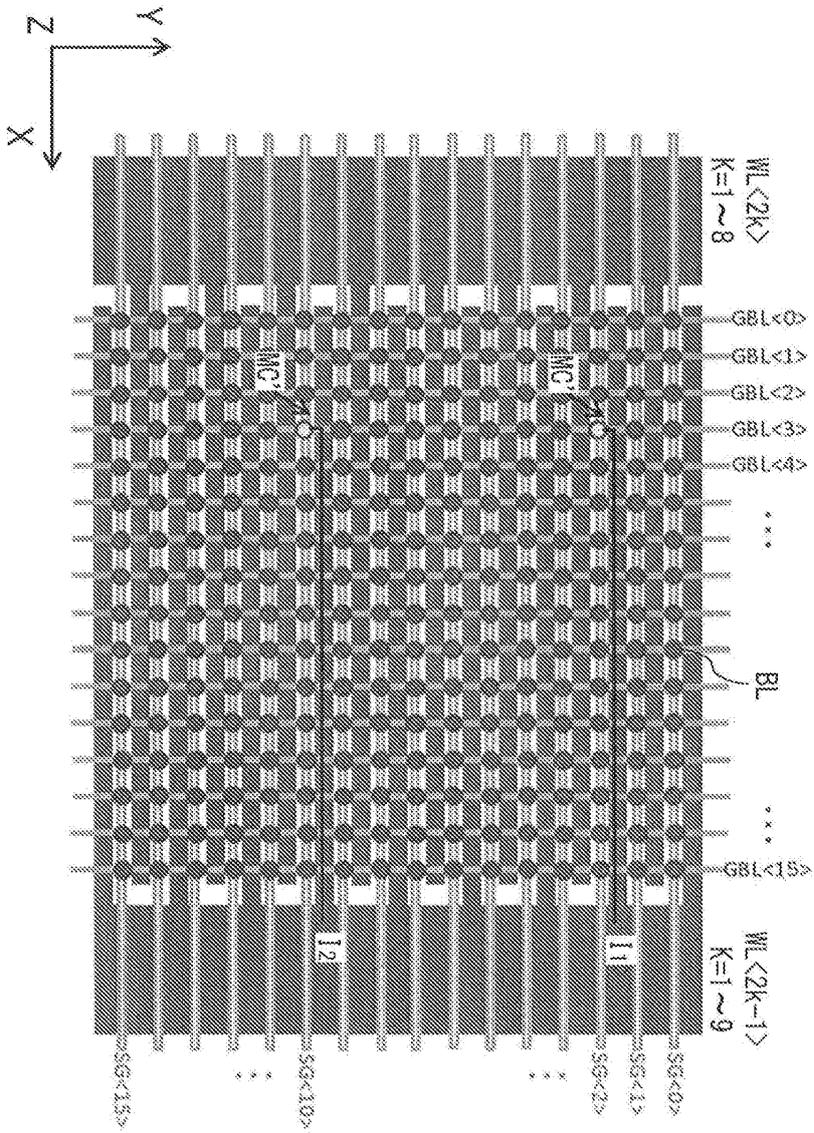
도면20



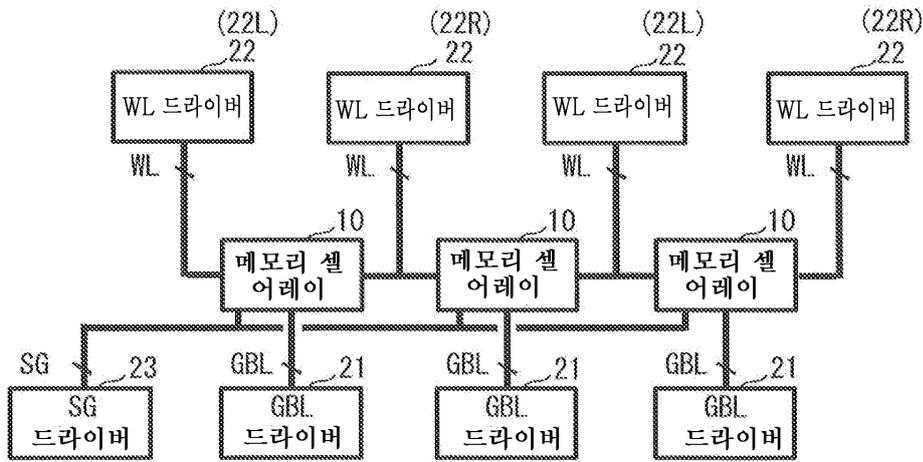
도면21



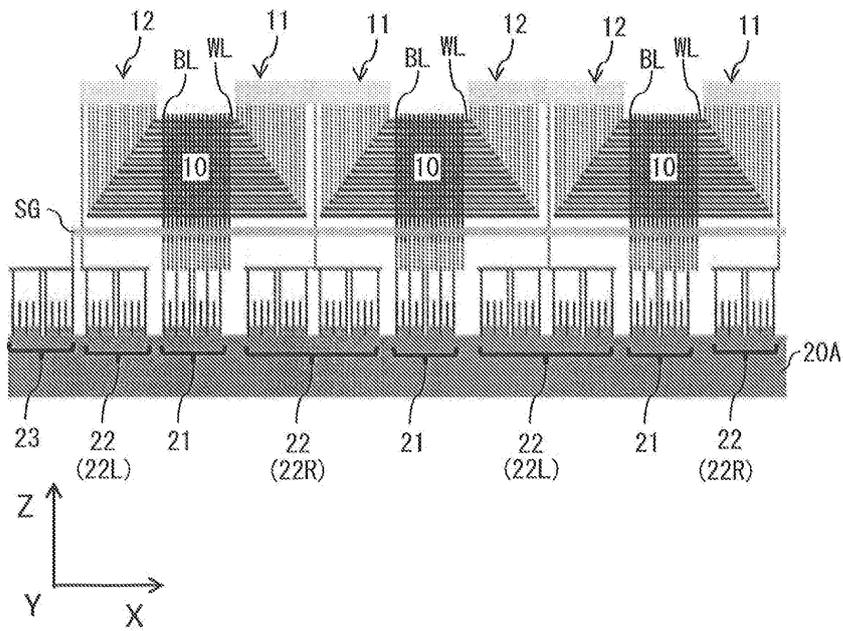
도면22



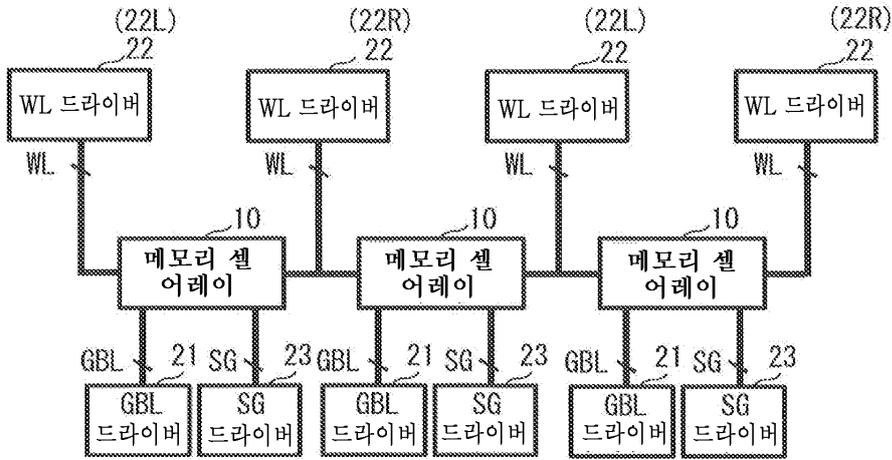
도면23



도면24



도면25



도면26

