

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G01R 25/00 (2006.01)

H04L 7/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 03145997.8

[45] 授权公告日 2009 年 6 月 24 日

[11] 授权公告号 CN 100504403C

[22] 申请日 2003.7.18 [21] 申请号 03145997.8

[30] 优先权

[32] 2002.10.9 [33] US [31] 10/268,196

[73] 专利权人 安华高科技杰纳勒尔 IP(新加坡)私人有限公司

地址 新加坡新加坡市

[72] 发明人 理查德·K·卡尔奎斯特

[56] 参考文献

US5592125A 1997.1.7

US6034554A 2000.3.7

Challenges in the Design of High-speed Clock and Data Recovery Circuits. RAZAVI B. IEEE Communications Magazine, IEEE Service Center, Vol. 40 No. 8. 2002

Design of Half-rate Clock and Data Recovery-Circuits for Optical Communication Systems. SAVOJ J ET AL. Proceedings of Design Automation Conference, No. 38. 2001

High data rate synchronizers operating at low speed. REIS A D, ROCHA J F, GAMEIRO A S, CARVALHO J P. IEEE International Conference on Electronics Circuits and systems, Vol. 3. 2001

审查员 黄素霞

[74] 专利代理机构 北京东方亿思知识产权代理有限公司

代理人 王怡

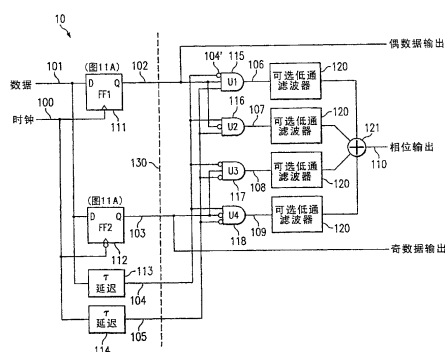
权利要求书 4 页 说明书 18 页 附图 20 页

[54] 发明名称

具有改善的定时边界的相位检测器

[57] 摘要

用多个多输入门构造的相位检测器，将未重定时输入数据与重定时数据以及时钟信号的组合组合起来，以获得与未重定时数据跟时钟之间的相位差成比例的输出脉冲。在实施例中，该相位检测器包括用于接收数据信号的输入；用于接收时钟信号的输入；用于提供相位控制信号的输出；用于从所述数据输入接受未重定时数据信号并从那里提供偶重定时信号和奇重定时信号的数据重定时电路；多个多输入门，这些门具有被连接到所述未重定时数据信号、所述重定时数据信号和所述时钟信号的不同组合的输入，以使所述的门没有可在两个连续的 UI 中是活动的，在此 UI 被定义为分配给单个比特的时间的长度；和一个用于混合至少两个所述门的输出的组合器。



1.用于提供表示数据信号和时钟信号的输出的电路，所述电路包括：

数据重定时电路，用于分别重定时所述数据信号，以提供偶重定时数据信号和奇重定时数据信号，其中所述偶重定时数据信号是通过在正向时钟边缘处对所述数据信号采样生成的，所述奇重定时数据信号是通过在负向时钟边缘处对所述数据信号采样生成的；

逻辑组合装置，包括至少如下四个 3 输入与门：

第一 3 输入与门，用于将所述偶重定时数据信号、所述数据信号的反和所述时钟信号进行逻辑组合，以在所述数据信号的每个偶、负跳变处生成脉冲；

第二 3 输入与门，用于将所述偶重定时数据信号的反、所述数据信号和所述时钟信号进行逻辑组合，以在所述数据信号的每个偶、正跳变处生成脉冲；

第三 3 输入与门，用于将所述奇重定时数据信号、所述数据信号的反和所述时钟信号的反进行逻辑组合，以在所述数据信号的每个奇、负跳变处生成脉冲；

第四 3 输入与门，用于将所述奇重定时数据信号的反、所述数据信号和所述时钟信号的反进行逻辑组合，以在所述数据信号的每个奇、正跳变处生成脉冲，其中所述第一、二、三、四 3 输入与门生成的脉冲的持续时间与所述数据信号和时钟信号之间的相位差成比例；以及

用于组合所述逻辑组合装置生成的脉冲以提供所述输出的装置。

2.根据权利要求 1 所述的用于提供表示数据信号和时钟信号的输出的电路，其中所述用于组合所述逻辑组合装置生成的脉冲以提供所述输出的装置是线性组合器。

3.根据权利要求 2 所述的用于提供表示数据信号和时钟信号的输出的电路，还包括：

至少一个插入在所述逻辑组合装置和所述用于组合所述逻辑组合装置

生成的脉冲以提供所述输出的装置之间的低通滤波器。

4.根据权利要求 3 所述的用于提供表示数据信号和时钟信号的输出的电路，其中所述低通滤波器通过 0—640MHz 的信号。

5.根据权利要求 1 所述的用于提供表示数据信号和时钟信号的输出的电路，还包括：

用于使用所述偶重定时数据信号和奇重定时数据信号以提供一个参考输出的装置。

6.根据权利要求 1 所述的用于提供表示数据信号和时钟信号的输出的电路，其中偶重定时数据信号和奇重定时数据信号被提供到异或门的输入端以提供参考输出。

7.根据权利要求 1 所述的用于提供表示数据信号和时钟信号的输出的电路，其中所述数据信号和所述时钟信号被延迟了时间 τ 以补偿通过所述数据重定时电路的信号延迟。

8.根据权利要求 1 所述的用于提供表示数据信号和时钟信号的输出的电路，其中所述用于组合所述逻辑组合装置生成的脉冲以提供所述输出的装置是线性的。

9.根据权利要求 1 所述的用于提供表示数据信号和时钟信号的输出的电路，还包括用于组合所述偶重定时数据信号和所述奇重定时数据信号作为参考输出的装置。

10.根据权利要求 1 所述的用于提供表示数据信号和时钟信号的输出的电路，其中所述时钟信号和所述数据信号被延迟了时间 τ 。

11.根据权利要求 10 所述的用于提供表示数据信号和时钟信号的输出的电路，其中 τ 等于数据信号通过所述数据重定时电路的延迟。

12.根据权利要求 1 所述的用于提供表示数据信号和时钟信号的输出的电路，还包括：

插入所述第一至第四 3 输入与门中的每一个和所述用于组合所述逻辑组合装置生成的脉冲以提供所述输出的装置之间的滤波器。

13.根据权利要求 12 所述的用于提供表示数据信号和时钟信号的输出的电路，其中所述滤波器优化成通过 0—640MHz 之间的信号。

14.根据权利要求 6 所述的用于提供表示数据信号和时钟信号的输出的电路，其中所述数据信号操作来启动输出脉冲，所述时钟信号操作来终止所述输出脉冲，而所述偶和奇重定时数据信号操作来控制所述第一、二、三和四 3 输入与门中的哪些能够被所述数据信号和所述时钟信号操作。

15.一种相位检测器，包括：

用于接收数据信号的输入；

用于接收时钟信号的输入；以及

如权利要求 1 所述的用于提供表示数据信号和时钟信号的输出的电路。

16.根据权利要求 15 所述的相位检测器，还包括：

用于在所述数据信号到达所述逻辑组合装置之前延迟所述数据信号的延迟电路。

17.根据权利要求 16 所述的相位检测器，其中所述延迟的量是所述数据重定时电路的延迟的一个函数。

18.根据权利要求 15 所述的相位检测器，还包括：

至少一个用于在所述时钟信号到达所述逻辑组合装置之前延迟所述时钟信号的延迟电路。

19.根据权利要求 18 所述的相位检测器，其中所述延迟的量是所述数据重定时电路的延迟的一个函数。

20.根据权利要求 16 所述的相位检测器，其中所述时钟信号在所述时钟信号到达所述逻辑组合装置之前被延迟。

21.根据权利要求 20 所述的相位检测器，其中所述时钟信号的所述延迟与所述数据信号的延迟相等。

22.根据权利要求 20 所述的相位检测器，其中所述时钟信号的所述延迟与所述数据信号的延迟不同。

23.根据权利要求 15 所述的相位检测器，还包括一个用于在所述逻辑组合装置生成的脉冲到达所述用于组合所述逻辑组合装置生成的脉冲以提供所述输出的装置之前将高频成份从所述逻辑组合装置生成的脉冲移除的滤波器。

24.根据权利要求 23 所述的相位检测器，其中所述滤波器被优化为通过 0 到 640MHz 的信号。

25.根据权利要求 15 的相位检测器，其中所述时钟信号和所述数据信号被延迟了时间 τ 。

26.根据权利要求 25 的相位检测器，其中 τ 与数据信号通过所述数据重定时电路的延迟相等。

27.根据权利要求 15 的相位检测器，其中所述用于组合所述逻辑组合装置生成的脉冲以提供所述输出的装置在 0—640MHz 的范围内是线性的。

28.根据权利要求 15 的相位检测器，其中所述时钟信号和所述数据信号被延迟了时间 τ 。

29.根据权利要求 28 的相位检测器，其中 τ 等于数据信号通过所述数据重定时电路的延迟。

具有改善的定时边界的相位检测器

技术领域

本发明涉及相位检测器，更具体地说，涉及一种系统和方法，用于从非归零 (NRZ) 数据的时钟恢复，而且更具体地说，涉及这样一种用于改善的定时边界半速连续型相位检测器的系统和方法。

背景技术

在使用 NRZ 格式的数据传输系统中，没有跟数据一起被传输、可用来恢复数据的显式时钟信号。该时钟必需首先基于数据跳变的时间而从数据中被恢复。这需要一个相位检测器来测量 NRZ 数据和一个内部时钟之间的相位误差，生成一个误差信号。该误差信号驱动一个纠正该误差的控制循环。在一个正常工作的系统中，该控制循环能将该相位误差维持在一个可忽略的值上。被恢复的时钟然后被用来恢复数据。一个执行上述操作的电路被称为时钟/数据恢复 (CDR) 电路。几乎所有的现代数据传输系统都使用 CDR 电路，且相位检测器是这样一个 CDR 电路的必需的部件。

通常使用两类相位检测器，通称为“bang-bang”和“连续型”。bang-bang 电路源于 Alexander 最初的设计，如在 Alexander, JDH, “Clock recovery from Random Binary Signals (从随机二进制信号的时钟恢复)”，Electronic Letters (电子通信)，v. 11, n. 32, pp541-542, Oct. 30, 1975 中所讨论的那样。bang-bang 类有一个二进制量化的输出，只标明时钟是“提前”还是“拖后”，但不标明量的多少。这导致控制循环以不连续或“bang-bang”模式操作，向被恢复的时钟中加入了伪抖动 (spurious jitter)，因此说明了 bang-bang 相位检测器在抖动测量系统中不可用。同样，在通信系统中，此伪抖动降低了系统的性能。

连续型相位检测器仿造于或模仿了 Hogge 最初的设计，如在 Hogge, CP, “A Self Correcting Clock Recovery Circuit (一种自纠正的时钟

恢复电路)”，Journal of Lightwave Technology (光波技术学报)，v.LT-3, n.6, pp 1312-1314, Dec.1985 中所讨论的那样。这些检测器有一个可被用于生成与相位误差成比例的电压的输出，从而为控制循环产生一个“成比例”的模式。这在可使用的系统中是更加需要的，在抖动测量系统中则更是必需的。然而，许多运行在最新技术水平时钟速率的系统仍在使用 bang-bang 相位检测器，因为对一个给定的逻辑硬件技术，它们会比连续型相位检测器运行得快得多。这是因为在公知设计的连续型相位检测器中时序更加关键。

上述相位检测器以“全速”(full rate)计时，意味着时钟频率与数据的波特率相等。例如，如果数据处于 10Gbit/s (10^{10} 波特)的速率且时钟是 10GHz，电路就会被描述成以“全速”计时。在这个上下文中，“半速”计时(half rate clocking)指的是例如数据为 10Gbit/s，时钟为 5GHz。

为获得更高的速度，“半速”计时连续型相位检测器已经被发展了，如 Reis, AD 等在“High Data Rate Synchronizers Operating at Low Speed (低速操作的高数据率同步器)”，KEGS 2001.8th IEEE International Conference on Electronics, Circuits and Systems (国际电子、电路和系统会议)，2001, pp 1127-1130, V3 和 Savoj, J 和 Razavi, B 在“Design of Half-Rate Clock and Data Recovery Circuits for Optical (用于光通信系统的半速时钟和数据恢复电路的设计)”，IEEE Journal of Solid-State Circuits (固态电路学报)，V36, No.5, May 2001, pp 761-768 所讨论的那样。时钟有两个相位，相差 180° ，激励两个同样的触发器。两个相位对应于时钟波形的上升和下降边缘。此项修正至少是潜在地给了触发器两倍的时间去切换，且因此使得最多可将时钟速率翻倍。然而，这些半速相位检测器仍具有关于关键定时边界的限制，限制了它们的最大时钟速率。应该注意到，由于连续型相位检测器的模拟本质，它们的精确度和动态变动范围会随着接近最大速率而逐步变差。因此，即使低于最大速率，增加的设计边界通常会改善性能。这些增加的边界则有效地提高了最大数据速率。所以，该技术领域中存在着对具有用于

提高速度和性能的改善的定时边界的半速连续型相位检测器的需求。

发明内容

本发明指向用多个多输入门构造成的一种相位检测器，这些门将未重定时输入数据和已重定时数据以及时钟信号的组合组合，以获得与未重定时数据和时钟之间的相位差成比例的输出脉冲。

在实施例中，相位检测器包括用于接收数据信号的输入；用于接收时钟信号的输入；用于提供相位控制信号的输出；用于从所述数据输入接受未重定时数据信号并从那里提供奇和偶重定时信号的数据重定时电路；多个具有被连接到所述未重定时数据信号、所述重定时数据信号和所述时钟信号的不同组合的输入的多输入门，以使所述的门没有两个连续的 UI 之间是活动的，在此 UI 被定义为分配给单个比特的时间的长度；和用于混合所述门中的至少两个的输出的组合器。

之前已相当广泛地概述了本发明的特征和技术优点，以使后面本发明的详细说明可更好地被理解。本发明的附加特征和优点将在下文中被描述，它们形成了本发明的权利要求的主题。本领域内的技术人员应该理解到，在此公开的概念和具体实施例可被容易地用来作为修改或设计其它结构以执行本发明的相同目标的基础。本领域内的技术人员也应该意识到这些等同的构造没有偏离如在附属的权利要求所阐述的本发明的精神和范围。应被理解成本发明的特点的、有关它的结构和操作方法的新特征，和进一步的目标与优点，可在结合附图一起考虑时从后续说明中更好地被理解。然而应该清楚地理解到，每一个附图都只是用于图解和说明的目的，而不是用作对本发明的界线的定义。

附图说明

为更完整地理解本发明，结合附图参考后续说明，其中：

图 1 示出了作为本发明的示例的一个实施例；

图 2 示出了附加一个参考输出的图 1 的实施例；

图 3A、3B 和 3C 示出了用于图 1 的电路的时序图；

图 4 示出了在输出脉冲的上升和下降时间显著的情况下的图 1 的电路的时序图；

图 5A 示出了图 1 的电路的一个时序图，该电路具有额定时钟相位且 $\tau = 0.5UI + \text{触发延迟}$ ；

图 5B 示出了图 1 的电路的一个时序图，该电路具有一个拖后 0.4 个 UI 的时钟相位且 $\tau = 0.5UI + \text{触发延迟}$ ；

图 6 示出了本发明另一个实施例；

图 7 和 8 示出了图 6 的电路的时序图；

图 9A、9B 和 9C 示出了现有技术中全速时钟的时序图；

图 10A、10B 和 10C 示出了现有技术中半速时钟的时序图；

图 11A 和 11B 示出了现有技术的触发时序；

图 12A 和 12B 示出了现有技术的拖后时序；

图 13 示出了现有技术中用两个锁存器构造的主从式触发器；

图 14A、14B 和 14C 示出了一个现有技术的多路复用器及其时序；

图 15A、15B 和 15C 示出了一个现有技术的多路输出选择器及其时序；

图 16A、16B 和 16C 示出了一个现有技术的半速重定时器及其时序；

图 17A、17B、17C 和 17D 示出了一个现有技术的相位检测器及其时序；

图 18A 和 18B 示出了一个现有技术的参考输出及其时序；

图 19A 和 19B 示出了一个现有技术半速相位检测器及其时序；

图 20A、20B、20C 和 20D 示出了一个现有技术半速相位检测器及其时序。

具体实施方式

既然时钟相位关系到正确恢复数据的任务，在开始详细说明之前讨论它的分类可能是有帮助的。下文的讨论参考了图 9A—20D，所有这些图都作为背景技术提供。

图 9A、9B 和 9C 是全速操作的时序图，示出了理想化为方波的时钟波形 901A、901B 和 901C，以及理想化为在每一个比特的边界处都立即改变

状态的数据 902A、902B 和 902C。分配给单个比特的时间长度被称为单元时段 (UI)。对数据采样的最佳时间是在代表该比特的 UI 的中央, 如图 9A 中 903A 和 903A'所示。用这个方法, 定时误差的设计边界对正误差和负误差都是相同的。图 9B 示出了提前的采样时间 903B 和 903B', 而图 9C 示出了拖后的采样时间 903C 和 903C'。

数据一般被边缘触发的 D 型触发器所捕获, 该触发器可被当作是在时钟的正向跳变 (903A、903B、903C) 时对数据进行采样的采样器。这样时钟与数据跳变之间应该相距 $1/2$ UI。

在实际的系统中, 当数据正在跳变并因此还不是有效的时, 存在一个死时间 (dead time)。这将定时边界减少到 $1/2$ UI 以下, 但原理仍相同: 数据采样的最佳时间是在其中数据是有效的时段的中央。

图 10A、10B 和 10C 与图 9A、9B 和 9C 类似, 只不过它们示出的是半速时钟操作。在这种情况下, 数据 1002A、1002B 和 1002C 在每一个无论是正还是负的时钟跳变 1003A、1003A'、1003B、1003B'、1003C 和 1003C' 处被采样。当然, 时钟信号 1001A、1001B 和 1001C 的时钟跳变相距 1 UI。

抖动 (jitter) 指的是比特到比特的时钟相位 (时钟信号与数据信号的关系) 中的变动。如果时钟相位被认为是一个统计意义上的随机变量, 那么抖动就是该变量的“随机性”的一个度量 (类似于方差)。虽然时钟相位在平均意义上可能是准确的, 但它可对任何具体比特大幅变动。如果一个抖动的数据信号以统一的时间间隔被采样, 而不是在一个比特的中间进行采样, 它就会有时提前有时拖后。这个定时误差使得系统更容易遭受由噪音和其它缺陷产生的比特误差的影响。

另一种考虑抖动的方式是将时钟相位考虑成一个信号。那么抖动就代表了加入到这个相位信号的噪音。抖动是与“相位噪音”密切相关的, 后者是正弦波的伪相位调制的一个度量。

基本上有两种抖动来源。直接的抖动机理是时钟信号自身就有抖动在上面, 且产生数据的器件会继承这个抖动。这种抖动机理独立于被传输的数据的特性。另一种抖动机理称为“数据模式抖动 (data pattern

jitter)”。在这种情况下，当数据穿过数据传输器件时，由于器件中的群延迟缺陷，数据的时序会被破坏，这即使在有一个理想的时钟时也会发生。它的名称来源于这一事实，即抖动的特性依赖于正在被传输的数据的特性。

很重要的是要认识到相位检测器是用按层次组织的电路模块的组合构造的，而不是门电路和其它元件的不相关的集合。

图 11A 示出了 D 触发器 1100（以后简称为“触发器”），而图 11B 示出了它的时序图。触发器 1100 的基本功能是在时钟 1103 的控制下在 D 输入端处接收数据 1101，并将数据回送出 Q 输出端到输出端导线 1102。在正时钟跳变 1104（图 11B）处，如果 D 输入端是低，则输出会变低 1105（或者如果它已经是低则保持为低）。类似地，如果 D 输入端在正时钟跳变 1106、1107 处是高，则输出会变高 1108（或者如果它已经是高则保持为高）。在负时钟边缘 1109 时，触发器什么也不做。

触发器可被认为是一个数据重定时器。假设在 D 输入端输入到触发器的未重定时数据在其上有一定数量的抖动。触发器一般会在非最佳时间对数据采样，但仍然会获得每个比特的准确值。然后它会在输出端再现这些比特，但它们的时序会被时钟所控制，而不是到达输入端的时间。这样，具有理想时钟的理想的触发器会将数据重定时，以消除所有抖动。

不幸的是，如果时钟有抖动，输出就会继承这个抖动。同时，如果触发器具有依赖于频率的振幅或群延迟，则输出将会有模式抖动。因此，在实际实践中，触发器可能或者增加或者减少抖动。

在此出于讨论的目的，触发器的输入数据将被称为“未重定时数据”，而来自触发器的输出数据会被称为“重定时数据”。

图 12A 示出了 D 锁存器 1200（以后简称为“锁存器”），而图 12B 示出了它的时序图。锁存器一般来说很重要，因为它们也是触发器的构建模块，尤其是因为它们在前面提到的 Savoj 等人的论文中被明确地使用了。像触发器那样，锁存器的基本功能是在 D 输入端接收数据 1201 并将数据回送出 Q 输出端 1202。然而，锁存器是被锁存输入 1203 控制的，而不是时钟输入，而且它的行为与触发器稍有不同。它有两个模式，依赖于锁存

输入的状态。当锁存输入是低时 1204，锁存器处于跟踪模式。跟踪模式是一个直通传输模式，在此模式下输出立即响应输入。当锁存输入变高时，锁存器变为锁存模式。在锁存模式中，无论在离开跟踪模式时它处于何种状态，它的输出都被锁定在该状态。最终，锁存输入从高跳变到低时 1206，使锁存器模回到跟踪模式。在这个跳变的一刻，输出状态立即改变（如果必要的话）成与当前输入状态相同的状态，并从此跟随任何输入改变。

图 13 示出了触发器 1300 是怎样用两个锁存器 1200 和 1200'构造的。当以这种方式构造时，它被称为主从式触发器。主锁存器 1200 根据时钟输入 1302 操作，而从锁存器 1200'根据时钟输入的补（通过反相器 1301）操作。因此，当时钟是低时，主锁存器跟踪而从锁存器锁存。当时钟变高时，主锁存器锁存而从锁存器跟踪。操作如下进行：在正时钟跳变时主锁存器锁存未重定时数据 1303，并将它输送到从锁存器。当前处于跟踪模式的从锁存器将数据直接传送到输出端。在下一个负时钟边缘处，从锁存器在输出端锁存数据以维持它。同时，主锁存器开始跟踪未重定时数据的当前状态。

由于每个比特需要主从式触发器的两个操作，因此每个操作必须在小于 $1/2$ 的时钟周期内完成。如果使用全速时钟，一个时钟周期的 $1/2$ 就是 $1/2$ UI。这需要组成锁存器能够以数据速率的两倍速率操作。如果使用半速时钟，一个时钟周期的 $1/2$ 就是 1 UI。这仅需要组成锁存器能以数据速率操作。

一个 1:2 的多路输出选择器（在此为了讨论的目的）是将一个未重定时数据信号分成两个重定时输出信号的器件，输出数据速率是输入数据速率的一半。它的基本功能是减慢数据以使它能够用更慢的硬件在更慢的速率下被处理。

图 14A 和 14B 示出了多路输出选择器 1400（图 14C）是怎样能够用两个触发器 1300 和 1300'构造的。半速时钟 1401 为一个触发器所用（标识为“偶”），而那个半速时钟的补 1401'则被另一个触发器所用（标识为“奇”）。触发器 1300 在正向时钟边缘处对未重定时数据 1402 进行采

样，而触发器 1300' 在负向时钟边缘处对未重定时数据进行采样。采样数据的速率是未重定时数据的速率的一半。重定时数据交替地被传送到“偶”输出 1403，然后到“奇”输出 1404。这样，偶数位比特到了偶输出而奇数位比特到了奇输出。

一个 2:1 的多路复用器通过将两路半速数据输入组合成一个全速数据输入而进行相反的操作。图 15A 和 15B 示出了 2:1 多路复用器 1500（图 15C）仅仅是一个由半速时钟驱动的数据选择器开关。当半速时钟 1501 是高时，一个输入被直接转接到输出 1701；当时钟是低时，另一个输入被直接转接到输出 1701。互补的时钟信号是由反相器 1703 生成的。数据开关容易地利用组合逻辑构造。多路复用器本质上将数据重定时了。

图 16A 和 16B 示出了组合 1:2 多路输出选择器 1400 和 2:1 多路复用器 1500 可以形成一个半速重定时器 1600，其符号在图 16C 中示出。多路复用功能解除了多路输出选择功能；结果是电路仅仅将数据重定时。这样数据输入 1601 就被重定时为数据输出 1603，如图 16B 中所示。就重定时数据而言，它本质上起到了与触发器同样的功能；主要的区别在于它根据半速时钟 1602 操作，重定时器内部操作的速率是触发器速率的一半。这样，它有可能可以更高的速度操作。半速重定时器有时被称为双边缘触发触发器，因为它同时响应正时钟边缘和负时钟边缘。

图 17A 中示出的电路 1700 用一个传统的触发器 1200（图 12）将未重定时数据重定时，该触发器 1200 由时钟 1702 以全速计时。异或门 1705 将重定时数据 1703 与未重定时数据 1701 比较。该门的输出 1704 由具有与时钟 1702 的相位成比例的持续时间的脉冲组成。只有当存在从其收集相位信息的数据跳变时，脉冲才被生成。对于额定时钟相位，脉冲是 $1/2 UI$ 长，如图 17B 中标识为 1706 的脉冲所示。当时钟提前时，脉冲就变窄，如图 17C 中标识为 1707 的脉冲所示。当时钟拖后时，脉冲变宽，如在图 17D 中标识为 1708 的脉冲所示。这些脉冲可被低通滤波器所平滑以生成一个与相位成比例的电压。

电路 1700 至少有 4 个严重的限制。（1）触发器必须以全速操作。（2）相位输出的有效数据速率是未重定时数据的数据速率的两倍。这立

即将最大时钟速率限制到下层逻辑技术的最大开关速率能力的一半。

(3) 当相位以任何方向严重偏离额定值时, 使得相位输出生成宽度极窄的脉冲。这个约束或者限制了最大可用相位范围, 或者还将最大时钟速率限制到甚至小于最大逻辑开关速率的一半。(4) 电路不将未重定时数据时序直接与时钟做比较。而是未重定时数据时序在触发器的输出端与重定时数据做比较。重定时数据充任了时钟时序的代理。因此, 任何抖动、传播延迟漂移或触发器内部固有的其它不精确度就降低了输出精确度。在以接近它们的最大速率操作的触发器中, 一个重要但经常被忽视的误差源是传播延迟对数据输入端的建立时间量的依赖。

由于相位脉冲只在数据跳变时被生成, 相位输出的平均值就取决于数据跳变的平均密度值。这样, 表示零相位误差的参考电压就根据跳变密度而移动。为抵消这个问题, 图 18A 中示出的电路 1800 增加了一个附加的“参考”输出 1805, 此输出 1805 生成对数据跳变密度有相同的依赖但独立于相位的一个移动参考电压。该参考输出由在每一个数据跳变后具有固定的 $1/2 UI$ 的持续时间的脉冲组成。参考输出从相位输出中被减掉, 生成一个被纠正了的输出, 此输出在相位误差为零时总是零(平均意义上的)。与相位输出类似, 参考输出必须以未重定时数据速率的两倍操作, 这就又限制了最大时钟速率。同样, 两个触发器 1810、1811 在时钟的相反相位上操作, 使得只有正常时间量的一半用于第一触发器 1810 的传播延迟和第二触发器 1811 的建立/维持时间。图 18B 示出了电路 1800 有关数据输入 1801、时钟输入 1802、Q1 1803、Q2 1804 和参考输出 1805 的时序。来自触发器 1810、1811 的输出被提供给异或(XOR)门 1806。

图 19A 中示出的相位检测器 1900 用半速重定时器 1600 取代了全速触发器。用于生成持续时间跟相位成比例的脉冲 1904 的异或门 1906 的操作跟有关电路 1700 中被描述的操作是一样的。电路 1900 与电路 1700 相比的主要优点在于重定时功能现在是以半速完成的, 解决了上述限制(1)。限制(2)到(4)仍然存在。图 19B 示出了电路 1900 中有关数据输入 1901、时钟 1902、数据输出 1903 和相位输出 1904 的时序。

图 20A 示出了在上述 Savoj 等人的参考文献中描述的相位检测器, 而

图 20B 示出了有关时钟 2001、数据输入 2002、X1 2003、X2 2004、相位输出 2007、Y1 2005、Y2 2006 和参考输出 2008 的最佳时钟相位的时序图。该电路根据半速时钟 2001 操作。它使用了四个锁存器 2010-2013，用前述体系结构构成了一个 1:2 的多路输出选择器。多路复用器的输出提供被恢复的数据，同时驱动异或门 2015 以生成参考输出脉冲 2008。注意到，这些参考脉冲具有 1 UI 的持续时间，与其中脉冲持续时间为 $1/2$ UI 的电路 1800 形成对比。另外，两个主锁存器输出另外传给另一个异或门 2014，此门生成相位输出脉冲 2007。

虽然这些锁存器以半速计时，图 20B 示出锁存器 2007 的输出包含 $1/2$ UI 的持续时间的脉冲。这些脉冲然后必须传播通过异或门 2015。当时钟相位提前时，如图 20C 中所示，脉冲持续时间减少到少于 $1/2$ UI。对大的负相位误差，输出脉冲持续时间变得不切实际的小，如图 20C 中的图形 2007 所示，而且输出脉冲也不可能被精确地生成，从而导致了相位检测器测量误差。

当时钟相位拖后时，如图 20D 中所示，脉冲持续时间增大到大于 $1/2$ UI。当有连续的输出脉冲时，它们之间的间距就减少到少于 $1/2$ UI，如图 20D 中的图形 2007 所示。这导致了狭窄的负向脉冲。对大的负相位脉冲来说，脉冲持续时间变得不切实际的小，而且输出脉冲不能再被精确地生成，从而又导致了相位检测器测量误差。另外，在拖后时序的情况下，窄脉冲出现在节点 X1 和 X2 处（图 20D 中的图形 2003、2004）。这些窄脉冲必须传播通过异或门。极窄的脉冲在传播通过一个门后往往会改变它们的持续时间。这种持续时间的改变是不精确度的另一个来源。

参考输出以一种与相位检测器稍有不同的方式工作。偶多路选择数据被第二异或门与奇多路选择数据做比较。在每个数据跳变后，该门生成一个 1 UI 的脉冲。当这些脉冲被平均时，它们生成了一个电压，此电压恰好两倍于作为电路 1800 的参考脉冲的电压。这样，在实践中，这个电压在从相位输出中被减掉前被一个两倍因子所衰减。由于此翻倍的脉冲持续时间，参考输出实际上获得了半速时钟的全部获益。

本发明的概念将会就两个实施例来描述，即一个高性能实施例和一个

具有较低性能的可选实施例。

图 1 示出了第一实施例 10 的示意图。如在相位检测器 2000（图 20A）中那样，数据恢复被实现，例如由一个传统的半速 1:2 多路输出选择器完成，该多路输出选择器由在时钟信号 100 的相反的时钟边缘被计时的两个触发器 111、112（FF1 和 FF2）构成。然而，在这种情况下，主锁存器的输出没有被单独输出使用。相反地，重定时数据 102 与延迟了的未重定时数据 113 和时钟信号 105 组合，其中在此实施例中是被一组四个 3 输入与门 115、116、117、118（U1 到 U4）所组合的。这些门的输出被一个线性无源组合器 121 累加到一起，以形成相位输出 110。注意，在图中这些与门的输入处的“小泡”表示反相。同样要注意到所有的门都以半速或更低的速率操作。

图 2 示出了外加的异或门 1806，其用于像就图 18A 所描述的那样产生参考输出。这个门（或其它电路）可被方便地加到图 1 中的电路上以构成一个完整的工作系统，因为两个设计都是基于 1:2 的多路输出选择器的。

在描述电路 10 的操作前，有必要给出一些定义。正时钟边缘期间有效的数据比特定义为“偶”比特。负时钟边缘期间有效的数据比特定义为“奇”比特。始于偶比特终于奇比特的数据跳变定义为“偶跳变”。始于奇比特终于偶比特的数据跳变定义为“奇跳变”。始于比特 0 终于比特 1 的数据跳变定义为“正跳变”。始于比特 1 终于比特 0 的数据跳变定义为“负跳变”。

图 3A 示出了电路 10（没有可选低通滤波器 120）的时序图（最优时钟相位）。类似地，图 3B 和 3C 分别示出了拖后和提前的相位的时序图。为简化描述，经过触发器的延迟 τ 假设是零。非零 τ 延迟的影响将会在后面讨论。如图 1 中所示，FF1 111 处理偶数据而 FF2 112 处理奇数据。重定时数据（或它的补）与未重定时数据（或它的补）和时钟（或它的补）被与门 115—118（U1—U4）以各种组合方式所组合。

在图 1 的实施例中，门 U1 在每一个偶、负跳变处生成一个脉冲。门 U2 在每个偶、正跳变处生成一个脉冲。门 U3 在每个奇、负跳变处生成一个脉冲而门 U4 在每个奇、正跳变处生成一个脉冲。这些来自门 U1—U4 的

脉冲的持续时间与相位成比例。这些脉冲由滤波器 120 选择性地进行低通滤波，然后被线性组合器 121 累加，产生一个由脉冲组成的相位输出，该脉冲与每个数据跳变处的相位成比例。图 3A、3B 和 3C 中的相位信号 110 用于没有低通滤波器 120 的情况。低通滤波器的作用将在后面讨论。输出组合在后面会更详细地被解释。这个输出与前述有关现有技术的输出在功能上是相同的，因此电路 10 是一个直接替代物。

工作原理最好这样解释：首先描述对具有交替的 0 和 1 的序列（即 01010...）的操作，然后描述对其它序列会发生什么。对一个 0101... 模式，触发器 111 或 112 总会对 0 采样而另一个触发器总会对 1 采样。这样，假设时序是这样的，即 FF1 总是 0 而 FF2 总是 1。在这种情况下，门 U1 和 U4 将会被禁止，而门 U2 和 U3 实际上变成 2 输入门，由时钟 100（或它的补）和未重定时数据 104（或它的补）所驱动。门 U2 输出始于正数据跳变终于负时钟跳变的脉冲。类似地，门 U3 输出始于负数据跳变终于正时钟跳变的脉冲。U2 和 U3 的脉冲在时间上交替并且被组合器 121 所累加。脉冲持续时间取决于数据和时钟之间的时间间隔，此间隔与相位成比例。

对其它序列，在 1 之前至少有两个 0 而在 0 之前至少有两个 1。假设相位检测器 10 已接收到两个或更多连续的 0。则 FF1 和 FF2 都会是低。在这种情况下，门 U1 和 U3 将会被禁止，而门 U2 和 U4 实际上变成 2 输入门。这些门会被时钟和时钟的补每次一个门地交替打开，时钟和时钟的补分别驱动门 U2 和 U4。假设时钟是低，门 U4 因此被打开。当一个 0 到 1 的跳变发生时，门 U4 会变高，开始一个输出脉冲。当时钟变高时，门 U4 会变低，结束该输出脉冲。另外，FF1 会变高，这会禁止门 U2，阻止它启动一个附加的输出脉冲。

在实践中，模式是 0101... 序列和其它序列的混合体。图 3A 示出电路能在这些序列之间正确地转换。

没有门可在两个连续的 UI 期间是活动的，因为下述数学属性：（1）正跳变和负跳变总是交替的（虽然可有期间没有跳变的 UI）；（2）连续的 UI 中发生的跳变不能同时为偶或同时为奇。因此，任何单个的门都以

半速（或更低）操作，且在脉冲之间总是至少有 1 UI 的死时间。理想情况下，门 U1—U4 的输出可简单地被一个 4 输入或门组合，（而不是实际使用的线性组合器），以生成图 3A—3C 的相位输出波形，因为（理想情况下）在一个时刻只有一个门是活动的。

当相位接近拖后 $1/2$ UI 时，门 U1—U4 的输出的相位在持续时间上接近 1 UI。在那样的情形下，当有连续的数据跳变时，在一个脉冲的末尾和下一个脉冲的开头之间就只有很少的时间。在图 3B 中示出的理想情形下，相位输出会包括表示输出脉冲之间的时间的负向窄脉冲。在实践中，对以接近逻辑硬件能力操作的系统来说，这个脉冲可能会太窄了而不能再现，导致相位输出在过长的时间段中保持为高。如前所述，这对现有技术中的相位检测器是一个大问题。然而，这里所讲的概念通过利用相位检测器的输出在被利用前已在许多脉冲上被平均的事实克服了这个限制。由于这个可被视为集成的平均，相位检测器上对精确度的唯一需求就是脉冲下的面积要准确地表示相位。如果满足了这个约束，相位检测器就没有必要精确再现理论上准确的脉冲形状。

更具体地说，相位输出电压 110（图 1）曲线下的面积必须与单个门输出 106、107、108、109 的曲线下的面积的和相等。因为和的积分等于组分积分的和这一数学属性，所以线性组合器 121 总会满足这个需求。如果组合器 121 是无源的，那么它在设计上就几乎保证是线性的。合适地被设计的有源组合器也可是线性的。组合器的带宽取决于系统用法，并且当系统操作在具有 32 比特的持续长度的 40Gbite/sec 的数据规则上时一般会在 0—640MHz 之间。

图 4 图示了当门输出 106、107、108 和 109 具有非零的升降时间时发生的情形。脉冲在相位输出 110 处聚集。然而，根据以上给出的理由该面积是正确的。如果线性组合器 121 被一个 4 输入或门所取代情况就不是这样了，因为或门是非线性器件。利用了或门的实现会工作于缩小的相位范围上，并且/或具有减小的精确度。

在有些情况中，由于线性组合器 121 的输入之间的不充分绝缘，门输出 106、107、108 和 109 之间可能会有串扰的问题。图 1 中可选的低通滤

波器 120 可被用来防止来自一个门的高速暂态脉冲破坏其它门的操作。这些滤波器可以或者取代或者补充用在相位输出下游的低通滤波器。本发明中考虑的滤波器范围是 0—640MHz。

τ 延迟 113、114 有两个目的。首先,通过使它与触发器的传播延迟相等,它就具有抵消该延迟的效果。注意,如图 1 中所示,相位检测器中的所有数据流都是从输入端到输出端无反馈地穿过参考平面 130。因此,如果延迟 114 被插入到时钟中而延迟 113 被插入到未重定时数据通路中,这个延迟就具有好像一个假想的负延迟已被插入到触发器的输出中的相同的效果。这个负延迟可被用来有效地抵消触发器的传播延迟。其次,通过在触发器延迟之外加入 $1/2$ UI 的附加延迟,定时边界就被增加了。

图 5A 图示了有额定时钟相位的门 U1 115 所处的情形,其代表了其它三个相位输出门所处的情形。这个门的输出 106 和三个输入(102、104、105)被示出了。出于图示的目的,被延迟的未重定时数据 104 的补 104' 被显示了,以考虑 U1 115 的输入处的反相小泡。被延迟的时钟 105 也被示出了。图 5A 假定了 τ 比触发器 101 的传播延迟恰好长 $1/2$ 个 UI。当且仅当所有的三个输入(102、104' 和 105)都是高时,与门的输出 106 (U1) 才会变高。

对于图 5A 的额定相位的情况,有关输出脉冲的前导边缘的最小触发定时边界是 1 UI。例如,脉冲 505 在 $t=5.5$ 时开始并终止于 $t=6.0$ 。对 FF1 的输出 102 来说,在脉冲 505 期间必须是高。可看到 FF1 102 在 $t=4.5$ 时变高 503,比必须的时刻早了 1 UI。然后 FF1 102 在 $t=5.5$ 的脉冲末端之后的多个 UI 期间保持为高。类似地,有关输出脉冲的拖后边缘的最小触发定时边界是 $1/2$ UI。例如,脉冲 507 在 $t=9.5$ 时开始,终止于 $t=10$ 。FF1 的输出 102 必须在脉冲 507 期间为高。可看到 FF1 102 保持为高直到 $t=10.5$ 504,比必须的时刻晚了 $1/2$ UI。FF1 102 在 $t=9.5$ 处的脉冲开始之前的多个 UI 期间也一直是高。

图 5B 示出了当时钟相位拖后 0.4 UI 时波形是怎样变化的。输出脉冲(505'、506' 和 507') 现在是 0.9 UI 长。有关输出脉冲前导边缘的最小触发定时边界已被减少到 0.6 UI。例如,脉冲 505' 开始于 $t=5.5$ 而终

止于 $t=6.4$ 。FF1 111 的输出 102 在 $t=4.9$ 时变高 503'，比必须的时刻早了 0.6 UI 。FF1 111 的输出 102 然后在脉冲终止于 $t=6.4$ 之后的多个 UI 期间保持为高。类似地，有关输出脉冲的拖后边缘的最小触发定时边界是 $1/2 \text{ UI}$ 。例如，脉冲 507' 开始于 $t=9.5$ 而终止于 $t=10.4$ 。FF1 111 的输出 102 必须在脉冲 507' 期间为高。可看到 FF1 111 的输出 102 保持为高直到 $t=10.9$ 504'，比必须的时刻拖后了 $1/2 \text{ UI}$ 。FF1 111 的输出 102 在 $t=9.5$ 脉冲开始之前的多个 UI 期间也一直是高。

由于相位检测器的精确度独立于触发器传播延迟，它也独立于触发器引起的模式抖动。当应用于抖动测量时这是一个需要考虑的重要因素。

如果相位检测器要在多时钟速率下被使用，从 UI 到绝对秒数的转换是基于要使用的最大数据速率做出的。在低于最大速率的速率上没有必要提高 τ 。如果 τ 的值是基于最大速率而被选择的话，电路就会至少如在最大速率上那样好地工作在较低速率上。

图 6 示出了一个可选的实施例 60，对此实施例的需要源于一个事实，即，一些常用的高速逻辑技术，如微分电流模式逻辑（CML），与 3 输入门不兼容。在这些技术中，3 输入功能需要实现成两个 2 输入功能的级联。此概念的一个直接实现将每个 3 输入门转换成两个 2 输入门的级联，导致一共八个 2 输入门来取代最初的四个 3 输入门。然而图 6 示出了一个更有效的实现，只用了两个 2 输入与门 617 和 618（U3 和 U4）和两个异或门 615 和 616（U1 和 U2）。电路 60 逻辑上与电路 10（图 1）等同。在这种情况下，只有两个输出门用于相位输出。如电路 10 那样，电路 60 的所有逻辑都以半速或更低的速率操作。

图 7 示出了电路 60 的时序图。如电路 10 那样，工作原理最好首先通过描述对一个 0 和 1 交替的模式（即 0101……）的操作来解释，然后描述对其它模式会发生什么。对一个 0101……模式，一个触发器 611 或 612 总会对 0 采样而另一个触发器总会对 1 采样。假设一个 0101……模式被相位检测器使用这样一个时序所接收，即，使得 FF1 611 的输出 602 总是 0 而 FF2 612 的输出 603 总是 1。在这种情况下，门 U1 615 实际上变成一个非反相缓冲器而门 U2 616 实际上变成一个反相器。然后，被延迟了的时钟

605（被 614 延迟）和它的补以及未重定时数据 606 和它的补 607 所驱动的门 U3 617 和 U4 618 的操作与用于电路 10 的操作相同。门 U3 617 的输出 608 包含了开始于一个正数据跳变并终止于一个负时钟跳变的脉冲。类似地，门 U4 618 的输出 609 包含了开始于一个负数据跳变并终止于一个正时钟跳变的脉冲。门 U3 617 和 U4 618 在时间上交替发出脉冲，并且被组合器 619 累加，产生相位输出 610。脉冲持续时间取决于数据和时钟之间的时间间隔，与电路 10 的情形一样。

对其它模式，总是在 1 之前至少有两个 0，而在 0 之前至少有两个 1。假设两个或更多的连续的 0 已被相位检测器 60 接收到。则 FF1 611 的输出 602 和 FF2 的输出 603 将会是低。在这种情况下，门 U1 615 和 U2 616 实际上会变成非反相缓冲器。门 U3 617 和 U4 618 将会被时钟信号和时钟的补一次 1 UI 地交替使能。假设被延迟了的时钟 605 是低，门 U4 618 因此被打开。当一个从 0 到 1 的跳变出现在被延迟的未重定时数据 604 中时，门 U4 的输出 609 会变高，开始一个输出脉冲。当被延迟了的时钟 605 变高时，门 U4 的输出 609 会变低，结束一个输出脉冲。另外，FF1 611 的输出 602 会变高，这将通过门 U1 615 禁止门 U3 617，阻止它启动一个额外的输出脉冲。

除了时间延迟之外，关于电路 10 的定时边界的讨论也适用于有关图 7 中电路 60 的定时边界。与对未重定时数据 600 和时钟 601 都采用相同的延迟 τ 相反，对于电路 613 和 614 各自有单独选择的延迟 τ_d 和 τ_c 。 τ_d 与在电路 10 中的 τ 相同。然而， τ_c 等于 τ 加异或门的传播延迟，以补偿通过门 U1 615 和 U2 616 的延迟。

图 8 示出了用于有 0.4 UI 的拖后时钟相位的较差情况的关键时序关系，该时序关系使用了正确的 τ_d 和 τ_c 值。输出脉冲宽度仍然独立于触发器传播延迟中的小的变动（不超过 1/2 UI），并不受触发器抖动影响。

在图 8 中，参考点 A、B、C、D 和 E 与图 6 有关， τ_c 是 0.5UI+触发延迟，而 τ_d 是 0.5UI+触发延迟+异或延迟。遵循电路 10 的线路，有关输出脉冲的前导边缘的最小触发定时边界是 0.6UI。例如，点 E 608 处的输出脉冲 804 开始于 $t=5.5$ 而终止于 $t=6.4$ 。点 A 处的 FF1 611 的输出 602 在

$t=4.9$ 是开始创建脉冲 801, 比必须的时刻提前 $0.6UI$ 。脉冲 801 然后在脉冲于 $t=6.4$ 结束后的多个 UI 期间保持为高。类似地, 与输出脉冲的拖后边缘有关的最小触发定时边界是 $1/2 UI$ 。例如, 脉冲 808 开始于 $t=9.5$ 而终止于 $t=10.4$ 。脉冲 801 必须在 808 脉冲期间保持为高。可看到 FF1 611 的输出 602 (脉冲 801) 保持为高一直到 $t=10.9$, 比必须的时刻拖后了 $1/2 UI$ 。脉冲 801 在 $t=9.5$ 脉冲 808 开始之前的多个 UI 期间也一直是高。

注意, 就电路 10 而描述的参考输出 1805 可容易地被加入到如上所讨论的电路 60。

应注意到, 由于输出门的分工, 所以可单独或以各种配对的方式使用它们, 而不是将所有它们的输出累加到一起。例如, 获得与负跳变分离的正跳变相位误差可能是人们所需要的。这很重要, 例如如果存在对一极的影响甚于另一极的非对称缺陷的话。类似地, 获得与奇跳变分离的偶跳变相位误差可能是人们所需要的。如果数据是通过多路复合而被生成的, 如通常的情况那样, 则在奇数据和偶数据之间就容易有系统的相位差。

也可通过只构建电路的一个子集并从跳变的一个子集恢复时钟来简化电路。在此情况中, 可假设只有正跳变, 或只有偶跳变等, 就充分地代表了所有的跳变。

虽然本发明及其优点已经详细地被描述了, 应该理解到各种变动、替代和修改可在此做出而不会偏离本发明如被后附的权利要求所定义的精神和范围。另外, 本申请的范围不应被局限于在说明书中描述的过程、机器、产品、材料的组合、装置、方法和步骤的具体实施例。例如, 尽管两个实施例 (图 1 和图 6) 已被示出, 考虑到了数据输入、重定时数据信号和时钟信号的逻辑组合, 任意数量的其它逻辑元件, 如与门、或门、异或门或其它元件如触发器、重定时器和锁存器和它们的组合可被用来生成连续脉冲, 此脉冲不会被相同的硬件生成 (因此避免了重叠或近似重叠), 且可在多个信号脉冲上被平均。可通过从需要的脉冲输出特性开始回溯作业以获得元件的一个合适功能组合来达到的这些可选电路配置, 将使电路设计者获得将实际电路匹配到具体的设计标准或整体电路限制的自由。如

果信号定时因素或信号传播延迟变得很关键，这就可变得很重要。

如本领域的技术人员可从本发明的公开内容轻易地认识到那样，根据本发明，现存或以后被开发的过程、机器、产品、材料的组合、装置、方法或步骤可被采用，与在此被描述的对应实施例相比它们执行基本相同的功能或获得基本相同的效果。相应地，后附的权利要求会将这些过程、机器、产品、材料的组合、装置、方法或步骤包括在它们的范围之内。

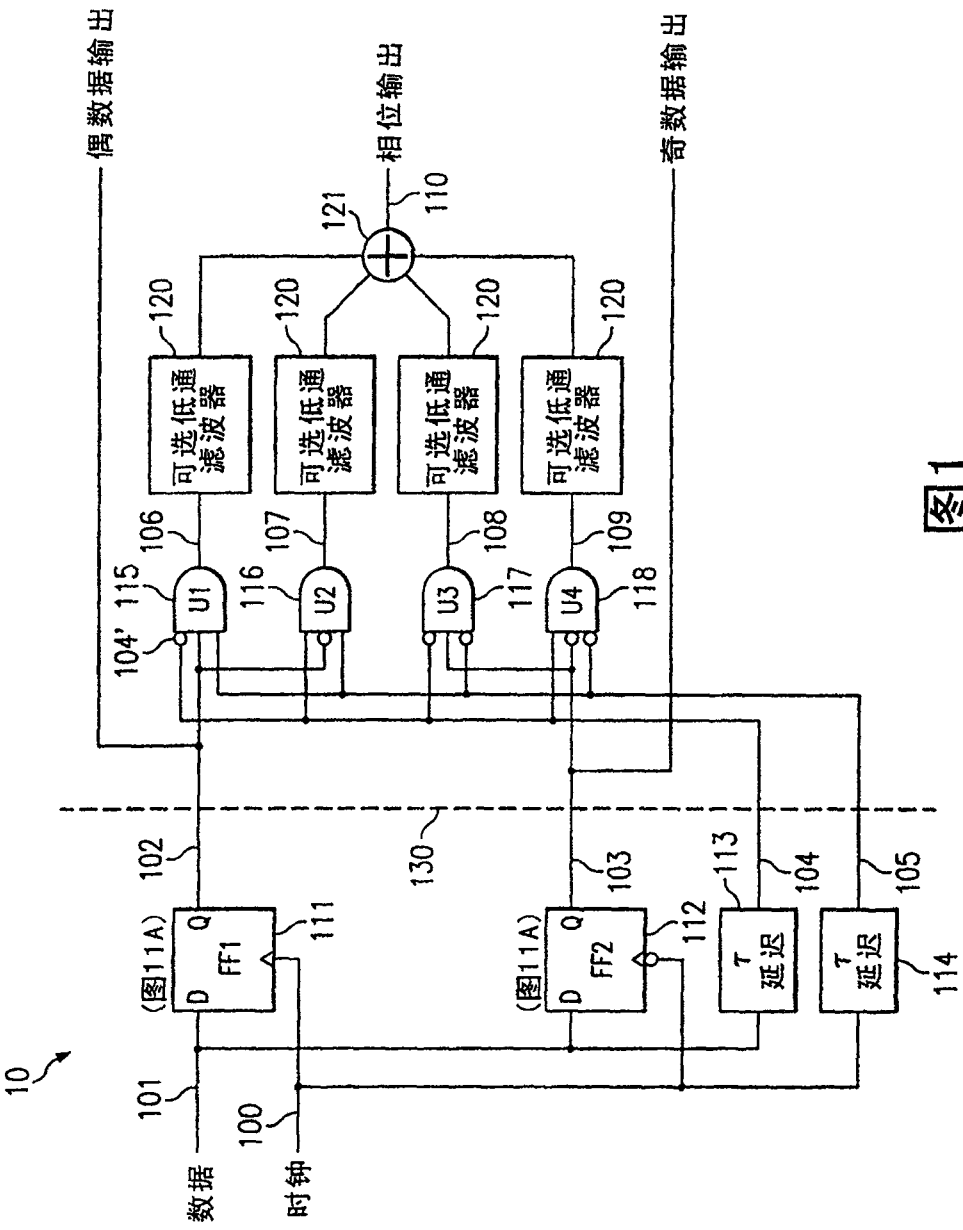


图1

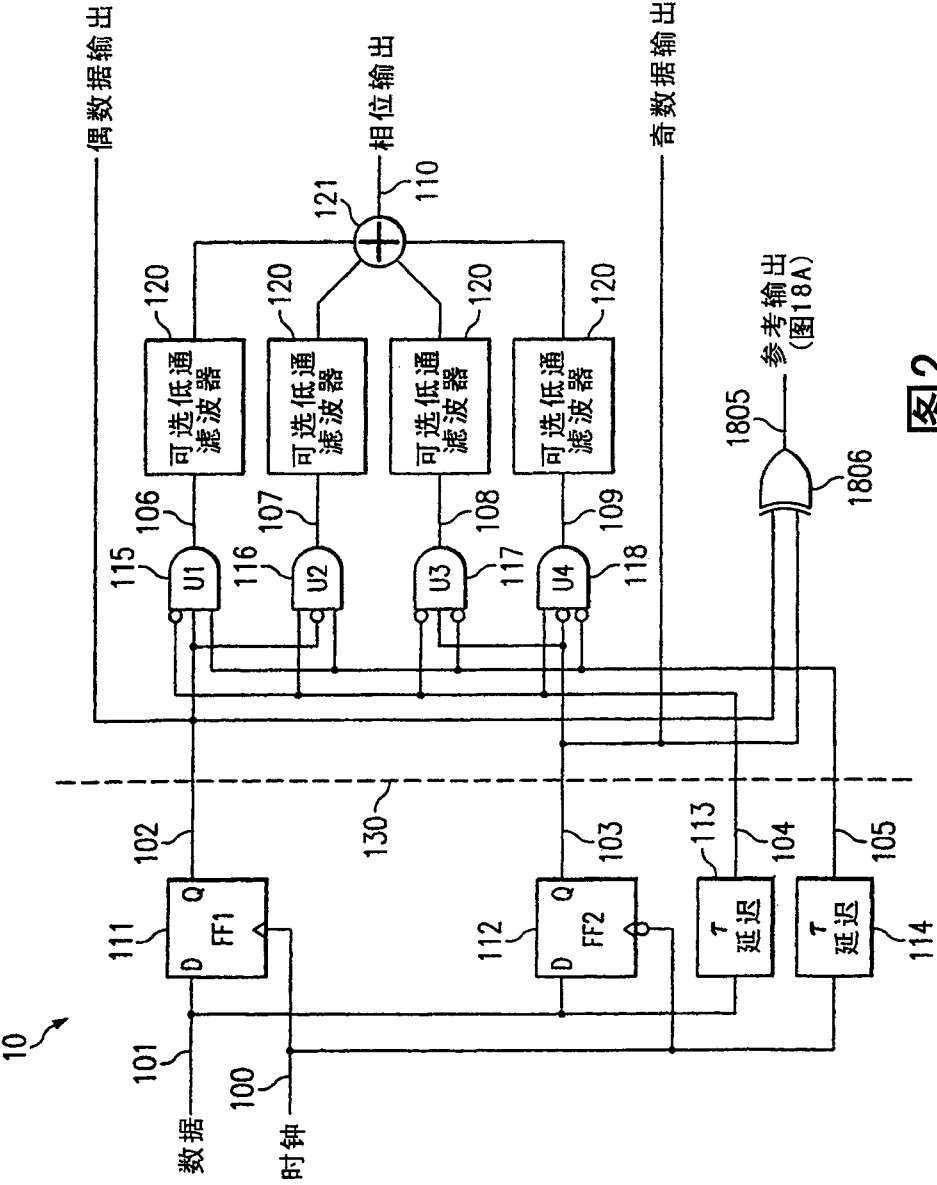


图2

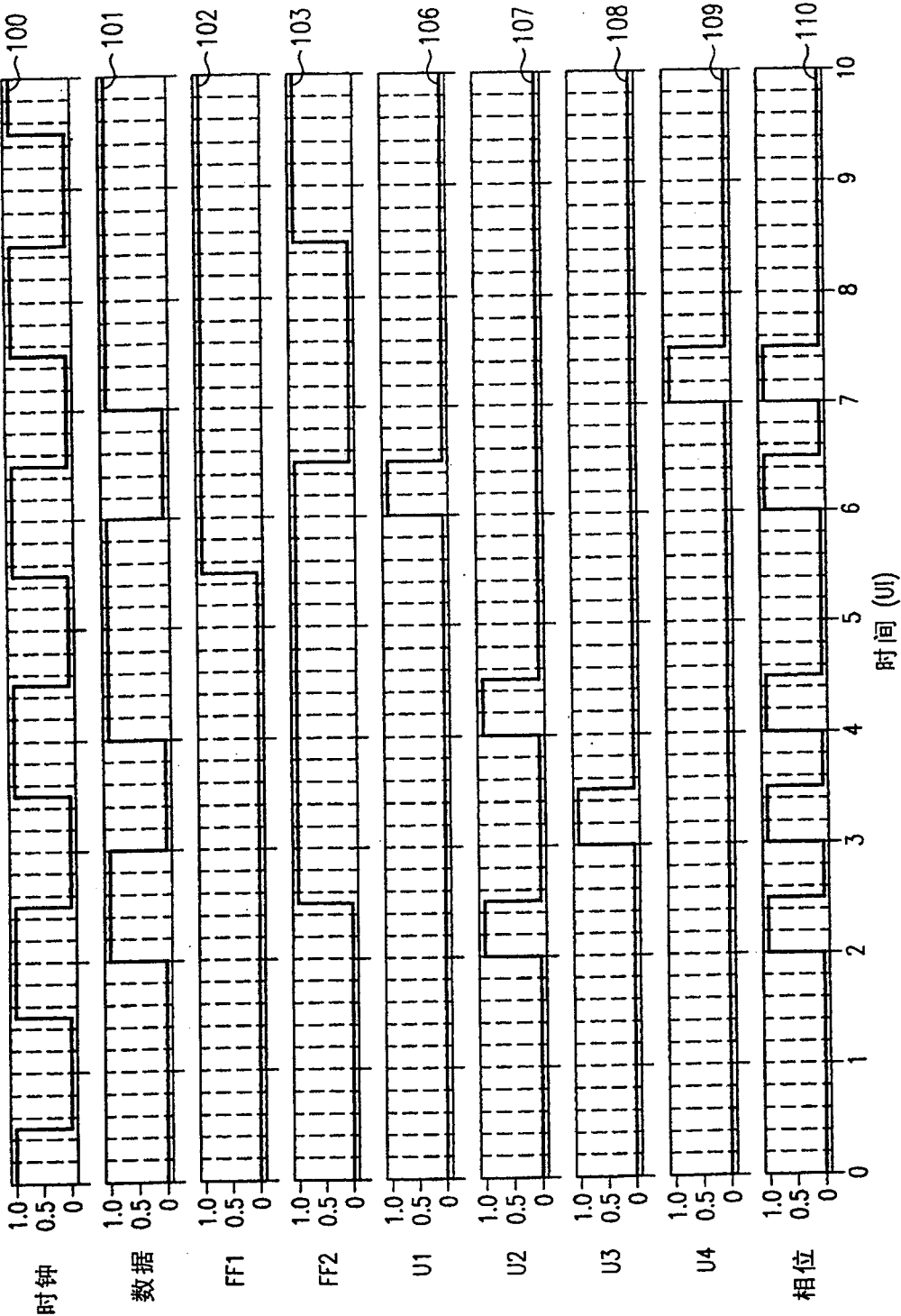


图3A

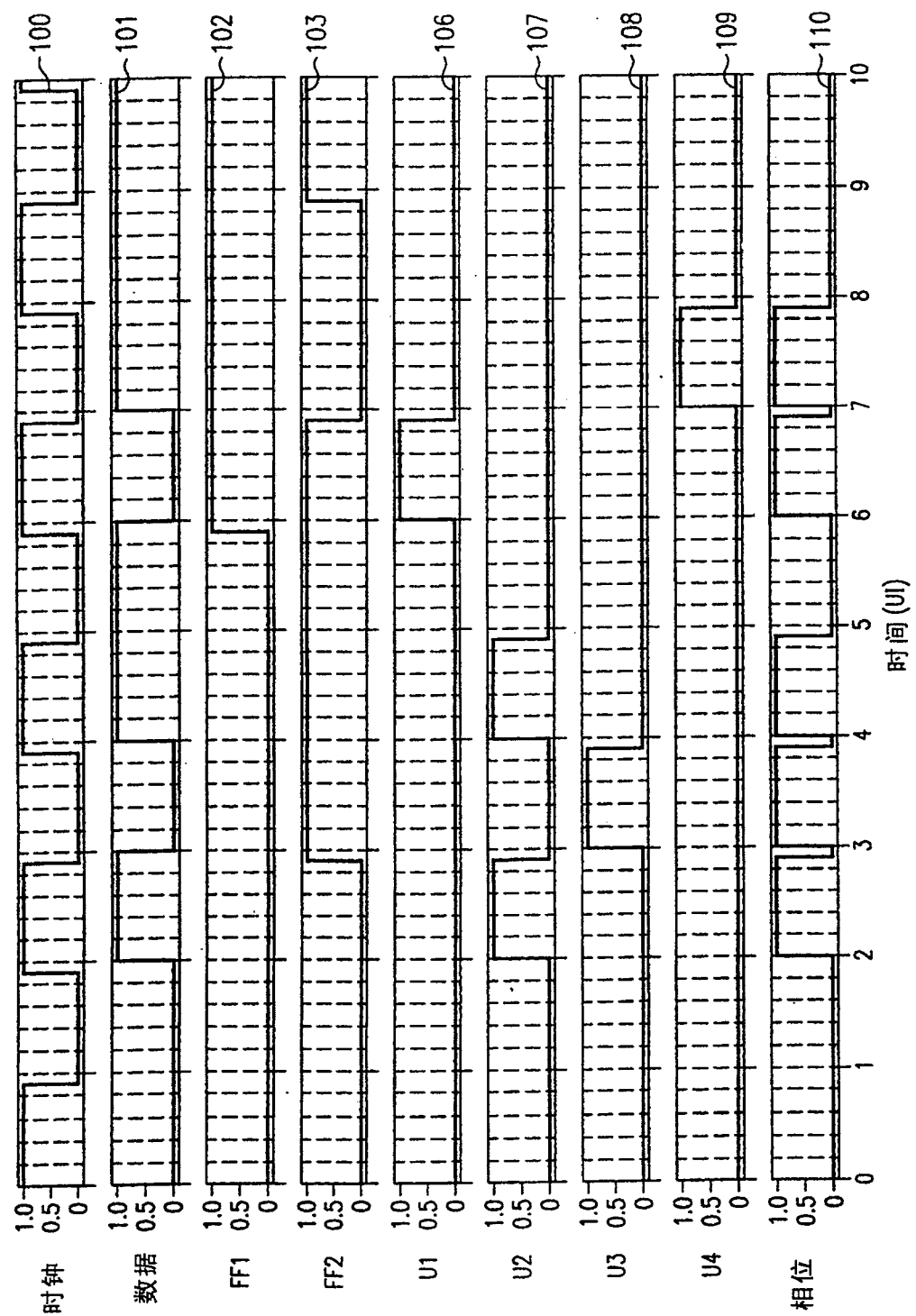


图3B

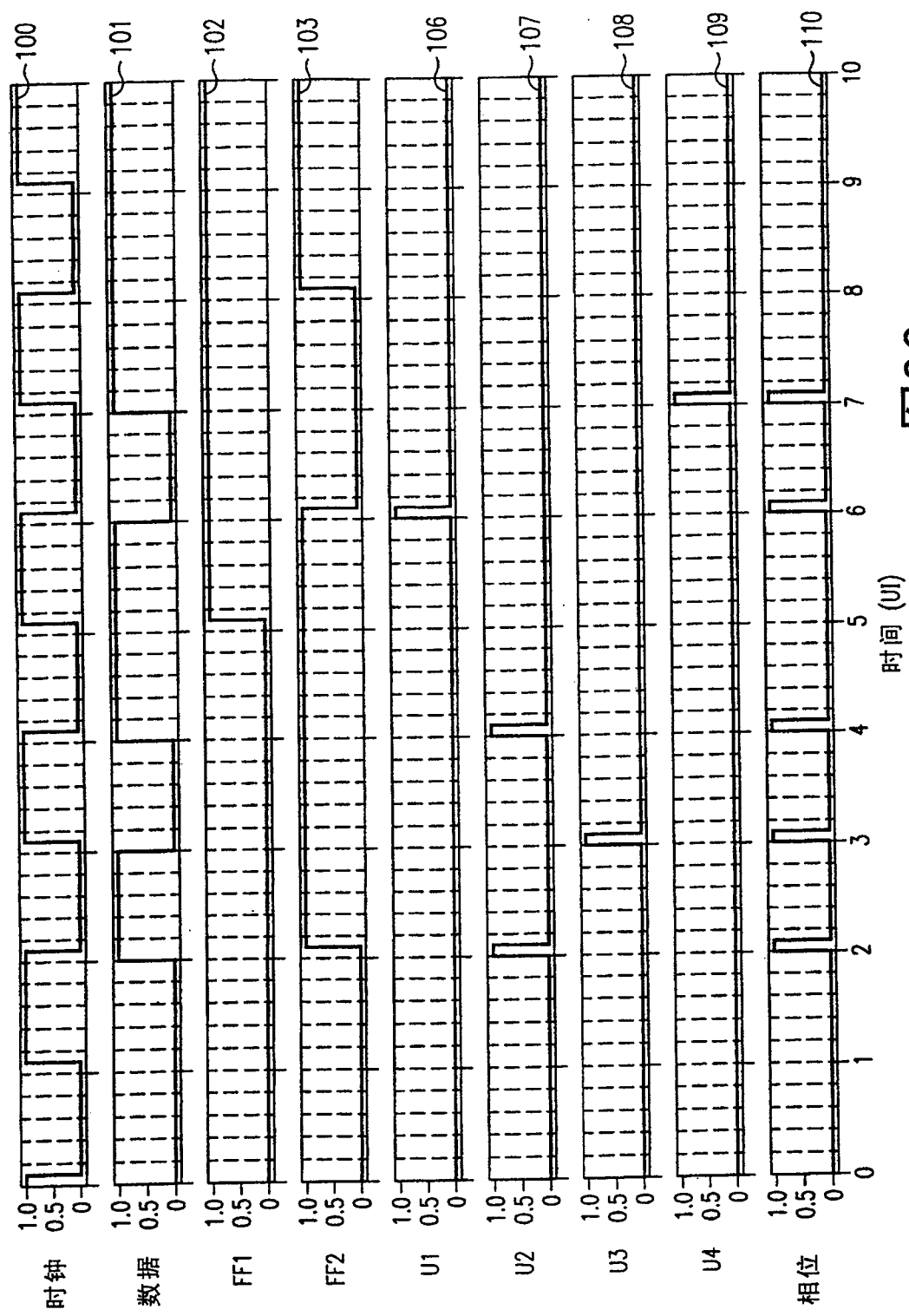


图3C

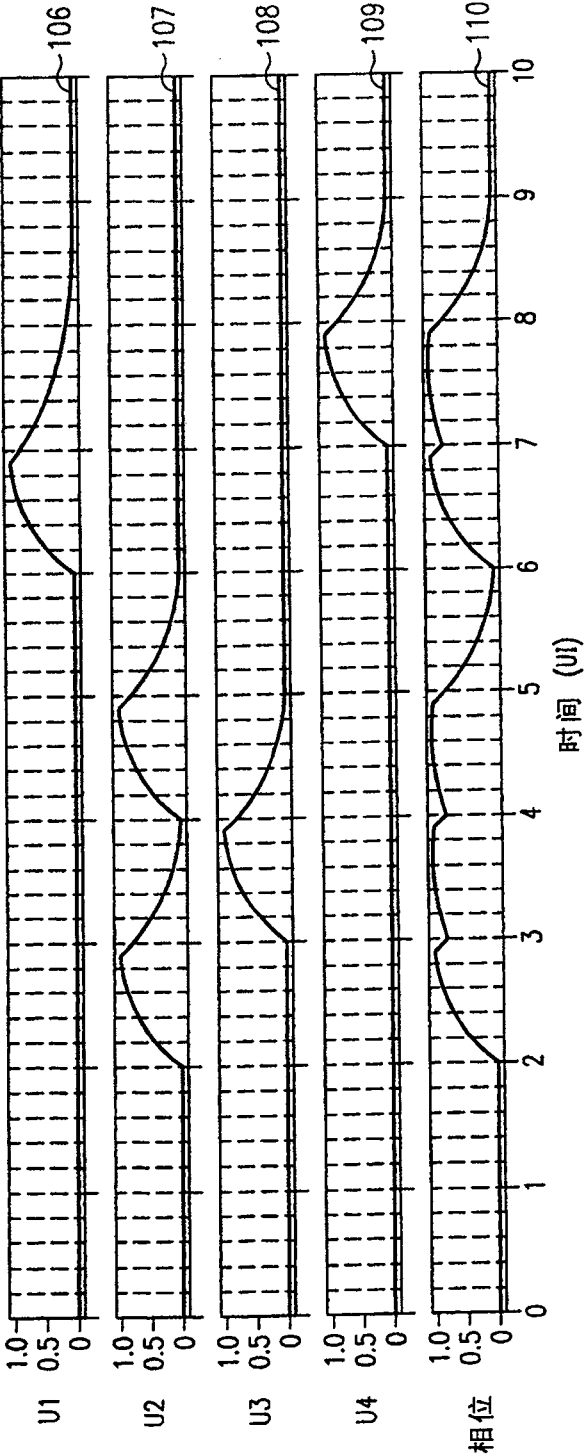
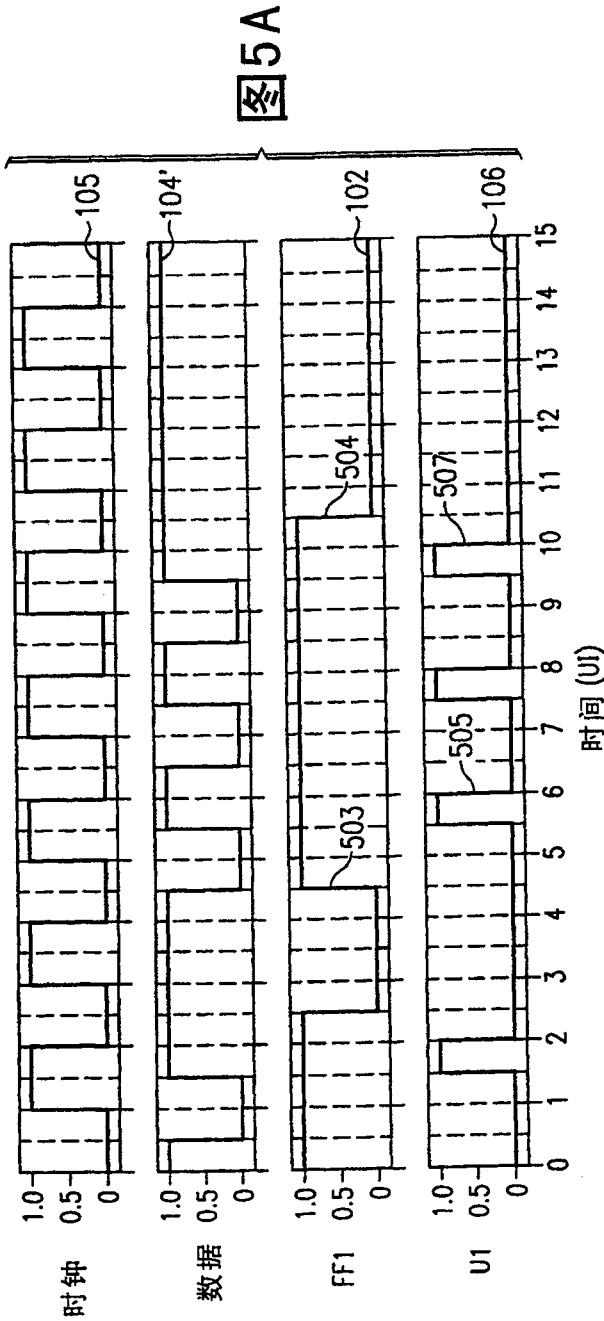


图4



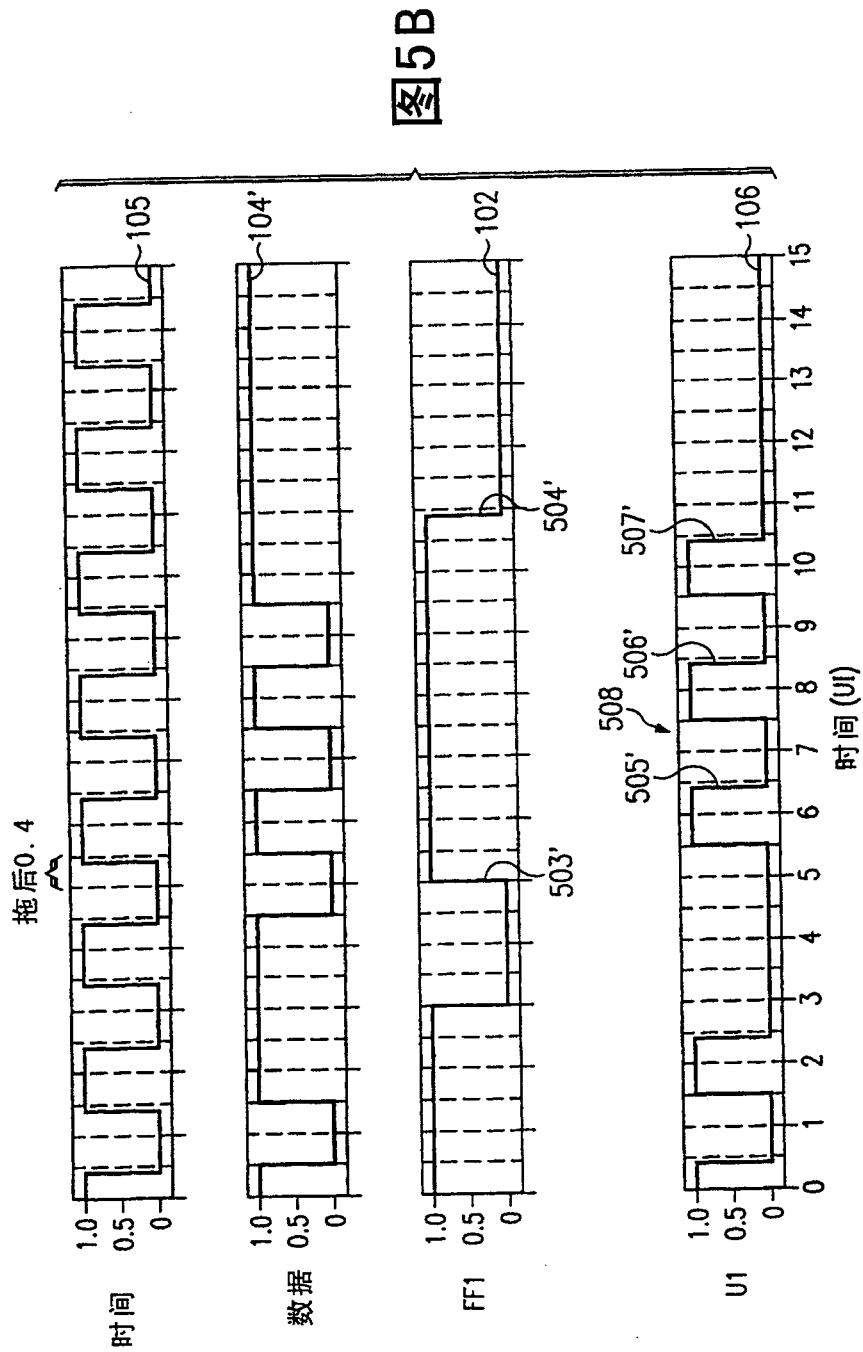


图5B

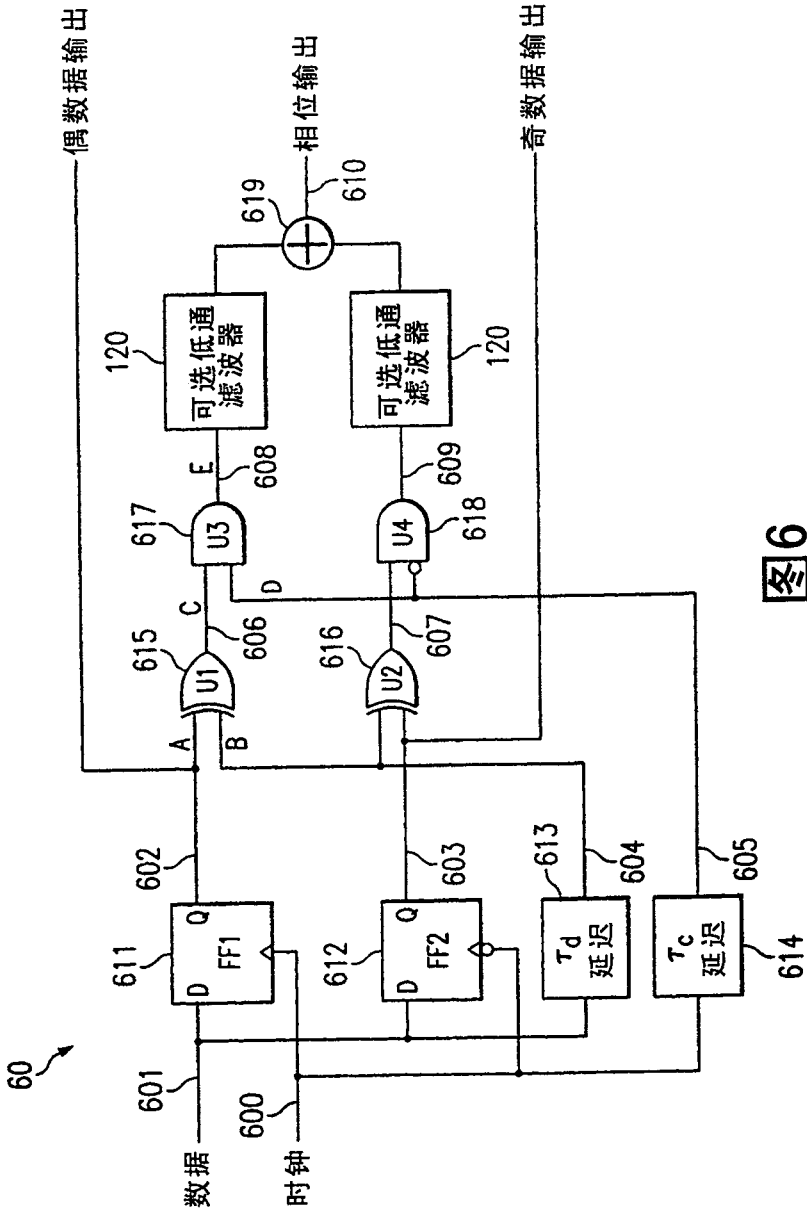


图6

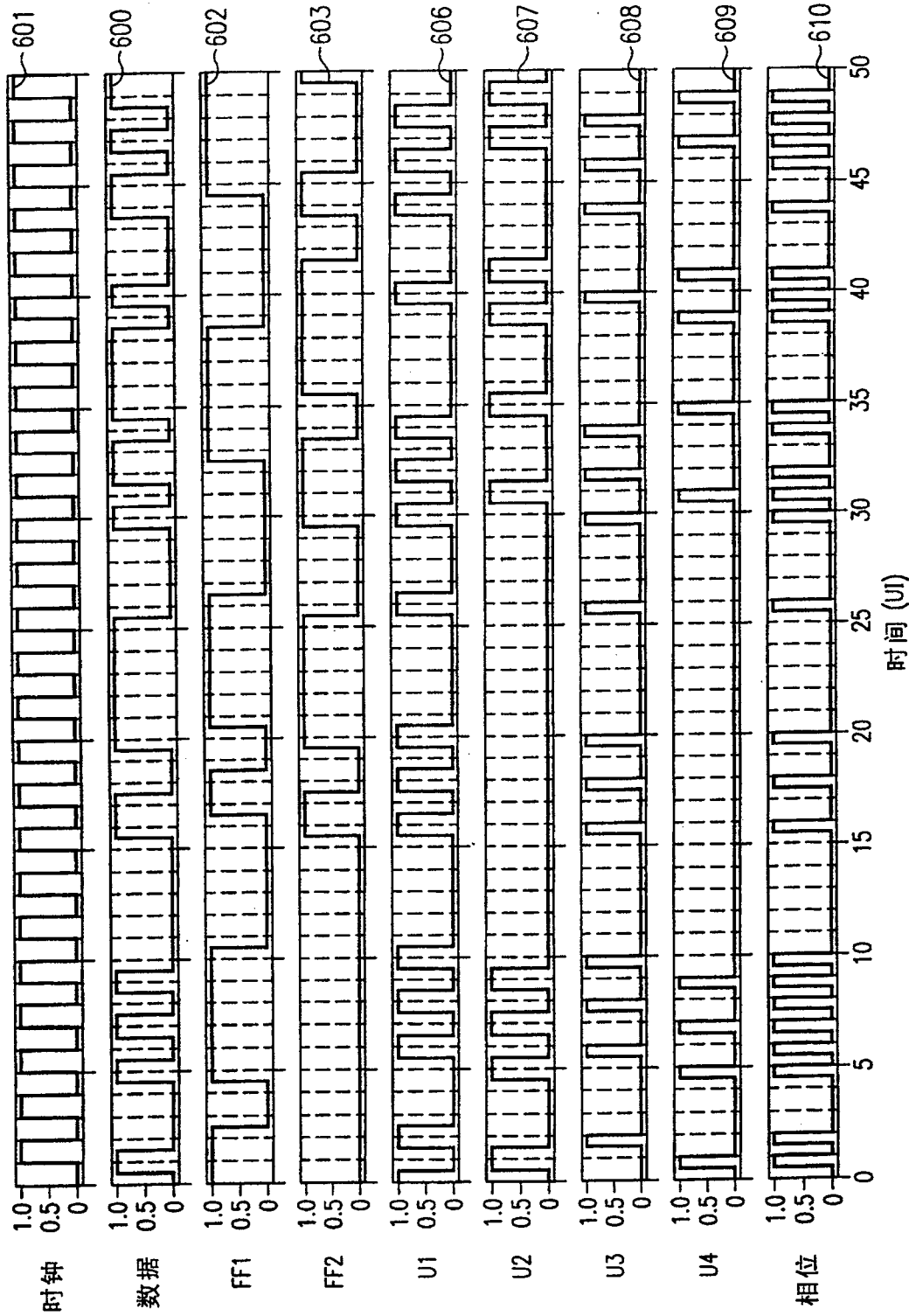
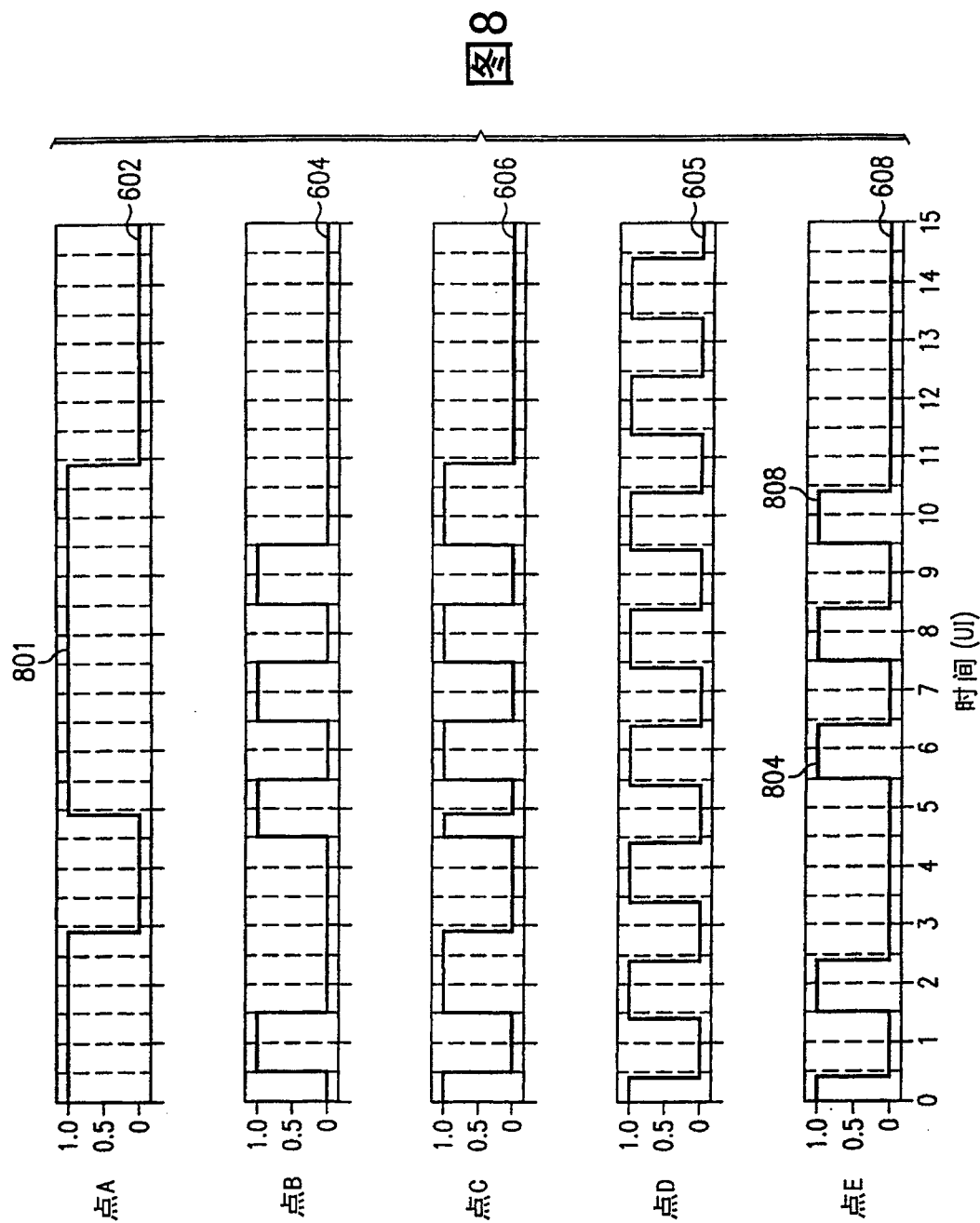
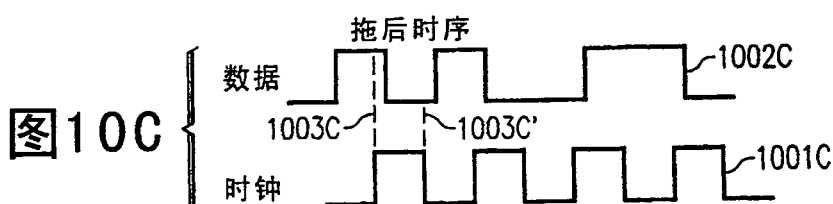
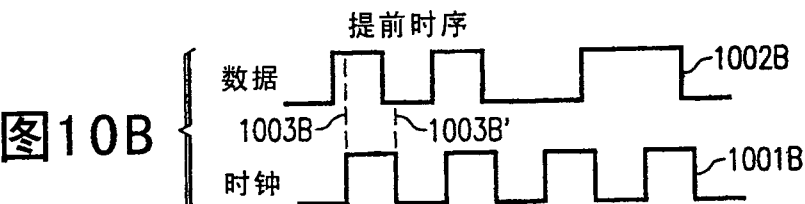
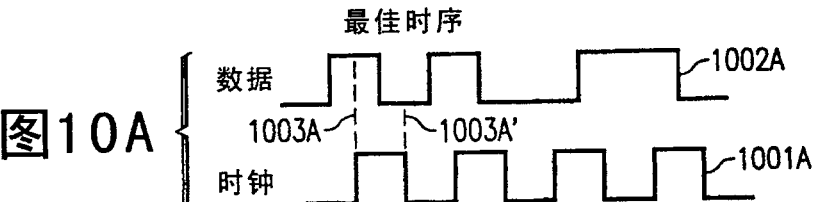
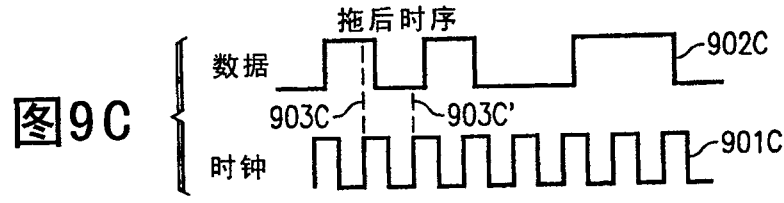
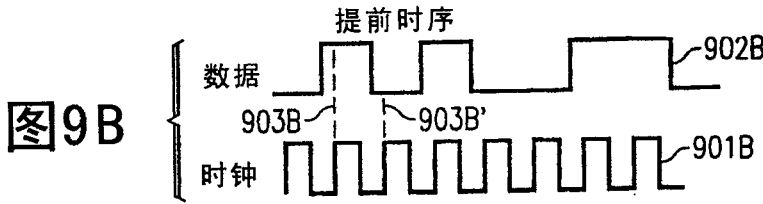
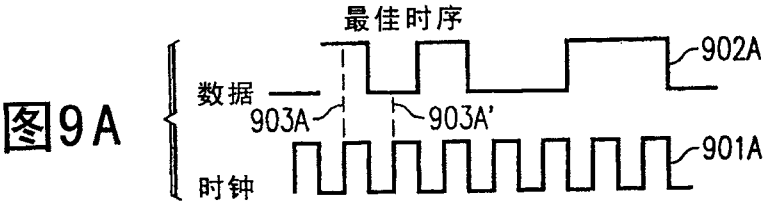
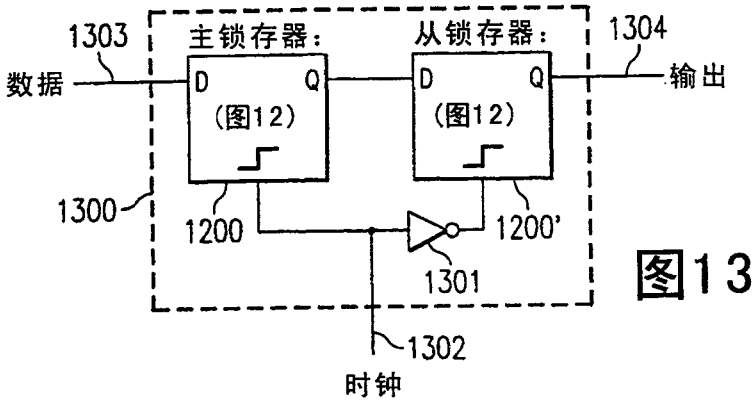
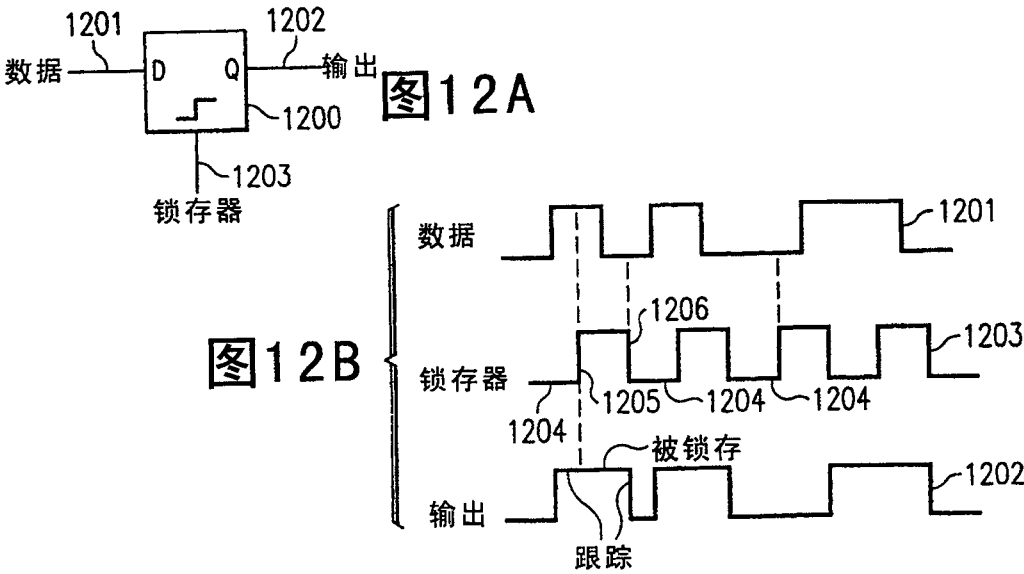
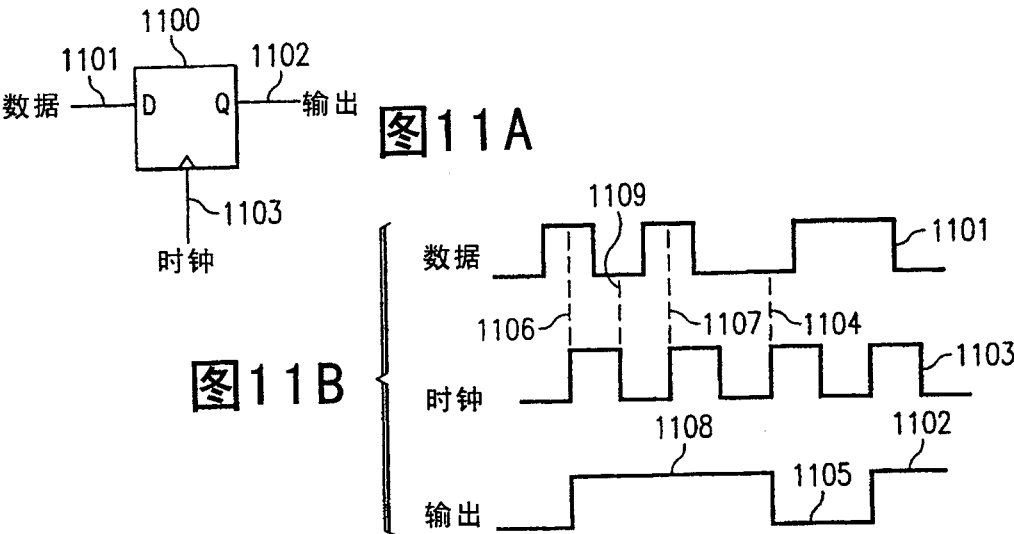


图7







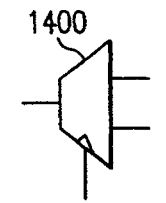
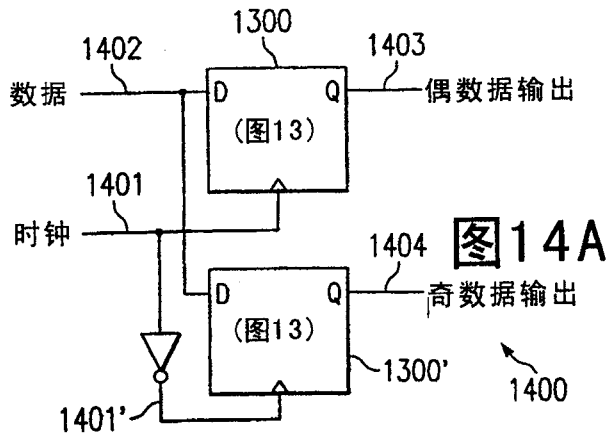


图14C

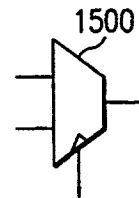
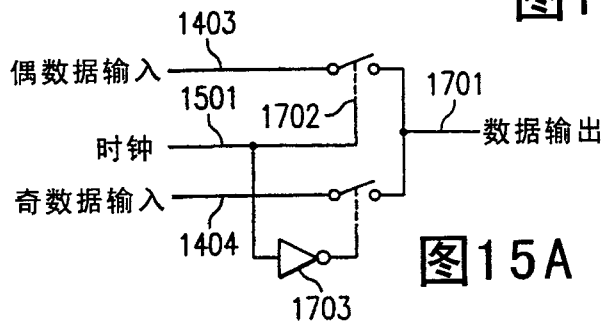
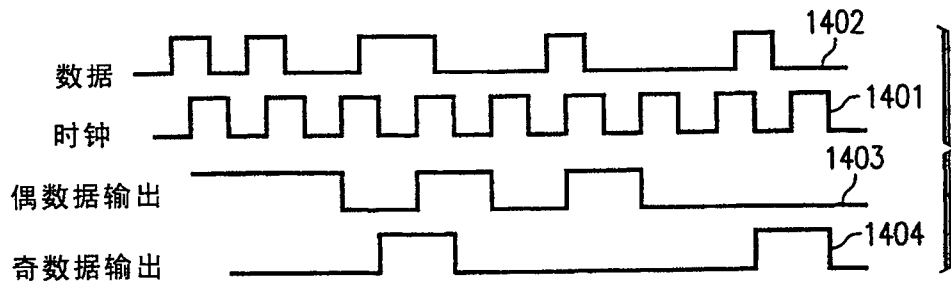
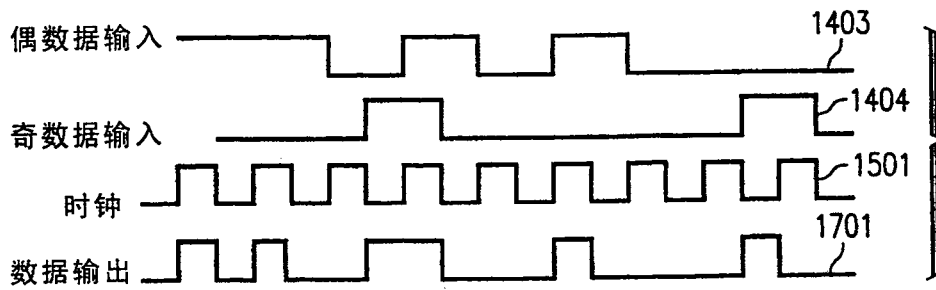
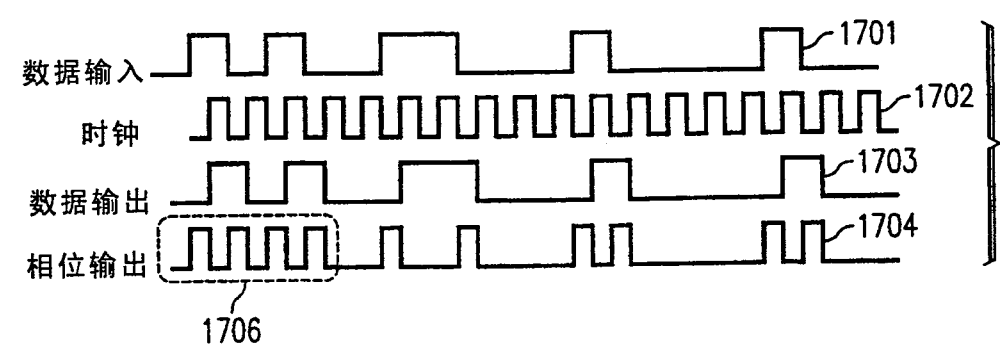
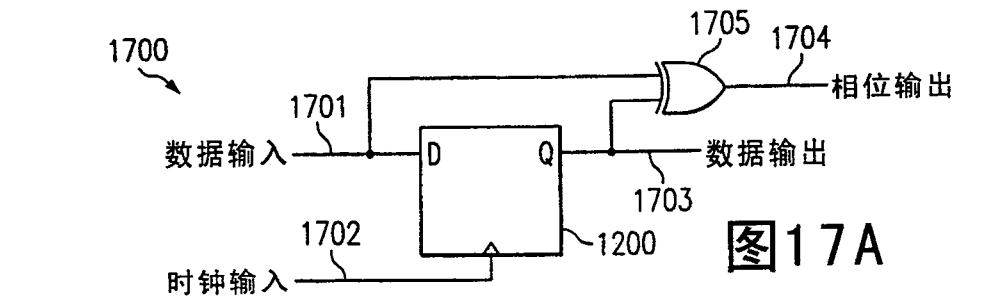
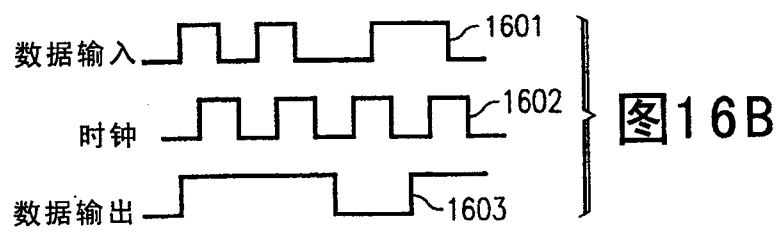
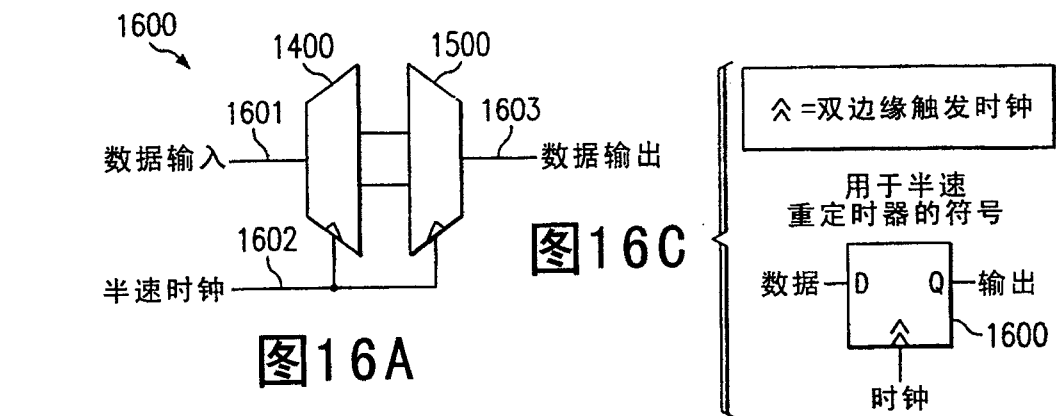


图15C





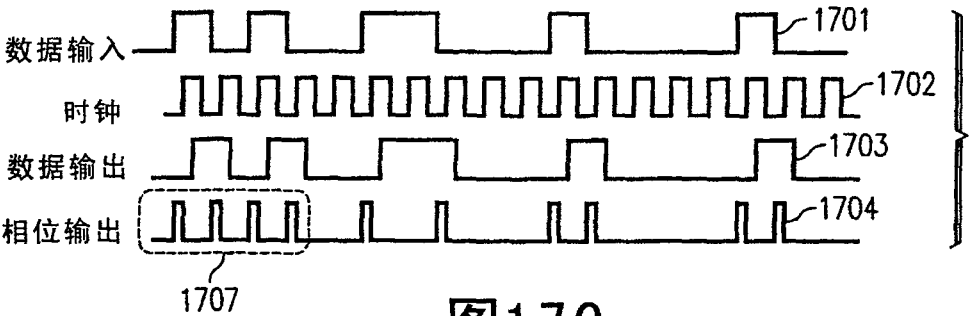


图17C

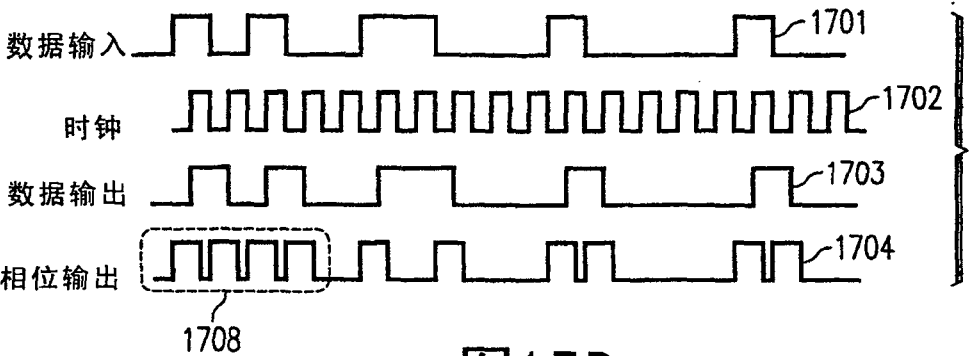


图17D

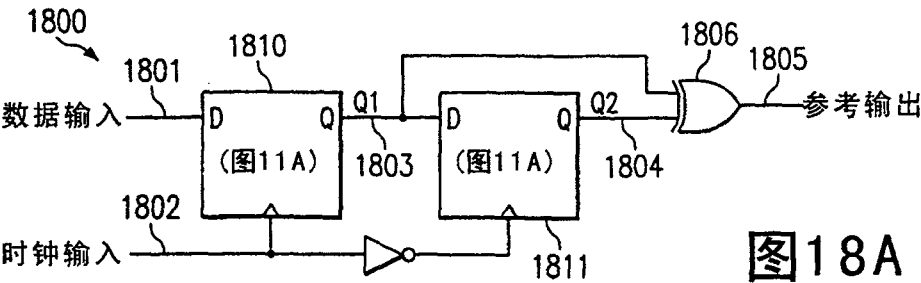


图18A

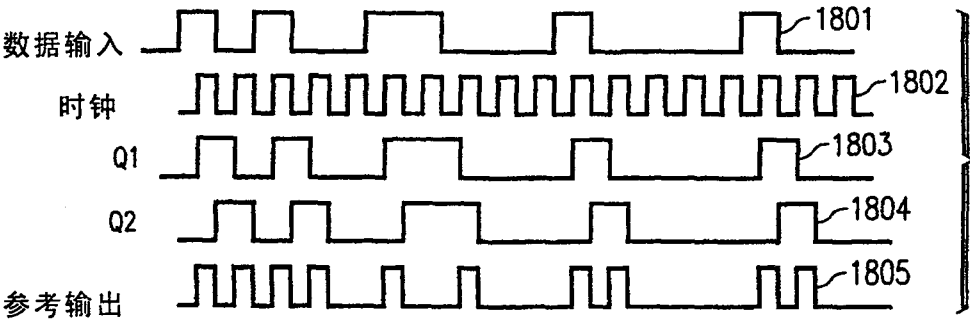


图18B

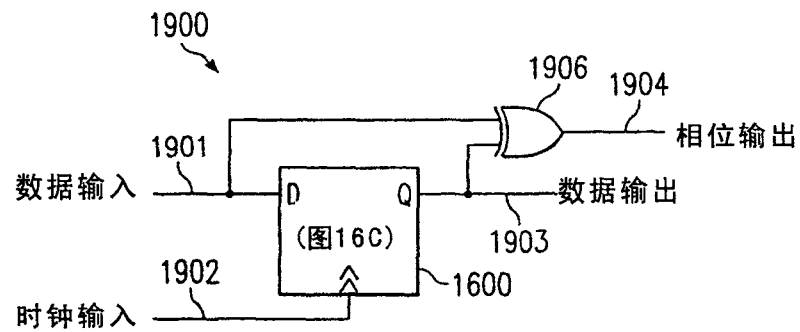


图19A

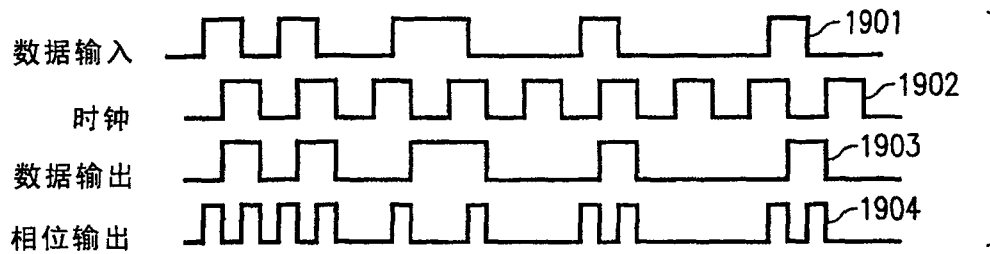


图19B

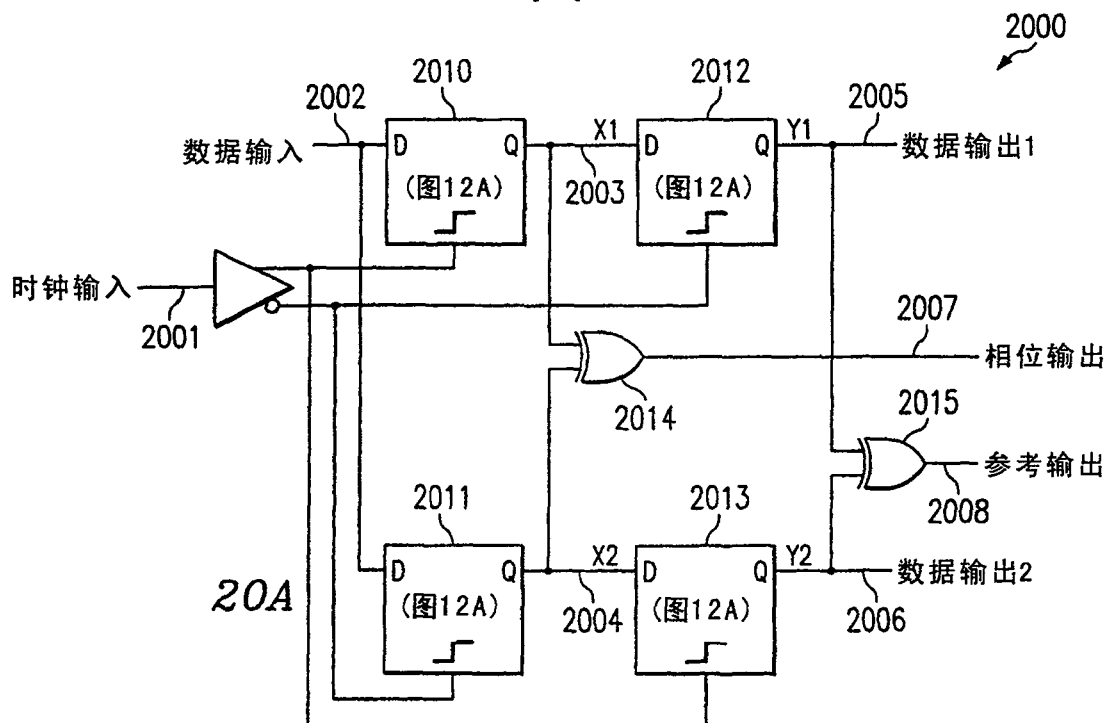


图20A

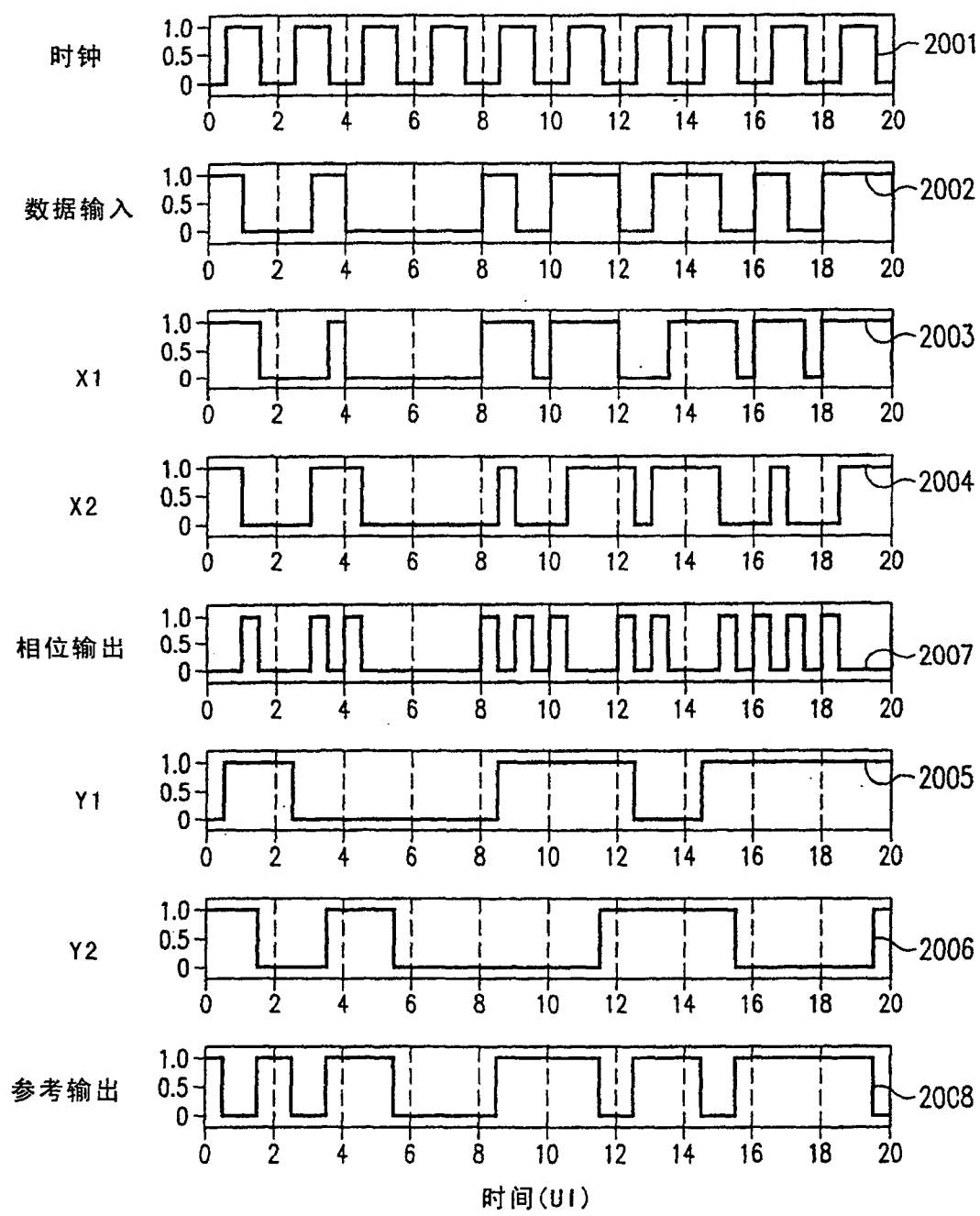


图20B

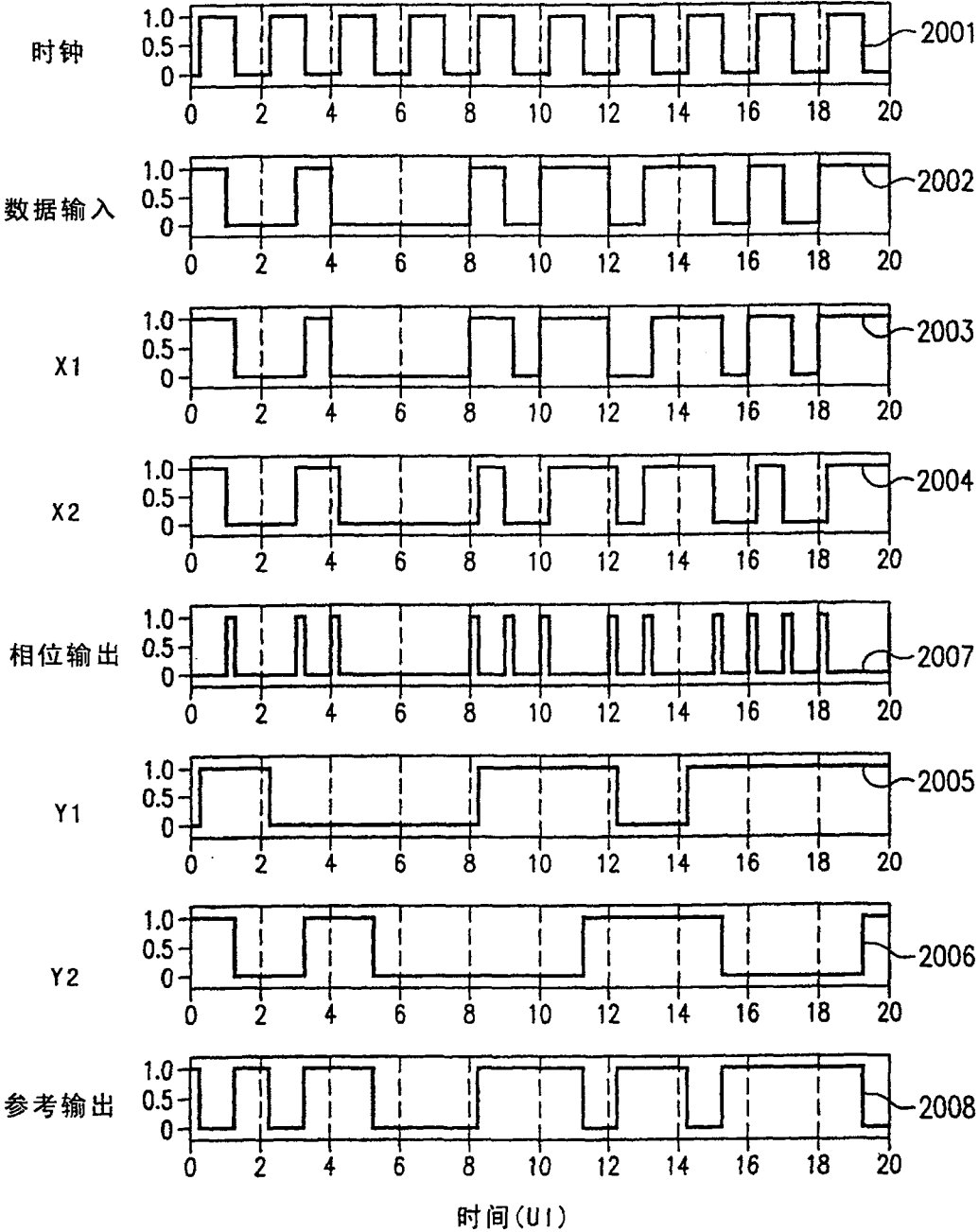


图20C

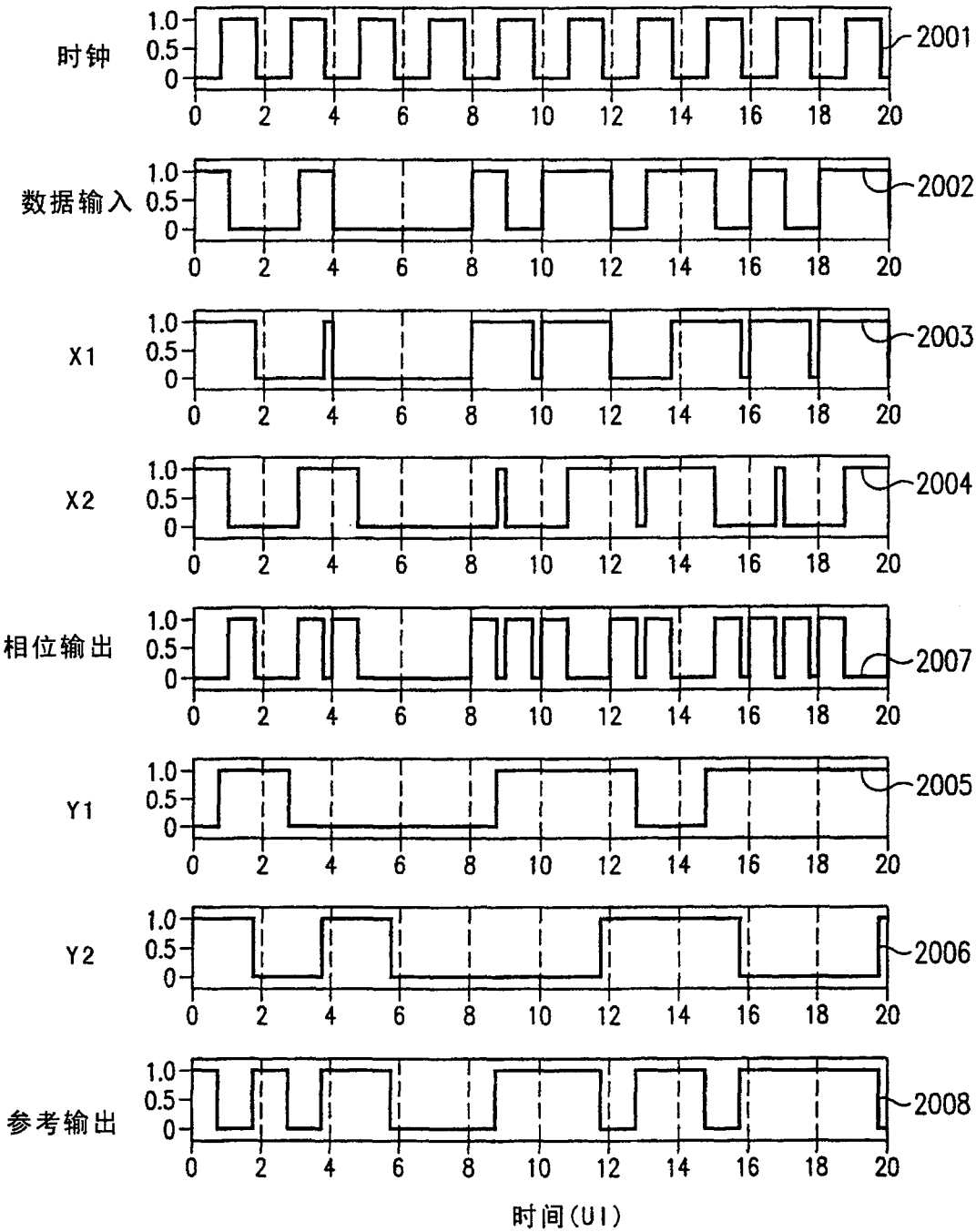


图20D