



(12) 发明专利

(10) 授权公告号 CN 1716623 B

(45) 授权公告日 2015.07.29

(21) 申请号 200510063618.3

(22) 申请日 2005.03.28

(30) 优先权数据

10/816,077 2004.03.30 US

(73) 专利权人 豪威科技有限公司

地址 美国加利福尼亚州

(72) 发明人 真锅素平 野崎英骏

(74) 专利代理机构 广州三环专利代理有限公司

44202

代理人 戴建波

(51) Int. Cl.

H01L 27/146(2006.01)

H04N 5/335(2011.01)

H04N 5/374(2011.01)

审查员 王光军

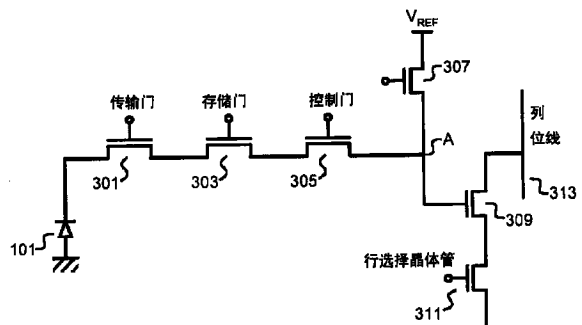
权利要求书1页 说明书5页 附图5页

(54) 发明名称

混成电荷耦合的 CMOS 图像传感器

(57) 摘要

本发明公开了一种将 CCD 技术融入到 CMOS 图像传感器中的有源像素。每个像素包括一个用来将传感节点复位的复位晶体管；该有源像素包括一个在传感节点上被信号调制的放大晶体管。感光元件，如光电二极管，其信号被传输门有选择地读出，并选择性地存储在存储门，而且最终被控制门读出到传感节点上。在存储门下面是一个存储阱，其可用来存储像素，并可将来感光元件输出的信号存储下来。



1. 一种有源像素,其包括:  
形成在半导体衬底上的感光元件,  
与所述感光元件相邻的传输门,以将所述感光元件的信号传输出;  
与所述传输门相邻的第一存储门;  
与所述的第一存储门相邻的第二存储门;  
与所说的第二存储门相邻的控制门,以将所说的信号传输到传感节点上;以及  
由所述传感节点控制的放大晶体管;  
其中,所述的感光元件选自于销接式光电二极管或部分销接式光电二极管;  
所说的第一和第二存储门被选择性地激活,以交替地存储来自于所述感光元件的信号;  
其中,所说的第一和第二存储门在高于 1000 赫兹的频率下运行。
2. 如权利要求 1 所述的有源像素,其中,当所说的两个存储门中任何一个被激活时,在该相应的存储门下面的衬底上,形成一个存储阱,该存储阱能够存储来自所述感光元件的信号。
3. 如权利要求 1 所述的有源像素,其中,所说的第一和第二存储门、所说的传输门和所说的控制门都在多晶硅的同一层中形成。
4. 如权利要求 1 所述的有源像素,其进一步包括一个复位晶体管,该复位晶体管可控地将所述传感节点复位到参考电压。

## 混成电荷耦合的 CMOS 图像传感器

### 技术领域

[0001] 本发明涉及图像传感器,更具体地讲,本发明涉及采用电荷耦合技术来实现帧存储器的 CMOS 图像传感器,。

### 背景技术

[0002] 图像传感器技术分为两大类:电荷耦合器件(CCD)和 CMOS 图像传感器。每一类的优点都在文献中有详细的描述。例如,CMOS 图像传感器在能量消耗、制造成本和电路集成方面具有优势,而 CCD 则在某些高端应用上具有一定的优势。

[0003] 一直以来人们都想把两种技术结合起来,从而使图像传感器具有两者的优势。例如,美国专利 U. S. P. 5, 625, 210 试图将 CCD 图像传感器常用的插入式光电二极管(pinned photodiode,也可称作销接式光电二极管或 PIN 光电二极管)工艺与 CMOS 控制电路结合起来。

[0004] 本发明的目的就是 will 将 CCD 技术的某些特征融入到 CMOS 图像传感器中。

### 发明内容

[0005] 为实现上述目的,本发明提供了一种有源像素,其包括:

[0006] 形成在半导体衬底上的感光元件;

[0007] 与该感光元件相邻的传输门,以将该感光元件的信号传输出;

[0008] 与该传输门相邻的存储门;

[0009] 与该存储门相邻的控制门,以将上述信号传输到传感节点;以及

[0010] 由该传感节点所控制的放大晶体管。

[0011] 其中,感光元件可以选自于光电二极管、插入式光电二极管、部分插入式光电二极管或光电门;存储门被激活时可在该存储门下面的衬底中形成存储阱,该存储阱能够存储来自感光元件的信号;放大晶体管将放大的信号输出到列位线。

[0012] 上述的有源像素还可进一步包括复位晶体管,该复位晶体管可控地将上述传感节点复位到参考电压。

[0013] 上述的有源像素中,可以包括两个存储门。

[0014] 上述的有源像素中,可以包括形成在存储门下面的半导体衬底表面上的 p 层。该 p 层下面可以进一步形成 n 沟道(n-channel)。

[0015] 另一方面,本发明也提供了一种设备,该设备包括:

[0016] 第一像素,该第一像素又包括:

[0017] 形成在半导体衬底上的第一感光元件;

[0018] 与该第一感光元件相邻的第一传输门,以将该第一感光元件的第一信号传输出;

[0019] 与该第一传输门相邻的第一存储门;

[0020] 与该第一存储门相邻的第一控制门,以将第一信号传输到传感节点上;

[0021] 第二像素,该第二像素又包括:

[0022] 形成在半导体衬底上的第二感光元件；  
[0023] 与该第二感光元件相邻的第二传输门，以将该第二感光元件的第二信号传输出；  
[0024] 与该第二传输门相邻的第二存储门；  
[0025] 与该第二存储门相邻的第二控制门，以将第二信号传输到传感节点上；  
[0026] 与上述输出节点耦合的复位晶体管，其将输出节点复位到参考电压；  
[0027] 以及与传感节点耦合的输出晶体管。  
[0028] 本发明的 CMOS 图像传感器融入了 CCD 的技术某些特征，因而具有这两种技术的优点。

[0029] 下面，结合附图来详细地说明本发明。

[0030] 附图简介

[0031] 图 1 是现有技术中用于 CMOS 图像传感器的三晶体管有源像素的示意图。

[0032] 图 2 是现有技术中用于 CMOS 图像传感器的四晶体管有源像素的示意图。

[0033] 图 3 是本发明中有源像素的示意图。

[0034] 图 4 是图 3 中所示有源像素的部分剖面图。

[0035] 图 5 是使用了共享晶体管的本发明另一实施方案的示意图。

[0036] 图 6 是使用了附加存储门的本发明又一实施方案的示意图及剖面图。

[0037] 图 7 是使用了存储门之下的 P 型衬底和一个附加控制门的本发明再一实施方案的示意图及剖面图。

[0038] 具体内容

[0039] 在下面的说明中，通过对本发明具体实施方式的描述，来了解本发明的诸多具体细节。但所属领域的熟练技术人员可以认识到，在没有这些具体细节中的一个或多个的情况下仍能实施本发明，或者采用其它方法、元件等的情况下仍能实施本发明。另外，为了清楚地描述本发明的各种实施方案，因而对众所周知的结构和操作没有示出或进行详细地描述。

[0040] 在本发明的说明书中，提及“一实施方案”或“某一实施方案”时是指该实施方案所述的特定特征、结构或者特性至少包含在本发明的一个实施方案中。因而，在说明书各处所出现的“在一实施方案中”或“在某一实施方案中”并不一定指的是全部属于同一个实施方案；而且，特定的特征、结构或者特性可能以合适的方式结合到一个或多个的具体实施方案中。

[0041] 本发明将 CCD 技术的某些特征融入了 CMOS 工艺技术。图 1 是现有技术中使用三个晶体管的 CMOS 有源像素。感光元件 101 输出用于调制放大晶体管 105 的信号。该放大晶体管也就是大家熟知的源跟随晶体管 (source follower transistor)。感光元件 101 可以是各种器件中的一种，包括但不限于光电门、光电二极管、插入式光电二极管、部分插入式光电二极管等等。

[0042] 在积分周期中，感光元件 101 获取光，并根据照射到感光元件 101 上的光信号的总量输出信号。该信号用于调制放大晶体管 105。在积分周期之后，复位晶体管 103 将感光元件输出节点的水平复位到参考水平。最后，行选择晶体管 107 用于像素寻址，并选择性地像素中的的信号读出到列位线 109。

[0043] 图 2 在许多方面与图 1 中的三晶体管有源像素相似，只是多了一个传输晶体管

201,用于将感光元件 101 输出的信号传输到浮动节点 A。虽然四晶体管有源像素因为传输门 201 在尺寸上有些变大,但仍比图 1 中三晶体管有源像素具有优势。

[0044] 图 3 是本发明中所形成的有源像素。在该有源像素中,感光元件 101 通过三个门即传输门 301、存储门 303 和控制门 305 将信号传输到传感节点 A。其中,感光元件 101 包括但不限于光电门、光电二极管、插入式光电二极管(光电二极管的亚类)、部分插入式光电二极管(光电二极管的亚类)和诸如此类的元件。

[0045] 一旦来自于感光元件 101 的信号在传感节点 A 上,其电路与现有技术相似,包括一个复位晶体管 307、一个放大晶体管 309 和一个行选择晶体管 311。传感节点 A 上的信号用于调制放大晶体管 309,使放大的信号适合加到列位线 313 上。在该实施方案中行选择晶体管 311 用来选择性地为有源像素寻址。

[0046] 通过包括存储门 303 和控制门 305,每个有源像素可以以类似于 CCD 图像传感器的方式包括有存储器。特别地,一旦感光元件 101 完成积分过程,传输门 301 和存储门 303 就被激活。具体地讲,电压 ( $V_{on}$ ) 加到传输门 301 和存储门 303 上。注意,对于 p 型衬底来说,电压 ( $V_{on}$ ) 是正压,而对 n 型衬底来说, $V_{on}$  是负压;而且, $V_{on}$  的精确度是由像素的各种设计参数所决定的电压,但通常可从  $V_{dd}$  或者  $V_{cc}$  推算出来。

[0047]  $V_{on}$  施加到传输门 301 和存储门 303 上,将在存储门 303 之下形成一个势阱(存储阱 401)。而且,通过在传输门 301 上施加电压,由感光元件 101 所产生的电荷(信号)将会流向存储门之下的存储阱 401。

[0048] 当传输门 301 返回到静态电压(0 电压或者其他一些固定偏压)存储门 303 则能保持在  $V_{on}$ 。这将导致来自感光元件 101 的信号保持在存储阱 401。为了将电荷从存储阱 401 传递到传感节点 A,当存储门 303 返回到静态时,将控制门 305 激活。而这将导致信号从存储阱 401 传输到传感节点 A。这同样是在控制门 305 和存储门 303 的控制之下。

[0049] 一旦来自感光元件 101 的信号被加到传感节点 A 上,有源像素的操作类似于图 1 和 2 中的现有技术。也就是说,在传感节点 A 上的信号由复位晶体管 307 定期复位。而且,该传感节点上的信号用于调制放大晶体管 309,将放大信号输出到列位线 313。行选择晶体管 311 用来选择性地为像素寻址。

[0050] 图 4 是感光元件(在此为光电二极管)101、传输门 301、存储门 303、控制门 305 和存储阱 401 的半导体衬底剖面图。传输门 301、存储门 303 和控制门 305,被绝缘介质如薄层门极氧化层从半导体衬底分离开来。传感节点 A 也在图中有所描述。传输门 301 与感光元件 101 相邻。这里所用的术语“相邻”包括无覆盖的、覆盖的或校准的情况,而且可能随不同的设计参数而改变。在任何情况下,传输门 301 应位于便于使感光元件 101 的电荷进行传输的位置。

[0051] 可以理解,图 3-4 所示的是图像传感器像素阵列中只有一个像素的情况。在许多具体的实施方案中,图像传感器像素阵列中的像素数量可在几百到几百万个之间。通常,图像传感器像素阵列具有许多按行和列排列的像素。但是,本发明只是针对单一像素的内部结构,而这种像素可以用于各种结构中。

[0052] 如图 4 所示,感光元件 101 所产生的信号(电子),可以通过激活传输门 301 和存储门 303 而进行传输。这种传输使信号从包括感光元件 101 的光电二极管的 N 阱中,传输到存储阱 401。控制存储门 303 和控制门 305,使得该信号要么存储在存储阱 401 中,要么

传输到传感节点 A。例如,控制晶体管 305 可在所需时被激活,使该信号从存储阱 401 中读出到传感节点 A。

[0053] 本发明像素的结构以及其所包括的存储阱 401,使其具有“帧曝光”的能力。也就是说,使用本发明的有源像素的图像传感器,可以用入射光对整个阵列进行曝光,并将整个图像(帧)存储在存储阱 401 中。这个与现有技术中图像传感器常用的光栅扫描读出技术完全相反,而且,采用合适的工艺设计,存储阱 401 可将感光元件 101 获取的信号存储相当长的一段时间,这样就具有了较长的存储持续时间。

[0054] 尽管每个有源像素的门数增加,但可通过使用共享晶体管技术来缓和门数总量的增加。从图 5 中可以看出,两个或更多个的相邻像素可以共用一个复位晶体管和一个放大晶体管。因此,通过合适的读出过程的时间分配,两个或更多个的像素可以共用晶体管,从而减少在图像阵列中所要求的晶体管的总量。有关这类共享晶体管结构的细节可参阅 2004 年 2 月 4 日申请的、发明名称为“CMOS IMAGESENSOR USING SHARED TRANSISTORS BETWEEN PIXELS”的美国第 10/771,839 号专利申请,此处作为本发明的参考文献。

[0055] 而且,图 6 和图 7 中描述了另外的具体实施方案。尽管图 3 和图 4 中的具体实施方案描述了本发明的基本概念,但在该实施方案中,当信号电荷保持时,存储门 303 下的硅表面耗尽。这种耗尽会导致硅表面有相当大的漏电流。而下面描述的具体实施方案则可减少硅表面漏电流的量。

[0056] 图 6 描述了本发明的另一具体实施方案的示意图和剖面图。与前面的实施方案相似,传输门与光电二极管相邻。但是,除了存储门 1 和控制门,增加了一个存储门 2,该存储门 2 位于传输门和传感节点 A 之间。而且,为了制造上更加方便,第一和第二存储门、传输门和控制门都在多晶硅的同一层上制造。

[0057] 在操作时,存储门 1、存储门 2 和控制门起初都被打开,使这些门下的区域复位。然后,存储门 1、存储门 2 和控制门被顺序关闭。通过打开传输门和存储门,入射光在光电二极管中产生的信号,经由传输门被传输到存储门 1 的下面。此时,存储门 2 处于关闭状态。然后,传输门被关闭。这个结果导致信号被保持在存储门 1 之下。

[0058] 下一步,当存储门 1 关闭时打开存储门 2。同时,信号被保持在存储门 2 之下。

[0059] 接着,当存储门 2 关闭时打开存储门 1。信号被传输回存储门 1 之下。因此,信号在存储门 1 和 2 之间来回传输。在某一具体的实施方案中,来回传输的频率在 1000 赫兹以上。这种来回传输不断进行,直到信号电荷被源跟随器读出到列位线。

[0060] 图 6 中的具体实施方案可减少硅表面的漏电流。硅表面的漏电流被认为与硅表面的慢表面态有关。慢表面态通常不能对 1000 赫兹以上的驱动作出反应。因此,当存储门 1 和 2 以高于 1000 赫兹的频率下转换开和关时,不会增加硅表面的漏电流。但本发明并非限制在 1000 赫兹以上的变换频率,采用其它的一些机制,可以使本发明在 1000 赫兹以下的变换频率时,仍具有优势。

[0061] 图 7 是本发明的第三种实施方案的示意图和剖面图。该实施方案包括一个存储门以及在传输门和传感节点 A 之间的第一控制门和第二控制门。

[0062] 在这一具体实施方案中,存储门下的硅表面覆盖了一层 p 型层,以减少硅表面的漏电流。通过传统的掩模和植入可以形成 p 型层。在存储门和控制门下,在比 p 型层更深的区域形成 n 沟道(n-channel)。

[0063] 在运行时,通过打开存储门、控制门 1 和控制门 2 使 n 沟道复位。然后,控制门 2 关闭,存储门和控制门 1 打开。接着,存储门被设定到静态电压(0 或者负压)或者浮动。n 沟道势垒由控制门 1 下的势垒设定。然后,通过传输门的开和关,使来自光电二极管的信号电荷传输到存储门和控制门 1。然后,控制门 1 被关闭。此时,信号电荷被保持在存储门下的 n 沟道。

[0064] 注意,在又一具体实施方案中,控制门 2 可被省略。在这样的具体实施方案中,其结构与图 3 所示的结构相似,只是增加了 p 型层和 n 沟道。

[0065] 当信号电荷要被读出时,控制门 2 下的势垒被设定到某一势垒。然后,通过在控制门 1 上施加电压,使控制门 1 下的势垒被设定到比控制门 2 的势垒更浅的势垒。接着,存储门 1 被关闭。信号电荷随后通过控制门 1 和 2 传输到传感节点 A。这个结构也可减少硅表面的漏电流。由于存储门下的硅表面不被 p 型层耗尽,因而硅表面的漏电流也就很小。

[0066] 以上对本发明的描述仅是本发明最佳实施方式,并非是对本发明范围的限制。所属领域一般技术人员完全可以根据本发明进行各种改变或改进,但其仍属于本发明的保护范围。此外,各种掺杂类型可倒转,例如,上述 n 沟道晶体管可替换成 p 沟道晶体管。这类改变或改进以及其它的一些改变或改进,仍然没有偏离本发明的精神和保护范围。

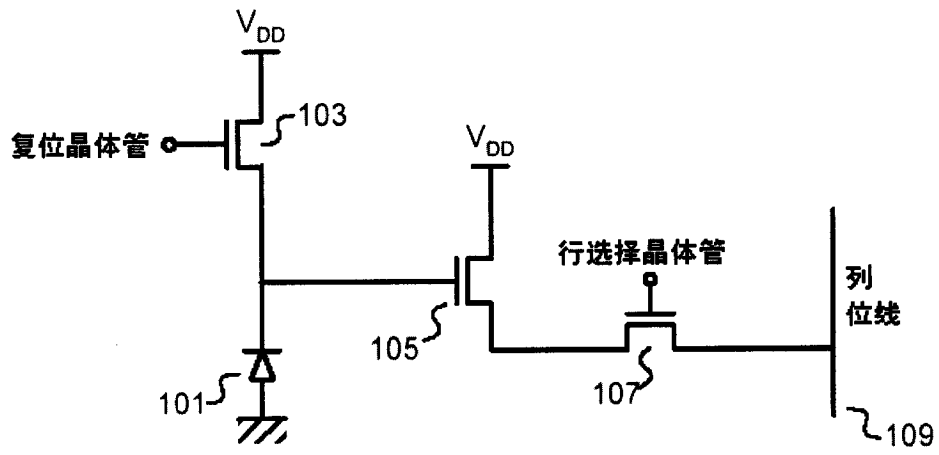


图 1(现有技术)

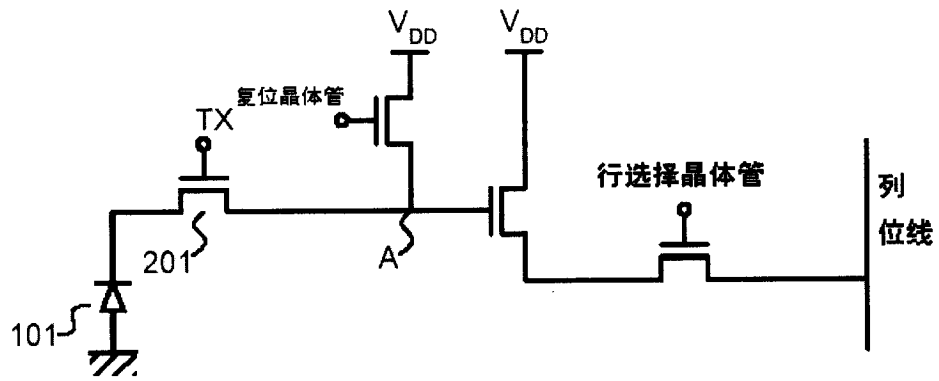


图 2(现有技术)

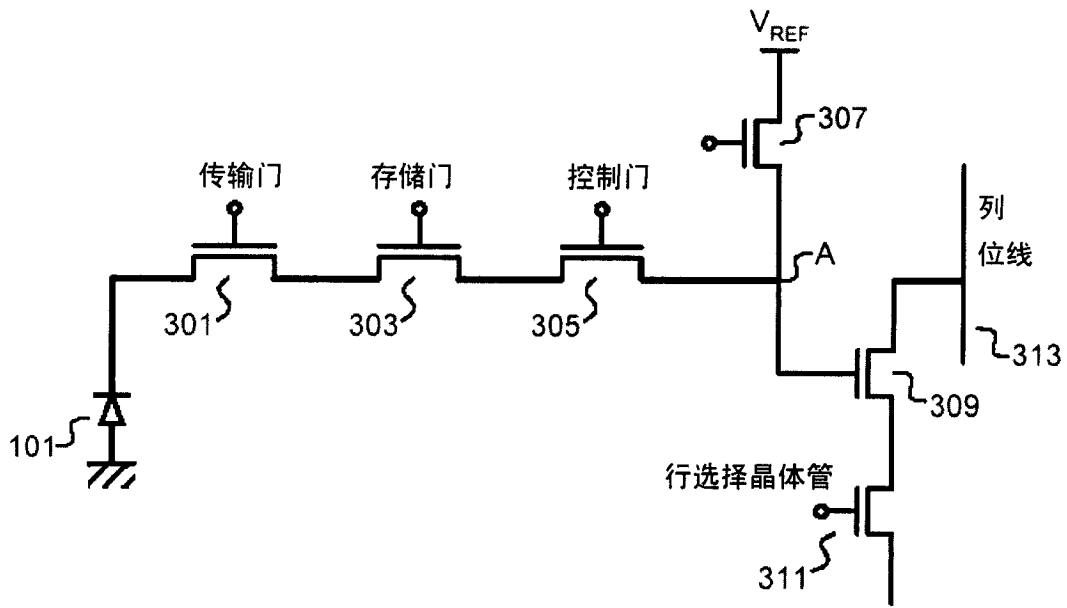


图 3

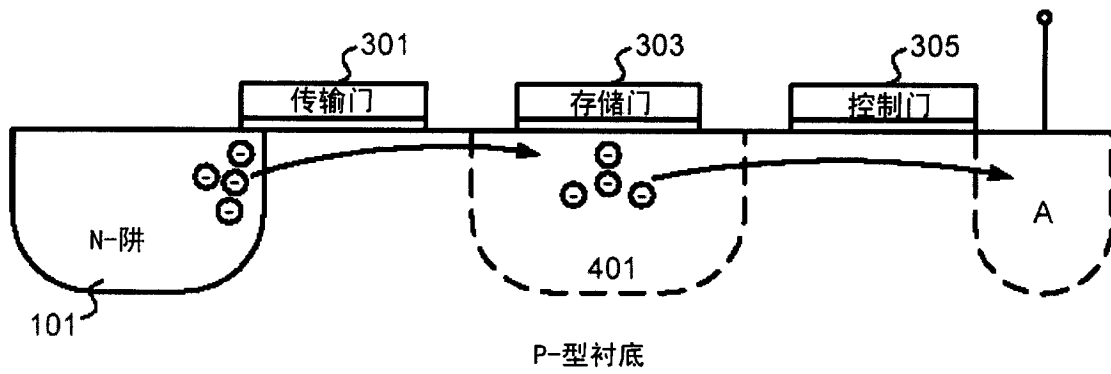


图 4

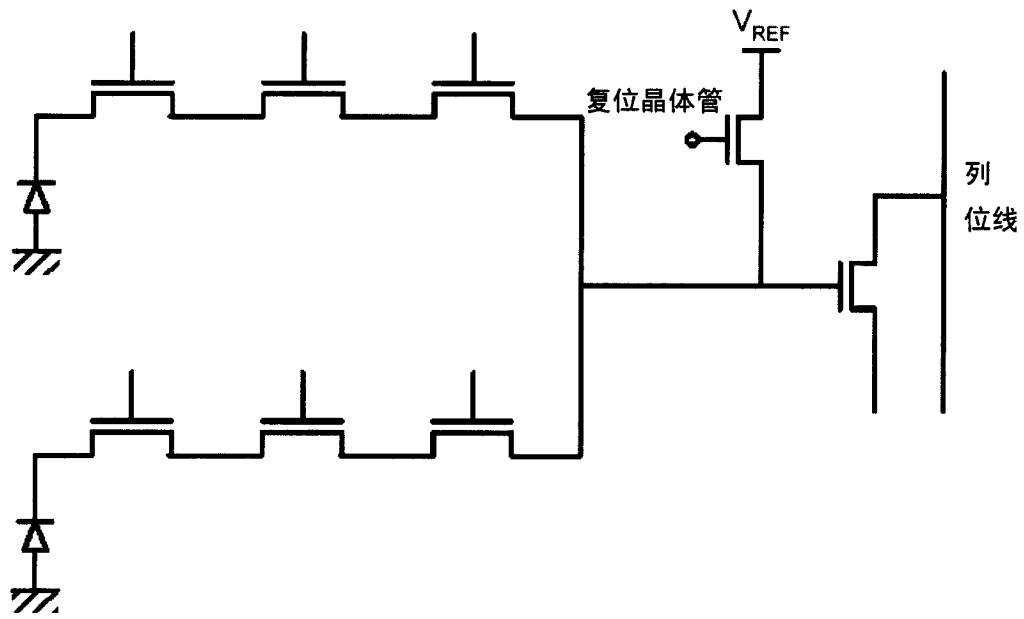
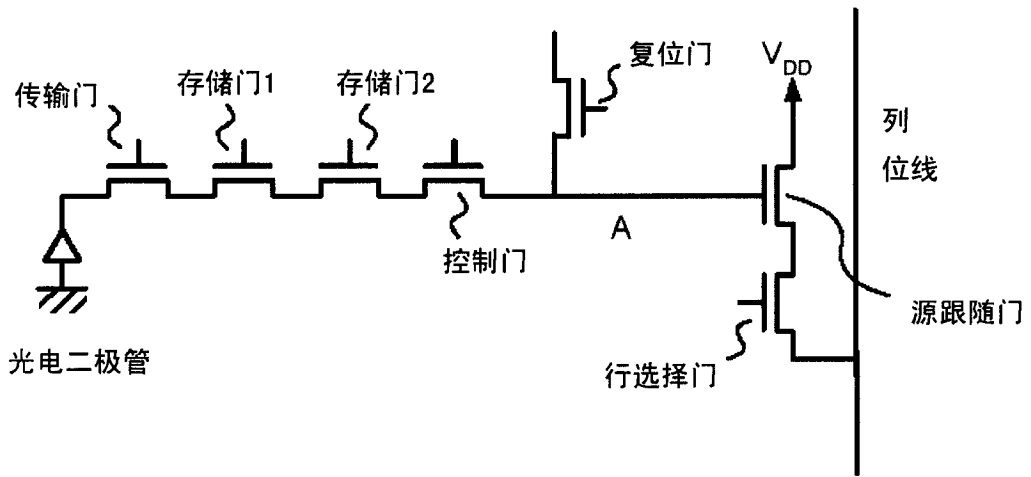
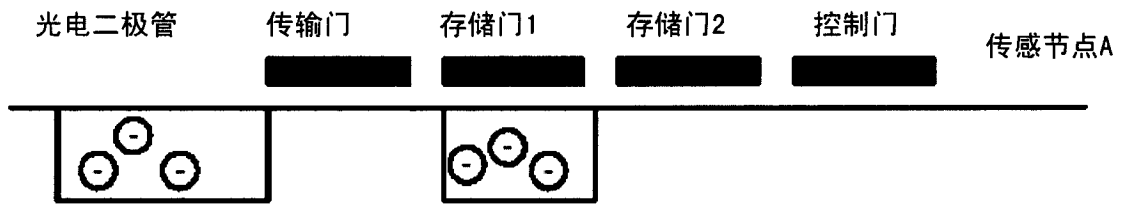


图 5



保持状态1



保持状态2

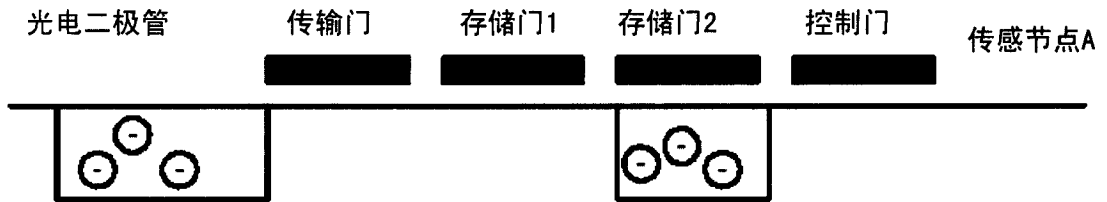
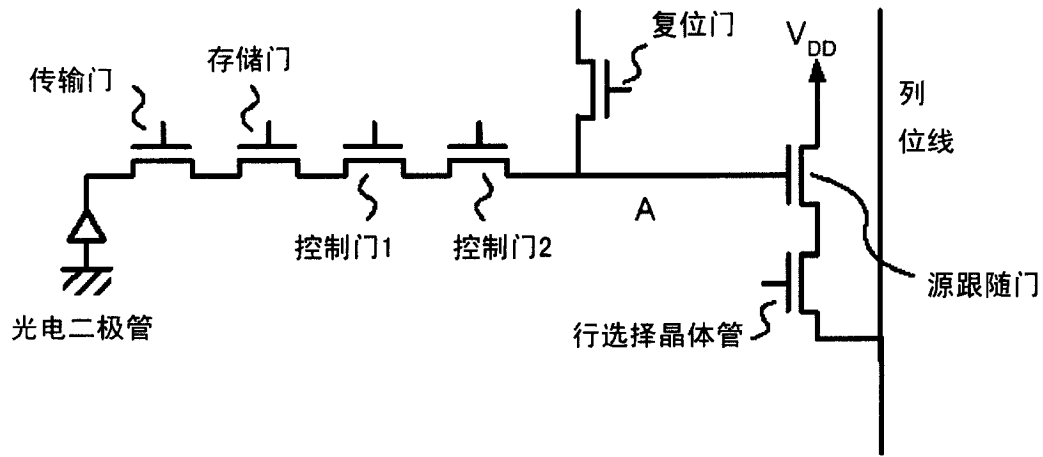


图 6



保持状态

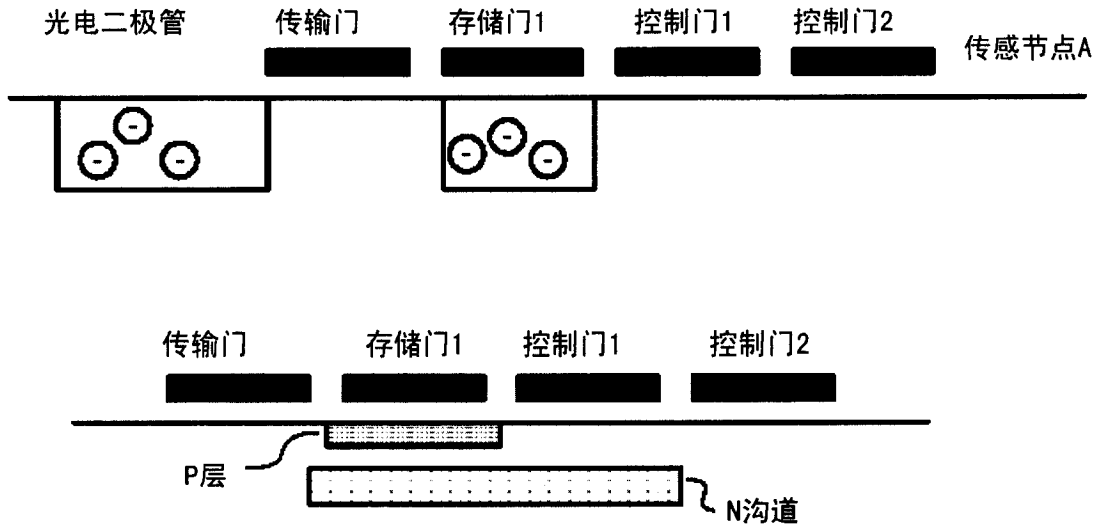


图 7