

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl.<sup>7</sup>  
H03M 1/36

(45) 공고일자 2005년04월25일  
(11) 등록번호 10-0468476  
(24) 등록일자 2005년01월19일

(21) 출원번호 10-1996-0013057  
(22) 출원일자 1996년04월26일

(65) 공개번호 10-1996-0043474  
(43) 공개일자 1996년12월23일

(30) 우선권주장 08/432,522 1995년05월01일 미국(US)

(73) 특허권자 톰슨 콘슈머 일렉트로닉스, 인코포레이티드  
미국 인디애나주 46290-1024 인디애나폴리스 노스 메리디안 스트리트 10330

(72) 발명자 마크 프랜시스 럼레이치  
미합중국, 인디애나, 인디애나폴리스, 인디언 레이크 볼바드 사 우스 10308

(74) 대리인 강승욱  
나영환  
이상섭  
김두규  
안성탁

심사관 : 나용수

(54) 아날로그-디지털 변환기 비교기의 기준 전압 제공 장치

요약

회로는 아날로그-디지털 변환기(10)내의 복수의 비교기(60)에 기준 전압을 제공하는데 필요한 저항기의 총 개수를 감소시킨다. 상기 회로에서, 제1 단자(1) 및 제2 단자(2)를 갖는 전압원(30)이 제1 단부 및 제2 단부와, 상기 단부들 사이에 복수의 탭을 갖는 단위 저항 스트링(50)에 결합된다. 제1 능동 장치(81)는 전압원(30)의 제1 단자(1)에 결합되는 입력과 단위 저항 스트링(50)의 제1 단부에 결합되는 출력을 갖는다. 제2 능동 장치(80)는 전압원(30)의 제2 단자(2)에 결합되는 입력과 단위 저항 스트링(50)의 제2 단부에 결합되는 출력을 갖는다.

대표도

도 2

명세서

도면의 간단한 설명

제1도는 본 발명의 장치를 내장한 n-비트 아날로그-디지털 변환기의 블록도.

제2도는 본 발명의 장치를 내장한 8 비트 아날로그-디지털 변환기의 개략도.

제3도는 본 발명의 바람직한 실시예에 사용될 수 있는 단위 전압 이득 전류 증폭기의 개략도.

제4도는 본 발명의 장치를 내장한 텔레비전 수상기의 블록도.

제5도는 종래 기술의 아날로그-디지털 변환기의 개략도.

< 도면의 주요 부분에 대한 부호의 설명 >

10 : 아날로그-디지털 변환기

20 : 전압원

30 : 제1 단위 저항 스트링

40 : 제1 능동 장치

41 : 제2 능동 장치

50 : 제2 단위 저항 스트링

60 : 비교기

70 : 디코더

80, 81 : 단위 전압 이득 전류 증폭기

100 : 텔레비전 수상기

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 통상적으로 아날로그-디지털 변환기에 관한 것으로, 특히, 플래시 아날로그-디지털 변환기의 비교기에 기준 전압을 제공하는 회로에 관한 것이다.

아날로그 전압을 n-비트 디지털 표시로 변환하는 것에 있어서, 전압원과, 복수의 탭을 갖는 저항기의 네트워크와, 병렬로 접속된 복수의 비교기 및 디코더 회로를 포함하는 회로 구성을 사용하는 것이 공지되어 있다. 이 구성에서, 전압원은 분압기를 형성하기 위해 저항기 네트워크 양단에 인가된다. 분압기의 복수의 탭 각각에서의 전압은 복수의 비교기 중 상이한 하나의 기준 입력에 공급된다. 아날로그 전압은 상기 비교기의 각각의 신호 입력에 공급된다. 임의의 비교기의 신호 입력에서의 아날로그 전압 레벨이 상기 비교기의 기준 입력에 존재하는 전압을 초과할 때, 상기 비교기의 출력은 "저" 레벨로부터 "고" 레벨로 스위치한다. 디코딩 회로는 상기 비교기의 출력에 기초하여 아날로그 신호의 디지털 표시를 제공한다.

상기 비교기들이 병렬로 접속되어 있으므로, 상기 아날로그 신호의 양자화는 즉각 이루어지지만, 이 변환 속도는 요구되는 소자 개수를 희생하여 달성된다. 예를 들어, 제5도에 도시된 종래 기술의 n-비트 아날로그-디지털 변환기는  $2^n$ 개의 비교기 및  $2^n$ 개의 저항기를 필요로 한다. 따라서, 종래 기술의 8-비트 아날로그-디지털 변환기는 256개의 저항기와 256개의 비교기가 필요하게 된다. 아날로그-디지털 변환기에 대해 소정의 동적 범위(dynamic range)를 제공하기 위해 전압원의 전압을 분압하는 추가의 저항기가 필요하다. 제5도를 다시 참조하면, 3.3 V와 같은 전압원( $V_{DD}$ )과 대략 1.0 V의 소정 동적 범위에 대해, 총 589개의 추가 저항기가 저항기 네트워크에 부가되어 상기 네트워크의 총 저항기 수는 845개가 된다.

상기 네트워크 내 각각의 저항기는 "단위" 저항기이어야 하고, 각각의 저항기는 상기 분압기의 정확도를 위해 다른 저항기와 동일해야 한다. 각각의 저항기가 동일하면, 전압원( $V_{DD}$ ), 동작 온도 및 집적 회로의 제조 공정에 따른 변동에도 불구하고 어느 한 저항기의 특성 변화가 다른 각 저항기들에 의해서 추적될 수 있다.

아날로그-디지털 변환기 내 복수의 비교기를 바이어싱하는 방법의 문제점은 집적 회로 내 단위 저항기 네트워크에 요구되는 면적의 크기에 관한 것이다. 각각의 저항기의 크기는 방산에 필요한 전력 및 제조 공정 고유의 허용 한계에 의해 결정된다. 전력 방산이 문제되지 않을 때, 상기 저항기들은 제조 공정의 정확도 한계요건을 충족시키는 최소 크기가 될 수 있다. 전력 방산은 일반적으로 제한 인자가 아니기 때문에, 상기 제조시의 허용 한계가 일반적으로 저항기의 크기를 나타낸다. 통상적으로, 현재의 제조시 허용 한계에 따르면 집적 회로 저항기의 크기가 10 미크론 미만보다 작은 것은 없다.

집적 회로 저항기는 단위 면적당 30  $\Omega$ 의 표준 저항률을 갖는 폴리실리콘형과 단위 면적당 100  $\Omega$ 의 표준 저항률을 갖는 확산형을 포함한다. 제5도를 또 다시 참조하면, 상기 저항기 네트워크 내 각각의 단위 저항기는 아날로그-디지털 변환기에 의해 요구되는 저출력 임피던스를 제공하기 위해 1.5  $\Omega$ 이다. 제조시 허용 한계에서는 상기 저항기의 크기가 10 미크론 이하가 되지 못한다는 점을 유의하여, 최소 1.5  $\Omega$  저항기는 200 미크론 폴리실리콘 저항기에 의해 10 미크론이 된다. 따라서, 상기 네트워크 내 각각의 저항기에 대해 집적 회로에 필요한 면적은 0.002mm<sup>2</sup>이고, 845개의 저항기의 전체 네트워크에 대해 필요한 면적은 1.7mm<sup>2</sup>이다.

디지털 기술의 사용이 더욱 더 보급될수록 아날로그-디지털 변환에 대한 요구도 늘어난다. 집적 회로에서 각각 저항기 네트워크를 구비하는 다중 아날로그-디지털 변환기를 사용하는 빈도가 늘어나면 날수록, 각각의 아날로그-디지털 변환기에서 저항기 네트워크가 차지하는 면적의 최소화는 더욱 중요하게 된다.

본 명세서에 기재되어 있는 본 발명의 장치에 따른 회로는 플래시 아날로그-디지털 변환기내의 복수의 비교기에 기준 전압을 제공하는데 필요한 저항기 총 수를 감소시킨 것이다. 따라서 아날로그-디지털 변환기에 전용되는 집적 회로상의 면적이 감소될 수 있다.

상기 회로는 전압원과, 상기 전압원에 결합되고 복수의 제1탭을 갖는 제1 단위 저항 스트링과, 제1 단부 및 제2 단부를 갖고 상기 단부들 사이에 복수의 제2탭을 갖는 제2 단위 저항 스트링과, 상기 복수의 제1탭 중 첫번째 탭에 결합되는 입력과 상기 제2 단위 저항 스트링의 제1 단부에 결합되는 출력을 갖는 제1 능동 장치, 및 상기 복수의 제1탭 중 두번째 탭에 결합되는 입력과 상기 제2 단위 저항 스트링의 제2 단부에 결합되는 출력을 갖는 제2 능동 장치를 포함한다.

상기 회로는 복수의 제2탭 중 상이한 탭에 각각 결합된 제1 세트의 입력을 갖는 복수의 비교기를 포함할 수 있다. 상기 복수의 비교기는 아날로그 전압에 각각 결합되는 제2 세트의 입력을 포함할 수 있다. 상기 비교기들의 복수의 출력은 상기 복수의 비교기의 출력을 디코딩하는 수단에 결합될 수 있다. 상기 제1 능동 장치 및 제2 능동 장치는 단위 전압 이득 전류 증폭기를 포함할 수 있다. 상기 제2 단위 저항 스트링은 동작 온도와 전압원 모두에서의 변동을 보상한다.

본 명세서에 기재되어 있는 본 발명의 장치에 따른 회로를 내장한 아날로그-디지털 변환기는 제1 단자 및 제2 단자를 갖는 전압원과, 제1 단부 및 제2 단부와 상기 단부들 사이에 복수의 탭을 갖는 단위 저항 스트링과, 상기 전압원의 제1 단자에 결합되는 입력과 상기 단위 저항 스트링의 제1 단부에 결합되는 출력을 갖는 제1 단위 전압 이득 전류 증폭기와, 상기 전압원의 제2 단자에 결합되는 입력과 상기 단위 저항 스트링의 제2 단부에 결합되는 출력을 갖는 제2 단위 전압 이득 전류 증폭기와, 상기 복수의 탭 중 상이한 탭에 각각 결합된 제1 세트의 입력과 아날로그 전압에 각각 결합된 제2 세트의 입력을 갖는 복수의 비교기와, 상기 복수의 비교기의 출력을 디코딩하는 수단, 및 상기 아날로그 전압의 디지털 표시를 제공하는 수단을 포함한다.

본 명세서에 기재되어 있는 본 발명의 장치에 따른 회로를 내장한 픽처-인-픽처(picture-in-picture) 프로세서는 메인 비디오 신호원과, 상기 메인 비디오 신호를 메인 수평 동기 신호와 메인 수직 동기 신호로 분리하는 메인 동기 검출기와, 보조 비디오 신호원과, 상기 보조 비디오 신호를 보조 수평 동기 신호와 보조 수직 동기 신호로 분리하는 보조 동기 검출기와, 제1 단자 및 제2 단자를 갖는 전압원과, 제1 단부 및 제2 단부와 상기 단부들 사이에 복수의 탭을 갖는 단위 저항 스트링과, 상기 전압원의 제1 단자에 결합되는 입력과 상기 단위 저항 스트링의 제1 단부에 결합되는 출력을 갖는 제1 능동 장치 및 상기 전압원의 제2 단자에 결합되는 입력과 상기 단위 저항 스트링의 제2 단부에 결합되는 출력을 갖는 제2 능동 장치를 구비하는 상기 보조 비디오 신호용 아날로그-디지털 변환기와, 디지털화된 보조 비디오 신호를 저장하는 메모리와, 상기 메인 비디오 신호와 동기하여 상기 메모리로부터 디지털화된 보조 비디오 신호를 판독하는 수단과, 상기 동기화 및 디지털화된 보조 비디오 신호용 디지털-아날로그 변환기 및 상기 동기화된 메인 및 보조 비디오 신호를 합성하는 멀티플렉서를 포함한다.

본 발명에 따른 n-비트 아날로그-디지털 변환기(10)가 제1도에 도시된다. 상기 비트 아날로그-디지털 변환기(10)는 전압원(20), 제1 단위 저항 스트링(30), 한쌍의 능동 장치(40, 41), 제2 단위 저항 스트링(50), 복수의 비교기(60) 및 디코더(70)를 포함한다.

상기 전압원(20)에 의해 공급된 전압은 제1 단위 저항 스트링(30)에 의해 분압되어 각각의 능동 장치(40, 41)의 입력에 개별적으로 2개의 전압이 공급되고, 각 전압에 의해서 제공된 전류가 증폭된다. 능동 장치(40, 41)의 출력은 제2 단위 저항 스트링(50)의 양단에 인가되어 비교기(60)에 2<sup>n</sup>개의 기준 전압을 제공한다. 복수의 비교기(60) 각각은 그것의 기준 전압을 아날로그 전압과 비교한다. 복수의 비교기(60)의 출력은 디코더(70)에 결합되어 아날로그 전압의 n-비트 디지털 표시를 생성한다.

8 비트용 아날로그-디지털 변환기(10)의 상세한 개략도가 제2도에 도시된다. 전압원(20)은 3.3 V 와 동일한 외부 전압( $V_{DD}$ )을 공급한다.

전압( $V_{DD}$ )은 33개의 제1 단위 저항기(R1)가 상호 직렬 결합된 제1 단위 저항 스트링(30) 양단에 인가된다. 제1 단위 저항 스트링(30)은 외부 전압( $V_{DD}$ )을 노드(1, 2)에서 2개의 상이한 전압으로 분압하고, 이 분압은 단위 전압 이득 전류 증폭기(80, 81)의 입력에 각각 인가된다.

제2 단위 저항 스트링(50) 양단의 전압 강하가 최소 개수의 제1 단위 저항기(R1)를 갖고  $C_1$  내지  $C_{256}$ 으로 각각 표시되는 복수의 비교기(60)의 입력에 요구되는 동적 범위와 동일하도록, 제1 단위 저항 스트링(30)을 포함하는 제1 단위 저항기(R1) 개수 및 값이 결정된다. 제2도의 아날로그-디지털 변환기에서, 예컨대, 대략 1.0 V의 동적 범위가 요구된다. 제1 단위 저항 스트링(30)은 단위 전압 이득 전류 증폭기(80)로의 입력인 노드 1 에서 0.454  $V_{DD}$  또는 대략 0.5 V의 전압을 제공하고, 단위 전압 이득 증폭기(81)로의 입력인 제2 노드에서 0.151  $V_{DD}$  또는 대략 0.5 V의 전압을 제공하도록 구성된다. 이렇게 하면 약 1.0 V의 요구된 동적 범위가 달성된다.

각각의 제1 단위 저항기(R1)는 1,000  $\Omega$ 의 값을 지닌다. 제1 단위 저항기(R1)의 값이 동일하기 때문에 외부 전압( $V_{DD}$ ), 동작 온도 및 집적 회로의 제조 공정에서의 변동에도 불구하고 각각의 제1 단위 저항기(R1)의 특성이 다른 것을 추적할 수 있게 해준다. 제1 단위 저항기(R1)에 대해 1,000  $\Omega$ 의 값을 사용하는 것은 외부 전압( $V_{DD}$ )로부터 접지까지의 임피던스를 크게 증가시키며 그에 따라 아날로그-디지털 변환기(10)가 상기 제1 단위 저항기의 전류 소모를 극적으로 감소시키게 한다.

제1 단위 저항기(R1)는 최소 크기의 1,000  $\Omega$  저항기 생성이 가능한 확산법(diffusion process)을 사용하여 제조하는 것이 바람직하다. 예를 들어, 단위 면적당 100  $\Omega$ 의 저항률을 갖는 1,000  $\Omega$  확산형 저항기는 100 미크론의 길이, 10 미크론의 폭을 지니고, 결과적으로 0.001 mm<sup>2</sup>의 관련 면적을 갖는다. 단위 면적당 30  $\Omega$ 의 저항률을 갖는 1,000  $\Omega$  폴리실리콘형 저항기는 333 미크론의 길이, 10 미크론의 폭 및 0.0033 mm<sup>2</sup>의 관련 면적을 갖는다.

적절한 단위 전압 이득 전류 증폭기, 예컨대, 증폭기(80)의 개략도가 제3도에 도시된다. 이 회로는 트랜지스터 Q2의 게이트에서 반전 입력(V<sub>-</sub>), 트랜지스터 Q1의 게이트에서 비반전 입력(V<sub>+</sub>) 및 트랜지스터 Q4의 드레인에서 출력(V<sub>O</sub>)을 갖는 CMOS 차동 증폭기로 구체화된다. 트랜지스터 Q4의 드레인은 트랜지스터 Q2의 게이트에 결합되어 상기 차동 증폭기의 출력(V<sub>O</sub>)을 반전 입력(V<sub>-</sub>)으로 귀환시킨다. 이 방식으로 상기 차동 증폭기는 저출력 임피던스를 갖는 단위 전압 이득을 제공한다.

제2도를 다시 참조하면, 제2 단위 저항 스트링(50)은 256개의 제2 단위 저항기(R2)의 직렬 상호 접속을 포함한다. 제2 단위 저항 스트링(50)은 단위 전압 이득 전류 증폭기(80, 81)의 출력 양단의 전압 강하를 분리하여 복수의 비교기(60)의 기준 입력에 복수의 기준 전압을 제공한다.

각각의 제2 단위 저항기(R2)는 아날로그-디지털 변환기에 의해 요구되는 저출력 임피던스를 제공하기 위해 1.5  $\Omega$ 의 값을 갖는다. 제2 단위 저항기(R2)의 값이 동일하기 때문에 외부 전압(V<sub>DD</sub>), 동작 온도 및 집적 회로의 제조 공정에서의 변동에도 불구하고 어느 한 제2 단위 저항기(R2)의 특성이 다른 것을 추적할 수 있게 해준다.

제2 단위 저항기(R2)는 폴리실리콘이 최소 크기를 갖는 1.5  $\Omega$  저항기를 생성하기 때문에 폴리실리콘으로 제조되는 것이 바람직하다. 예를 들어, 단위 면적당 저항이 30  $\Omega$ 인 1.5  $\Omega$  폴리실리콘형 저항기는 10 미크론의 길이, 200 미크론의 폭 및 결과적으로 0.002 mm<sup>2</sup>의 관련 면적을 갖는다. 단위 면적당 100  $\Omega$ 의 저항률을 갖는 1.5  $\Omega$  확산형 저항기는 10 미크론의 길이, 667 미크론의 폭 및 0.0067 mm<sup>2</sup>의 관련 면적을 갖는다.

본 발명의 바람직한 실시예에서 상기 저항기들에 결합된 총 면적은 약 0.53mm<sup>2</sup>이고, 본 발명의 바람직한 실시예에서 사용된 2개의 단위 전압 이득 전류 증폭기의 크기는 실제로 증폭기들의 크기를 저항기들의 크기로 대체하여 비교해볼 때 실질적으로 무시될 수 있을 정도이다. 따라서, 본 발명의 바람직한 실시예는 외부 전압(V<sub>DD</sub>), 동작 온도 및 집적 회로의 제조 공정 등에서의 변동을 추적하는 잇점을 희생하지 않고 종래 기술의 회로보다 1.1 mm<sup>2</sup> 이상의 면적이 감소된다. 이와 같이 면적 감소는 집적 회로당 아날로그-디지털 변환기의 수가 증가함에 따라 보다 더 중요하게 된다.

제2 단위 저항 스트링(50)의 복수의 기준 전압의 각각은 비교기(60) 중 상이한 비교기의 기준 입력에 인가된다. 아날로그 전압은 각각의 비교기(60)의 신호 입력에 인가된다. 비교기(60)중 하나의 신호 입력에서 아날로그 전압이 비교기의 기준 전압을 초과할 때, 비교기의 출력은 "저" 레벨에서 "고" 레벨로 스위치한다. 비교기(60)의 출력은 디코더(70)에 결합되며, 여기에서 비교기(60)의 출력은 n-비트 디지털 워드로 변환된다.

픽처-인-픽처(picture-in-picture) 또는 픽처-아웃사이드-픽처(picture-outside-picture) 특성을 갖는 아날로그-디지털 변환기(10, 11)를 내장한 텔레비전 수상기(100)의 블록도가 제4도에 도시된다. 텔레비전 수상기(100)는 튜너, IF 증폭기 및 메인 비디오 신호(111) 및 보조 비디오 신호(112)를 각각 생성하는 비디오 검출기를 포함하는 메인 비디오 신호원(101) 및 보조 비디오 신호원(103)을 구비한다. 보조 비디오 신호원(112)은 또한 디지털화된 보조 비디오 신호(113)를 제공하는 제1 아날로그-디지털 변환기(10)에 결합된다.

메인 수평 동기 신호(H<sub>M</sub>) 및 메인 수직 동기 신호(V<sub>M</sub>)는 메인 동기 검출기(102)에 의해 메인 비디오 신호(111)로부터 분리된다. 마찬가지로, 보조 수평 동기 신호(H<sub>A</sub>) 및 메인 수직 동기 신호(V<sub>A</sub>)는 보조 동기 검출기(104)에 의해 보조 비디오 신호(112)로부터 분리된다.

비디오 RAM(107)은 안정된 보조 비디오 신호(116)를 생성하도록 메인 비디오 신호(111)와 보조 비디오 신호(112)를 적절하게 동기화시키는데 사용된다. 메인 비디오 신호(111)는 제2 아날로그-디지털 변환기(10)에 결합된다. 제2 아날로그-디지털 변환기(10)의 출력은 클록 신호(115)를 디지털 프로세싱 수단(116)에 제공하는 버스트-록(burst-locked) 클록(114)에 결합된다. 마이크로프로세서(105)는 입력으로 디지털화된 보조 비디오 신호(113)와 동기 신호(H<sub>M</sub>, V<sub>M</sub>, H<sub>A</sub>, V<sub>A</sub>)를 수신하는 디지털 프로세싱 수단(106)을 제어한다. 디지털 프로세싱 수단(106)은 보조 동기 신호(H<sub>A</sub>, V<sub>A</sub>)에 동기하여 디지털화된 보조 비디오 신호(113)를 비디오 RAM(107)에 기록한다. 그런 다음 디지털 프로세싱 수단(106)은 비디오 RAM(107)으로부터 미리 저장된 상기 디지털화된 보조 비디오 신호(113)를 판독한다. 메인 동기 신호(H<sub>M</sub>, V<sub>M</sub>)에 동기하여 판독이 행해진다.

데이터가 비디오 RAM(107)으로부터 판독될 때, 그 데이터는 디지털 프로세싱 수단(106)에서 아날로그-디지털 변환기(108)로 송출되며, 여기에서 안정된 보조 비디오 신호(116)로 변환되어 멀티플렉서(109)의 입력에 제공된다. 멀티플렉서(109)의 다른 입력은 메인 비디오 신호(111)를 수신한다. 디지털 프로세싱 수단(116)의 멀티플렉서 제어 신호(MUX CTRL)가 "고" 레벨일 때, 멀티플렉서(109)는 메인 비디오 신호(111)가 디스플레이 장치(110)를 통과하게 한다. 디지털 프로세싱 수단(116)의 멀티플렉서 제어 신호(MUX CTRL)가 "저" 레벨일 때, 멀티플렉서(109)는 안정된 보조 비디오 신호(116)가 디스플레이 장치(110)를 통과하게 한다.

## (57) 청구의 범위

### 청구항 1.

전압원( $V_{DD}$ )과;

상기 전압원( $V_{DD}$ )의 양단에 결합된 단위 저항들만을 포함하고, 2개의 탭(제1 탭과 제2 탭)만을 지니는 제1 저항 스트링(30)과;

단위 저항들만을 포함하고, 제1 단부 및 제2 단부를 가지고, 상기 단부들 사이에 복수의 탭을 갖는 제2 저항 스트링(50)과;

상기 제1 저항 스트링(30)의 상기 제1 탭(2)에 결합된 입력과, 상기 제2 저항 스트링(50)의 상기 제1 단부에 결합된 출력을 갖는 제1 능동 장치(81)와, 상기 제1 저항 스트링(30)의 상기 제2 탭(1)에 결합된 입력과, 상기 제2 저항 스트링(50)의 상기 제2 단부에 결합된 출력을 갖는 제2 능동 장치(80)와,

비교기 스트링(60)-상기 비교기 스트링의 비교기들 중 비교기( $C_1$ )의 일단부가 상기 제2 능동 장치(80)의 출력에 직접 결합된 입력을 지니고, 상기 비교기 스트링의 비교기들 중 비교기( $C_{256}$ )의 타단부가 상기 제1 능동 장치(81)의 출력에 직접 결합된 입력을 지니고, 상기 비교기 스트링(60)의 다른 비교기( $C_2$ - $C_{256}$ )들은 상기 제2 저항 스트링(50)의 탭들에 결합된 입력을 지니고-을 포함하고,

상기 제2 저항 스트링(50)의 저항의 총수는 상기 비교기 스트링(60)의 비교기들의 총수보다 1개가 더 작은 것을 특징으로 하는 회로.

## 청구항 2.

제1항에 있어서,

상기 제1 능동 장치(81) 및 제2 능동 장치(80)는 단위 전압 이득 전류 증폭기를 포함하는 것을 특징으로 하는 회로.

## 청구항 3.

제1항에 있어서,

상기 각 비교기(60)들은 아날로그 전압(ANALOG VOLTAGE)에 결합된 제2 입력을 지니는 것을 특징으로 하는 회로.

## 청구항 4.

제3항에 있어서,

상기 복수의 비교기(60)들의 출력을 디코딩하는 수단(70)을 더 포함하는 것을 특징으로 하는 회로.

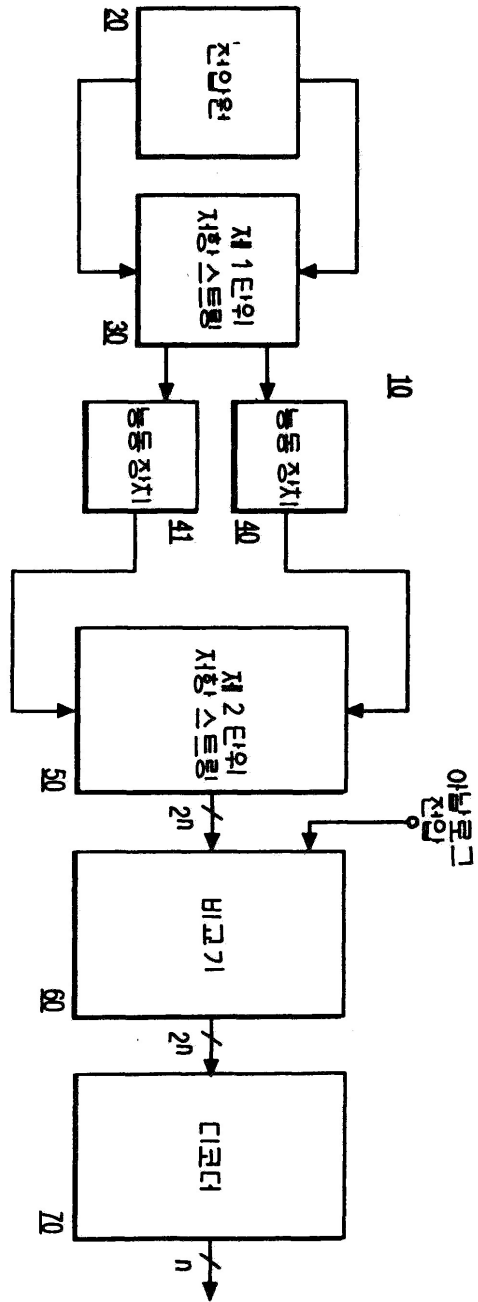
## 청구항 5.

제4항에 있어서,

상기 디코딩 수단(70)은 상기 아날로그 전압(ANALOG VOLTAGE)의 디지털 표시를 제공하는 것을 특징으로 하는 회로.

도면

도면1

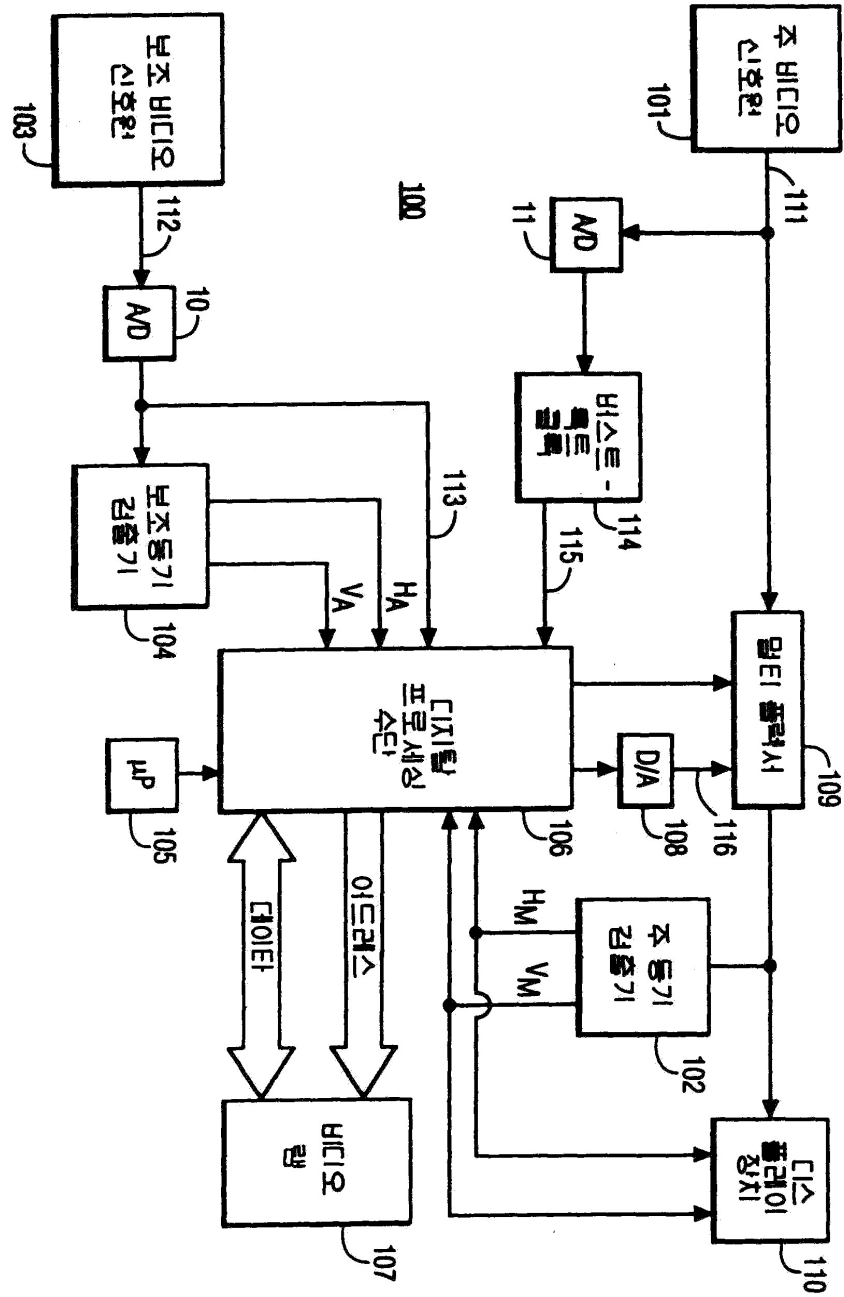








도면4



도면5

