(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2004-146603
(P2004-146603A)
(43)公開日　平成16年5月20日(2004.5.20)

(51)Int.Cl.[7]	F I		テーマコード（参考）
H01L 31/12	H01L 31/12	B	2H047
G02B 6/122	G02B 6/12	B	5F089

審査請求 有　請求項の数 14　ＯＬ　（全 33 頁）

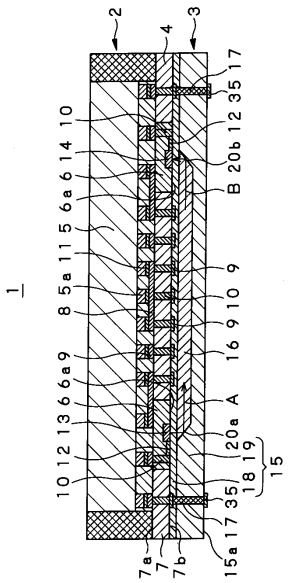
(21)出願番号　特願2002-309978(P2002-309978)
(22)出願日　平成14年10月24日(2002.10.24)

(71)出願人　000002185
ソニー株式会社
東京都品川区北品川６丁目７番３５号
(74)代理人　100067736
弁理士　小池　晃
(74)代理人　100086335
弁理士　田村　榮一
(74)代理人　100096677
弁理士　伊賀　誠司
(72)発明者　小川　剛
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

Ｆターム(参考)　2H047 KA02 MA07 PA02 PA28 QA05 TA11 TA42
5F089 AA01 AB08 AC09 AC16 CA11 CA12 CA20

(54)【発明の名称】複合チップモジュール及びその製造方法、並びに複合チップユニット及びその製造方法

(57)【要約】　（修正有）
【課題】電気チップと光学チップの複合モジュールにおいて、寄生容量を低減させる。
【解決手段】樹脂層７の第１の主面７ａに実装された半導体チップ５と、樹脂層７の第２の主面７ｂに埋め込まれた光学チップ６とを層間ビア１０により層間接続させることにより、半導体チップ５と光学チップ６とが短距離で接続されることから、半導体チップ５と光学チップ６との接続で生じる寄生容量を低減できる。かつ、製造時の歩留まりの向上と小型化が図れる。
【選択図】　図１



【特許請求の範囲】
【請求項１】
絶縁層と、この絶縁層の第１の主面上及び第２の主面上に形成された接続ランド部を備えるパターン配線と、両主面上に形成された上記接続ランド部同士を電気的に層間接続させる層間ビアとを有する回路部と、
上記接続ランド部に接続される接続端子を有し、この接続端子が上記接続ランド部と接続されて上記絶縁層の第１の主面上に実装されることで上記層間ビアを介して出入力される電気信号を処理する電気チップと、
上記接続端子が接続された上記接続ランド部に上記層間ビアを介して接続される端子部を有し、発光部及び／又は受光部が主面に形成され、当該主面と上記絶縁層の第２の主面とが同一面になるように上記絶縁層に埋め込まれることで上記発光部及び／又は上記受光部が上記絶縁層の第２の主面で露出されている光学チップと
を備えていることを特徴とする複合チップモジュール。
【請求項２】
上記回路部は、複数の上記絶縁層が積層され、これら複数の上記絶縁層の主面上にそれぞれ形成された上記パターン配線と、このパターン配線同士を層間接続させる上記層間ビアとを有し、
上記電気チップは、複数積層された上記絶縁層のうち、最上層の上記絶縁層の主面上に実装され、
上記光学チップは、複数積層された上記絶縁層のうち、最下層の上記絶縁層に埋め込まれていることを特徴とする請求項１記載の複合チップモジュール。
【請求項３】
上記光学チップは、上記絶縁層の厚み方向に上記電気チップを投影した領域内に埋め込まれていることを特徴とする請求項１記載の複合チップモジュール。
【請求項４】
絶縁層と、この絶縁層の第１の主面上及び第２の主面上に形成された接続ランド部を備えるパターン配線とを有する回路部を形成する回路部形成工程と、
上記接続ランド部に接続される接続端子を有し、電気信号を出入力して処理する電気チップを、上記接続ランド部と上記接続端子とを接続させることで上記絶縁層の第１の主面に実装する実装工程と、
外部に対して電気信号の出入力部となる端子部を有し、発光部及び／又は受光部が主面に形成された光学チップを、当該主面と上記絶縁層の第２の主面とが同一面になるように上記絶縁層に埋め込むことで上記発光部及び／又は上記受光部を上記絶縁層の第２の主面に露出させる埋め込み工程と、
上記絶縁層の両主面上に形成された上記接続ランド部間、及び上記接続端子が接続された上記接続ランド部と上記光学チップの端子部とを電気的に層間接続させる層間ビアを、上記回路部に形成するビア形成工程と
を有することを特徴とする複合チップモジュールの製造方法。
【請求項５】
上記回路部形成工程においては、複数の上記絶縁層を積層し、これら複数の上記絶縁層の主面上に上記パターン配線をそれぞれ形成させ、
上記実装工程においては、上記電気チップを、複数積層された上記絶縁層のうち、最上層の上記絶縁層の主面上に実装させ、
上記埋め込み工程においては、上記光学チップを、複数積層された上記絶縁層のうち、最下層の上記絶縁層に埋め込むことを特徴とする請求項４記載の複合チップモジュールの製造方法。
【請求項６】
上記埋め込み工程においては、上記光学チップを、上記絶縁層の厚み方向に上記電気チップを投影した領域内に埋め込むことを特徴とする請求項４記載の複合チップモジュールの製造方法。

【請求項７】
絶縁層と、この絶縁層の第１の主面上及び第２の主面上に形成された接続ランド部を備えるパターン配線と、両主面上に形成された上記接続ランド部同士を電気的に層間接続させる層間ビアとを有する回路部と、上記接続ランド部に接続される接続端子を有し、この接続端子が上記接続ランド部と接続されて上記絶縁層の第１の主面上に実装されることで上記層間ビアを介して出入力される電気信号を処理する電気チップと、上記接続端子が接続された上記接続ランド部に上記層間ビアを介して接続される端子部を有し、発光部及び／又は受光部が主面に形成され、当該主面と上記絶縁層の第２の主面とが同一面になるように上記絶縁層に埋め込まれることで上記発光部及び／又は上記受光部が上記絶縁層の第２の主面で露出されている光学チップとを備える複合チップモジュールと、
上記複合チップモジュールにおける上記絶縁層の第２の主面上に形成され、上記絶縁層の第２の主面で露出する上記発光部と上記受光部とを光学的に接続させる光伝送路と、上記複合チップモジュールの上記接続ランド部に電気的に接続される接続ビアとを有する光電気配線層と
を備えていることを特徴とする複合チップユニット。
【請求項８】
上記光電気配線層における光伝送路は、上記発光部で発光された光信号を全反射させながら上記受光部まで伝播させる光導波路であることを特徴とする請求項７記載の複合チップユニット。
【請求項９】
上記複合チップモジュールにおける回路部は、複数の上記絶縁層が積層され、これら複数の上記絶縁層の主面上にそれぞれ形成された上記パターン配線と、このパターン配線同士を層間接続させる上記層間ビアとを有し、
上記電気チップは、複数積層された上記絶縁層のうち、最上層の上記絶縁層の主面上に実装され、
上記光学チップは、複数積層された上記絶縁層のうち、最下層の上記絶縁層に埋め込まれていることを特徴とする請求項７記載の複合チップユニット。
【請求項１０】
上記複合チップモジュールにおける光学チップは、上記絶縁層の厚み方向に上記電気チップを投影した領域内に埋め込まれていることを特徴とする請求項７記載の複合チップユニット。
【請求項１１】
絶縁層と、この絶縁層の第１の主面上及び第２の主面上に形成された接続ランド部を備えるパターン配線とを有する回路部を形成する回路部形成工程と、上記接続ランド部に接続される接続端子を有し、電気信号を出入力して処理する電気チップを、上記接続ランド部と上記接続端子とを接続させることで上記絶縁層の第１の主面に実装する実装工程と、外部に対して電気信号の出入力部となる端子部を有し、発光部及び／又は受光部が主面に形成された光学チップを、当該主面と上記絶縁層の第２の主面とが同一面になるように上記絶縁層に埋め込むことで上記発光部及び／又は上記受光部を上記絶縁層の第２の主面に露出させる埋め込み工程と、上記絶縁層の両主面上に形成された上記接続ランド部間、及び上記接続端子が接続された上記接続ランド部と上記光学チップの端子部とを電気的に層間接続させる層間ビアを、上記回路部に形成するビア形成工程とを経て複合チップモジュールを形成する工程と、
上記複合チップモジュールにおける上記絶縁層の第２の主面上に、上記絶縁層の第２の主面で露出する上記発光部と上記受光部とを光学的に接続させる光伝送路と、上記複合チップモジュールの第２の主面上に形成された上記接続ランド部に電気的に接続される接続ビアとを有する光電気配線層を形成させる工程と
を有していることを特徴とする複合チップユニットの製造方法。
【請求項１２】
光電気配線層を形成させる工程において、上記光伝送路として、上記発光部で発光された

光を全反射させながら上記受光部まで伝播させる光導波路を形成させることを特徴とする請求項１１記載の複合チップユニットの製造方法。
【請求項１３】
上記複合チップモジュールを形成させる工程の回路部形成工程においては、複数の上記絶縁層を積層し、これら複数の上記絶縁層の主面上に上記パターン配線をそれぞれ形成させ、
上記実装工程においては、上記電気チップを、複数積層された上記絶縁層のうち、最上層の上記絶縁層の主面上に実装させ、
上記埋め込み工程においては、上記光学チップを、複数積層された上記絶縁層のうち、最下層の上記絶縁層に埋め込むことを特徴とする請求項１１記載の複合チップユニットの製造方法。
【請求項１４】
上記複合チップモジュールを形成させる工程の埋め込み工程においては、上記光学チップを、上記絶縁層の厚み方向に上記電気チップを投影した領域内に埋め込むことを特徴とする請求項１１記載の複合チップユニットの製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、電気チップと光学チップとを備え、情報信号の伝達速度の高速化を可能にした複合チップモジュール及びその製造方法、並びにこの複合チップモジュールを備え光学チップ同士の接続が光伝送路でされた複合チップユニット及びその製造方法に関する。
【０００２】
【従来の技術】
近年では、例えばＩＣ（Ｉｎｔｅｇｒａｔｅｄ　Ｃｉｒｃｕｉｔ）チップやＬＳＩ（Ｌａｒｇｅ　Ｓｃａｌｅ　Ｉｎｔｅｇｒａｔｉｏｎ）チップ等といった集積回路チップの技術進歩により、集積回路の動作速度や集積規模が大きくなってマイクロプロセッサの高性能化や、メモリーチップの大容量化が急速に達成されている。このような集積回路チップでは、回路基板に実装させた場合、チップ間が比較的短距離であっても情報の伝達は電気信号により行われている。
【０００３】
そして、集積回路チップの更なる高性能化に伴い、チップ間を行き交う信号の伝達速度の高速化は不可欠であり、電気信号の高密度化、すなわち電気配線の高密度化が必要とされている。
【０００４】
しかしながら、回路基板においては、電気配線の高密度化には限界があると共に、電気配線のＣＲ（Ｃａｐａｃｉｔａｎｃｅ－Ｒｅｓｉｓｔａｎｃｅ）時定数による信号遅延が問題となる。また、回路基板においては、電気信号の高速化や電気配線の高密度化が、例えばＥＭＩ（Ｅｌｅｃｔｒｏｍａｇｎｅｔｉｃ　Ｉｎｔｅｒｆｅｒｅｎｃｅ）ノイズやチャンネル間のクロストーク等といった不具合が起きる原因となることから、これら不具合の対策も不可欠となる。
【０００５】
上述した問題を解決する手段としては、例えば光信号配線や光インターコネクション等といった光配線で、電子機器間、回路基板間、チップ間等を配線させることが提案されている。特に、チップ間のような短距離間の情報伝達には、回路基板に実装されたチップ間に光を全反射させながら伝播させる光導波路を形成し、この光導波路を伝送路にした光伝送・通信システムを構築することが望まれている。
【０００６】
このような光伝送・通信システムとしては、例えば電気信号を光信号に変換させる発光部及び／又は光信号を電気信号に変換させる受光部を有する光学チップ、電気信号の演算処理等が行われるＩＣチップやＬＳＩチップ等といった電気チップ等が回路基板等に実装さ

れた複合チップユニットが用いられている。

【０００７】

この複合チップユニットにおいては、例えば光学チップや電気チップへの電力の供給や、各種コントロール信号の伝達を電気信号により行う必要があることから、上述した光導波路の他に回路基板にパターン配線等も形成されたハイブリット型の回路基板が用いられる。

【０００８】

具体的に、この複合チップユニットには、例えばシリコン基板やガラス基板の主面上にパターン配線が薄膜形成技術等で形成され、その上方に光配線として光導波路が積層形成されたハイブリット型の回路基板が用いられる。また、既製のプリント配線基板の主面上に光配線として光導波路を形成させたハイブリット型の回路基板等も用いられる。このようなハイブリット型の回路基板において、光配線として光導波路を形成する際は、例えば光導波路の材料に高分子化合物を用いて低温プロセスにより形成される。

【０００９】

そして、複合チップユニットにおいては、複数実装された電気チップ間の情報伝達を光配線で行う場合、電気チップからの入出力される電気信号を光信号に変換させるための光学チップが必要になる。具体的に、複合チップユニットにおいては、電気チップから電気信号が出力される側には出力された電気信号を変換させて光信号として発光する半導体レーザや発光ダイオード等の発光素子や、電気チップに電気信号が入力される側には光配線により伝播された光信号を受光して電気信号に変換させるフォトディテクタ等の受光素子を有する光学チップが必要になる。

【００１０】

すなわち、複合チップユニットにおいては、電気チップから出力された電気信号を発光素子に印加させることで、電気信号が発光素子で光信号に変換、発光されて光導波路等で伝播される。そして、光導波路等で伝播された光信号を受光素子で受光し、受光した光信号を受光素子が電気信号に変換させて電気チップに入力される。

【００１１】

【発明が解決しようとする課題】

そして、上述した複合チップユニットにおいては、電気チップと光学チップとの接続には例えばパターン配線等による電気的な接続が必要であり、電気信号の伝達速度が高速化、高密度化されるほど、電気チップと光学チップとの電気的な接続で発生する寄生容量を小さくさせる接続が求められる。

【００１２】

しかしながら、この複合チップユニットでは、ハイブリット型の回路基板にパターン配線と光配線とが混載していることから、電気チップと光学チップとの電気的な接続が複雑となり電気チップと光学チップとの電気的な接続で発生する寄生容量が大きくなってしまうのが現状である。

【００１３】

また、この複合チップユニットでは、パターン配線と光配線とが混載により、小型化にも限界がある。

【００１４】

さらに、この複合チップユニットでは、パターン配線と光配線とが複雑に入り混じっていることから、製造時の歩留まりが低下するといった問題もある。

【００１５】

そこで、本発明は、このような従来の実情に鑑みて提案されたものであり、電気チップと光学チップとを混在しながら、これら電気チップと光学チップとの接続により発生する寄生容量の低減と、製造時の歩留まりの向上とが図られた複合チップモジュール及びその製造方法、並びにこの複合チップモジュールを有する複合チップユニット及びその製造方法を提供することを目的に提案されたものである。

【００１６】

【課題を解決するための手段】
上述した目的を達成する本発明に係る複合チップモジュールは、絶縁層と、この絶縁層の第１の主面上及び第２の主面上に形成された接続ランド部を備えるパターン配線と、両主面上に形成された接続ランド部同士を電気的に層間接続させる層間ビアとを有する回路部と、接続ランド部に接続される接続端子を有し、この接続端子が接続ランド部と接続されて絶縁層の第１の主面上に実装されることで層間ビアを介して出入力される電気信号を処理する電気チップと、接続端子が接続された接続ランド部に層間ビアを介して接続される端子部を有し、発光部及び／又は受光部が主面に形成され、この主面と絶縁層の第２の主面とが同一面になるように絶縁層に埋め込まれることで発光部及び／又は受光部が絶縁層の第２の主面で露出されている光学チップとを備えていることを特徴としている。

【００１７】
この複合チップモジュールでは、絶縁層の第１の主面に実装された電気チップと、絶縁層の第２の主面に埋め込まれた光学チップとが層間ビアにより電気的に層間接続されていることから、電気チップと光学チップとの電気的な接続が短距離化、簡略化されて電気チップと光学チップとの接続で生じる寄生容量の低減できる。

【００１８】
この複合チップモジュールでは、電気チップと光学チップとの電気的な接続の短距離化、簡略化により、小型化、及び電気チップと光学チップとの間を行き交う電気信号の伝達速度の高速化を図れる。

【００１９】
この複合チップモジュールでは、例えばベース基板等に実装する際に、光学チップの主面と絶縁層の第２の主面とが同一面になるように光学チップが絶縁層に埋め込まれていることで、絶縁層の第２の主面を実装面としてベース基板等に適切且つ容易に実装することができる。

【００２０】
上述した目的を達成する本発明に係る複合チップモジュールの製造方法は、絶縁層と、この絶縁層の第１の主面上及び第２の主面上に形成された接続ランド部を備えるパターン配線とを有する回路部を形成する回路部形成工程と、接続ランド部に接続される接続端子を有し、電気信号を出入力して処理する電気チップを、接続ランド部と接続端子とを接続させることで絶縁層の第１の主面に実装する実装工程と、外部に対して電気信号の出入力部となる端子部を有し、発光部及び／又は受光部が主面に形成された光学チップを、光学チップの主面と絶縁層の第２の主面とが同一面になるように絶縁層に埋め込むことで発光部及び／又は受光部を絶縁層の第２の主面に露出させる埋め込み工程と、絶縁層の両主面上に形成された接続ランド部間、及び接続端子が接続された接続ランド部と光学チップの端子部とを電気的に層間接続させる層間ビアを、回路部に形成するビア形成工程とを有することを特徴としている。

【００２１】
この複合チップモジュールの製造方法では、絶縁層の第１の主面に実装された電気チップと、絶縁層の第２の主面に埋め込まれた光学チップとを層間ビアにより電気的に層間接続させていることから、電気チップと光学チップとの電気的な接続が短距離化、簡略化されて電気チップと光学チップとの接続で生じる寄生容量が低減された複合チップモジュールを製造できる。

【００２２】
この複合チップモジュールの製造方法では、電気チップと光学チップとを短距離化、簡略化させて接続させることより、小型化、及び電気チップと光学チップとの間を行き交う電気信号の伝達速度が高速化された複合チップモジュールを製造できる。

【００２３】
上述した目的を達成する本発明に係る複合チップユニットは、絶縁層と、この絶縁層の第１の主面上及び第２の主面上に形成された接続ランド部を備えるパターン配線と、両主面上に形成された接続ランド部同士を電気的に層間接続させる層間ビアとを有する回路部と

、接続ランド部に接続される接続端子を有し、この接続端子が接続ランド部と接続されて絶縁層の第１の主面上に実装されることで層間ビアを介して出入力される電気信号を処理する電気チップと、接続端子が接続された接続ランド部に層間ビアを介して接続される端子部を有し、発光部及び／又は受光部が主面に形成され、この主面と絶縁層の第２の主面とが同一面になるように絶縁層に埋め込まれることで発光部及び／又は受光部が絶縁層の第２の主面で露出されている光学チップとを備える複合チップモジュールと、複合チップモジュールにおける絶縁層の第２の主面上に形成され、絶縁層の第２の主面で露出する発光部と受光部とを光学的に接続させる光伝送路と、複合チップモジュールの接続ランド部に電気的に接続される接続ビアとを有する光電気配線層とを備えていることを特徴としている。

【００２４】

この複合チップユニットでは、複合チップモジュールの光学チップ同士の光学的な接続を光電気配線層の光伝送路で行っており、電気チップ及び光学チップを備える複合チップモジュール側にパターン配線と光配線とが混載していないことから、各配線の引き回しが簡略化されて小型化を図れると共に製造時の歩留まりを向上できる。

【００２５】

この複合チップユニットでは、複合チップモジュール側の電気チップと、光学チップとが層間ビアにより電気的に層間接続されていることから、電気チップと光学チップとの電気的な接続が短距離化、簡略化されて電気チップと光学チップとの接続で生じる寄生容量を低減できる。

【００２６】

この複合チップユニットでは、光学チップの主面と絶縁層の第２の主面とが同一面になるように光学チップが絶縁層に埋め込まれていることで、絶縁層の第２の主面上に形成される光電気配線層における光伝送路や接続ビア等を精度良く形成できる。

【００２７】

上述した目的を達成する本発明に係る複合チップユニットの製造方法では、絶縁層と、この絶縁層の第１の主面上及び第２の主面上に形成された接続ランド部を備えるパターン配線とを有する回路部を形成する回路部形成工程と、接続ランド部に接続される接続端子を有し、電気信号を出入力して処理する電気チップを、接続ランド部と接続端子とを接続させることで絶縁層の第１の主面に実装する実装工程と、外部に対して電気信号の出入力部となる端子部を有し、発光部及び／又は受光部が主面に形成された光学チップを、光学チップの主面と絶縁層の第２の主面とが同一面になるように絶縁層に埋め込むことで発光部及び／又は受光部を絶縁層の第２の主面に露出させる埋め込み工程と、絶縁層の両主面上に形成された接続ランド部間、及び接続端子が接続された接続ランド部と光学チップの端子部とを電気的に層間接続させる層間ビアを、回路部に形成するビア形成工程とを経て複合チップモジュールを形成する工程と、複合チップモジュールにおける絶縁層の第２の主面上に、絶縁層の第２の主面で露出する発光部と受光部とを光学的に接続させる光伝送路と、複合チップモジュールの第２の主面上に形成された接続ランド部に電気的に接続される接続ビアとを有する光電気配線層を形成させる工程とを有していることを特徴としている。

【００２８】

この複合チップユニットの製造方法では、複合チップモジュールの光学チップ同士の光学的な接続を行う光伝送路を光電気配線層側に形成させており、電気チップ及び光学チップを備える複合チップモジュール側にパターン配線と光配線とを混載させていないことから、各配線の引き回しを簡略化でき、小型化可能な複合チップユニットを歩留まり良く製造できる。

【００２９】

この複合チップユニットの製造方法では、複合チップモジュール側の電気チップと、光学チップとを層間ビアで電気的に層間接続させていることから、電気チップと光学チップとの電気的な接続を短距離化、簡略化でき、電気チップと光学チップとの接続で生じる寄生

容量が低減された複合チップユニットを製造できる。
【００３０】
この複合チップユニットの製造方法では、光学チップの主面と絶縁層の第２の主面とが同一面になるように光学チップを絶縁層に埋め込むことで、絶縁層の第２の主面上に、光伝送路や接続ビア等が精度良く形成された光電気配線層を有する複合チップユニットを製造できる。
【００３１】
【発明の実施の形態】
以下、本発明の実施の形態について、図面を参照して詳細に説明する。図１に本発明を適用した複合チップユニット１を示す。この複合チップユニット１は、情報信号の伝達速度を高速化できる光電気混載ＣＳＰ（ｃｈｉｐ　ｓｉｚｅ　ｐａｃｋａｇｅ）化された複合チップモジュール２と、この複合チップモジュール２に対して電気的及び光学的に接続される光電気配線層３とによって構成されている。
【００３２】
複合チップモジュール２は、回路部４と、この回路部４をベースに実装される半導体チップ５と、この半導体チップ５に電気的に接続される光学チップ６とを備えている。
【００３３】
回路部４は、樹脂材料等からなる樹脂層７と、樹脂層７の第１の主面７ａ上及び第２の主面７ｂ上に形成されたパターン配線８の一部である接続ランド部９と、樹脂層７の第１の主面７ａから第２の主面７ｂに貫通する層間ビア１０とを有している。
【００３４】
回路部４における樹脂層７は、例えばポリフェニレンエーテル（ＰＰＥ）、ビスマレイドトリアジン（ＢＴ－ｒｅｓｉｎ）、液晶ポリマ（ＬＣＰ）、ポリノルボルネン（ＰＮＢ）、ビスマレイドトリアジン（ＢＴ－レジン）、ポリイミド、ベンゾシクロブテン（ＢＣＢ）、エポキシ樹脂、アクリル系樹脂等の絶縁性樹脂により形成されている。
【００３５】
パターン配線８及び接続ランド部９は、樹脂層７の両主面７ａ，７ｂ上に例えば薄膜形成技術等により銅や金等の導電性金属でパターン形成されている。
【００３６】
層間ビア１０は、例えば銅等の導電性金属からなり、樹脂層７の両主面７ａ，７ｂ上に形成された接続ランド部９同士を電気的に層間接続させたり、半導体チップ５が接続された接続ランド部９と光学チップ６とを電気的に層間接続させたりする。これにより、層間ビア１０では、半導体チップ５と光学チップ６との間で電気信号の伝達を行うことになる。
【００３７】
半導体チップ５は、樹脂層７の第１の主面７ａ上に実装されており、電気信号として入力された情報信号に演算処理等を施して電気信号として外部に出力させる例えばＩＣチップやＬＳＩチップ等といった集積回路チップである。そして、この半導体チップ５は、電気信号の入出力部となる接続端子５ａを備え、この接続端子５ａと樹脂層７の第１の主面７ａ上に形成された接続ランド部９とが接続バンプ１１を介して接続されることで、樹脂層７の第１の主面７ａ上に実装される。
【００３８】
光学チップ６は、電気信号が入出力される端子部１２を備え、その主面６ａ上に光を発光する発光部１３及び／又は光を受光する発光部１４が形成されている。そして、光学チップ６においては、例えば発光部１３を有する場合は発光素子となり、発光部１４を有する場合は受光素子となる。また、光学チップ６は、発光部１３及び発光部１４の両方を有する光学素子であっても良い。具体的に、光学チップ６においては、発光部１３を有する発光素子としては例えば半導体レーザや発光ダイオード等が挙げられ、発光部１４を有する受光素子としては例えばフォトディテクタ等が挙げられる。
【００３９】
この光学チップ６おいて、発光素子の場合は、端子部１２より入力された電気信号を光信

号に変換させて発光部１３より光信号として発光させる。一方、受光素子の場合は、発光部１４で受光した光信号を電気信号に変換させて端子部１２より電気信号として出力させる。

【００４０】

この光学チップ６は、発光部１３及び／又は発光部１４が形成された主面６ａと、樹脂層７の第２の主面７ｂとが同一面となるように、樹脂層７に埋め込まれている。これにより、光学チップ６では、発光部１３及び／又は発光部１４が樹脂層７の第２の主面７ｂで露出することになり、第２の主面７ｂ上に例えば光信号配線や光インターコネクション等といった光配線等を容易に形成でき、簡略化された光配線を発光部１３及び発光部１４に接続できる。

【００４１】

この光学チップ６は、絶縁層７の厚み方向に半導体チップ５を投影した領域内に埋め込まれている。これにより、複合チップモジュール２は、ＣＳＰ化されて小型化を図ることが可能となる。

【００４２】

このような構成の複合チップモジュール２では、樹脂層７の第１の主面７ａに実装された半導体チップ５と、第２の主面７ｂに埋め込まれた光学チップ６とが層間ビア１０により非常に短距離で層間接続されていることから、半導体チップ５と光学チップ６との接続で生じる寄生容量を低減できる。

【００４３】

また、この複合チップモジュール２では、半導体チップ５と光学チップ６との接続の低寄生容量化により、半導体チップ５と光学チップ６との間で電気信号の伝達速度を高速化できる。

【００４４】

さらにまた、この複合チップモジュール２は、詳細は後述するが、樹脂層７がダミー基板３０の高精度な平坦化された主面３０ａ上に剥離層３１を介して積層形成され、ダミー基板３０及び剥離層３１が除去されることで形成される。このため、複合チップモジュール２では、薄膜形成技術で形成されるパターン配線８や接続ランド部９、樹脂層７を貫通する層間ビア８等を精度良く形成することができる。

【００４５】

なお、図１に示す複合チップモジュール２においては、回路部４が樹脂層７一層をベースにした構成になっているが、樹脂層７及び樹脂層７の両主面７ａ，７ｂ上に形成されるパターン配線８、接続ランド部９が多層に形成された構成になっていても良い。この場合、回路部４には、例えばキャパシタやインダクタ等の受動素子等をパターン配線８の一部に形成することも可能である。

【００４６】

次に、光電気配線層３について説明する。この光電気配線層３は、複合チップモジュール２における樹脂層７の第２の主面７ｂ上に形成されており、ベースとなるクラッド層１５と、光伝送路となる光配線コア１６と、クラッド層１５の厚み方向に貫通する接続ビア１７とを備えている。

【００４７】

クラッド層１５は、複合チップモジュール２における樹脂層７の第２の主面７ｂ上に形成される下部クラッド層１８と、下部クラッド層１８上に形成される上部クラッド層１８との二層構造になっている。クラッド層１５は、例えば高分子系の樹脂材料、ガラスやシリカ系の無機材料等により形成されている。クラッド層１５において、下部クラッド層１８及び上部クラッド層１８は、互いの密着性や、応力解除といった信頼性の面で問題のない同じ材料により、複合チップモジュール２にダメージを与えることのない低温にて形成されることが望ましい。

【００４８】

光配線コア１６は、一端が複合チップモジュール２における樹脂層７の第２の主面７ｂで

露出する光学チップ６の発光部１３と相対し、他端が第２の主面７ｂで露出する光学チップ６の発光部１４と相対するように形成されている。この光配線コア１６は、下部クラッド層１８と上部クラッド層１８とで挟まれることでクラッド層１５に周囲を覆われるようにされている。

【００４９】

光配線コア１６は、例えば上述したクラッド層１５の屈折率よりも大きな屈折率を有するポリイミド、エポキシ系樹脂、アクリル系樹脂、ポリオレフィン系樹脂、ゴム系樹脂等の樹脂材料により、リッジ形状やスラブ形状に形成されている。これにより、光配線コア１６は、周囲が屈折率の小さい材料で覆われていることから、導光させる光信号を全反射させながら伝播させることが可能な光導波路となる。

【００５０】

また、光配線コア１６は、両端部にミラー部２０ａ，２０ｂが配設されている。そして、光配線コア１６では、一端に配設されたミラー部２０ａが発光部１３で発光された光信号を図中矢印Ａで示す光電気配線層３に対して略平行になる方向に反射させ、他端に配設されたミラー部２０ｂが伝播されてきた光信号を図中矢印Ｂで示す光電気配線層３に対して略垂直になる方向に反射させる。これにより、光配線コア１６では、複合チップモジュール２における光学チップ６の発光部１３で発光された光信号を、光学チップ６の発光部１４に伝播させることが可能となる。

【００５１】

このような構成の光電気配線層３は、上述した回路部４と同様に、クラッド層１５を多層に形成し、層間にパターン配線等がパターン形成された構成にすることも可能である。この場合も、例えばパターン配線に受動素子等を形成させることが可能である。

【００５２】

以上のような構成の複合チップユニット１では、複合チップモジュール２の光学チップ６における発光部１３と発光部１４との光学的な接続を光電気配線層３の光配線コア１６で行っており、従来のようにパターン配線と光配線とが混載されないことから、パターン配線８や光配線コア１６の引き回しが簡略化されて製造時の歩留まりを向上できる。

【００５３】

また、この複合チップユニット１では、半導体チップ５と光学チップ６とが複合チップモジュール２に備わり１チップ化されていることから、例えばマザー基板等に実装させる場合、半導体チップ５と光学チップ６とを一括して実装できる。このため、この複合チップユニット１では、従来のように半導体チップや光学チップをそれぞれ実装させる度に行っていたアライメント調整の回数を減らすことができ、更に製造時の歩留まりを向上できる。

【００５４】

さらに、この複合チップユニット１では、光学チップ６の主面６ａと絶縁層７の第２の主面７ｂとが同一面になるように光学チップ６が絶縁層７に埋め込まれていることで、絶縁層７の第２の主面７ｂ上に形成される光電気配線層３における光配線コア１６や接続ビア１７等を精度良く形成できる。

【００５５】

次に、上述した複合チップユニット１の製造方法について説明する。複合チップユニット１を製造する際は、先ず、複合チップモジュール２を作製する。複合チップモジュール２を製造する際は、図２に示すように、主面３０ａ上に剥離層３１が成膜されたダミー基板３０を用意する。ダミー基板３０には、高い耐熱性を有し、その主面が高度に平坦化されている例えばガラス基板や、石英基板や、Ｓｉ基板等を用いる。剥離層３１は、例えばスパッタリング法や化学蒸着（ＣＤＶ：Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ）法等といった薄膜形成技術によってダミー基板３０の主面３０ａ上の全面に亘って１０００Å程度の均一な厚みに成膜された銅やアルミニウム等の金属膜３１ａと、この金属膜３１ａ上にスピンコート法等で全面に亘って１μｍ～２μｍ程度の厚みに成膜されたポリイミド樹脂等の樹脂膜３１ｂとによって構成されている。

【００５６】
次に、剥離層３１上には、図３に示すように、光学チップ６を所定の位置に配設させる。このとき、光学チップ６は、例えば発光部１３や発光部１４が形成された主面６ａが剥離層３１と対向するように配設させる。光学チップ６が配設される剥離層３１は、配設される光学チップ６が固定できるように、ある程度の粘着性を有していることが好ましい。
【００５７】
次に、剥離層３１上には、図４に示すように、光学チップ６を覆うように樹脂層７が形成される。樹脂層７は、例えば従来の配線基板製造工程において一般的に知られる上述した絶縁性材料を用いて成膜形成される。具体的に、樹脂層７は、液状の絶縁性材料を例えばスピンコート法、カーテンコート法、ロールコート法、ディップコート法等によって剥離層３１上に塗布させることで成膜形成される。
【００５８】
次に、樹脂層７には、図５に示すように、例えばバックグラインド法や化学－機械研磨法（ＣＭＰ：Ｃｈｅｍｉｃａｌ－Ｍｅｃｈａｎｉｃａｌ　Ｐｏｌｉｓｈｉｎｇ）等による研磨処理が施される。このとき、樹脂層７には、少なくとも光学チップ６の主面６ａとは反対側の主面８ｂが露出されるまで研磨処理を施す。これにより、樹脂層７は、研磨面が第１の主面７ａとなり高精度の平坦化されると共に、所定の厚みにまで薄型化されることになる。
【００５９】
次に、樹脂層７には、図６に示すように、所定の位置に層間ビア１０となる開口部３２がパターンニング処理により形成される。開口部３２は、樹脂層７に感光性の絶縁性材料を用いた場合、例えばフォトリソグラフ技術によるパターンニング処理で形成される。また、開口部３２は、樹脂層７に非感光性の絶縁性材料を用いた場合、例えばフォトレジストやアルミニウム等のマスクを用い、ドライエッチングやレーザ加工等によるパターンニング処理で形成される。
【００６０】
また、光学チップ６にも、樹脂層７と同様にして開口部３２が形成される。このとき、光学チップ６には、端子部１２が望むように開口部３２を形成させる。
【００６１】
次に、樹脂層７の第１の主面７ａ上には、図７に示すように、パターン配線８が例えばセミアディティブ法やフルアディティブ法等によってパターン形成される。また、パターン配線８をパターン形成する際は、例えば銅、アルミニウム等の導電性金属からなる金属膜を成膜した後に、所望の形状にエッチング処理等をほどこすことでパターン形成させても良い。このとき、パターン配線８の一部には、半導体チップ５の接続端子５ａが接続される接続ランド部９も同時にパターン形成される。また、層間ビア１０も、パターン配線８と一緒に形成される。接続ランド部９には、半導体チップ５の接続端子５ａを適切に接続させるために、表面に例えば金やスズ等を成膜させるめっき処理を施しても良い。このようにして、樹脂層７に光学チップ６が埋め込まれた回路部４が形成される。
【００６２】
次に、樹脂層７の第１の主面７ａ上には、図８に示すように、半導体チップ５を実装させる。具体的に、半導体チップ５は、予め接続端子５ａに接続バンプ１１が形成され、この接続バンプ１１が例えばアンダーフィル法、ＴＡＢ（Ｔａｐｅ　Ａｕｔｏｍａｔｅｄ　Ｂｏｎｄｉｎｇ）法、リードビームボンディング法等のフェースダウン実装法により接続ランド部９に接続されることで樹脂層７の第１の主面７ａ上に実装される。例えばアンダーフィル法の場合、半導体チップ５と樹脂層７との間に樹脂部材３３を充填させ、充填させた樹脂部材３３が硬化した際の収縮力が半導体チップ５の接続端子５ａと接続ランド部９とを互いに押しつけることで適切に接続されることになる。なお、半導体チップ５を樹脂層７に実装させる際は、上述したフェースダウン実装法に限定されることはなく、例えばフリップチップボンディング法等で実装させることも可能である。
【００６３】

次に、樹脂層７の第１の主面７ａ上には、図９に示すように、実装された半導体チップ５を被覆するように保護層３４が形成される。保護層３４は、例えばトランスファーモールド法や印刷法等によって半導体チップの周囲を覆うように樹脂が充填されることで樹脂蔵４の第１の主面７ａ全面に亘って形成される。保護層３４には、例えばエポキシ系樹脂等のように熱硬化による樹脂自体の収縮率が小さな樹脂が用いる。これにより、樹脂層７では、保護層３４が熱硬化する際の収縮によって反り等の変形が生じることを防止できる。また、保護層３４には、機械的強度を向上させるためにシリカ系フィラーを含有させても良い。

【００６４】

次に、半導体チップ５及び保護層３４には、図１０に示すように、研磨処理が施される。この研磨処理では、例えばグラインダを用いた機械研磨法、ウェットエッチングによる化学研磨法或いはこれらの研磨法を併用したＣＭＰ方等によって行われ、保護層３４と共に、その機能に支障が生じない限界の厚みまで半導体チップ５を研磨する。この研磨処理では、ダミー基板３０を半導体チップ５及び保護層３４に対する支持基板とし、半導体チップ５の研磨面方向の周囲を保護層３４が埋め込まれて半導体チップ５と保護層３４とに段差が生じないようにして研磨していくことから、半導体チップ５のエッジ欠けを防ぎながら半導体チップ５及び保護層３４を研磨させることができる。

【００６５】

次に、ダミー基板３０は、図１１に示すように、樹脂層７の第２の主面７ｂから剥離層３１と共に除去される。具体的には、ダミー基板３０及び剥離層３１を例えば塩酸や硝酸等の酸性溶液中に浸漬させることで酸性溶液が剥離層３１の金属膜３１ａを僅かに溶解させつつ金属膜３１ａと樹脂膜３１ｂとの間に浸入していき、金属膜３１ａと樹脂膜３１ｂとの間で剥離が進行し、樹脂層７の第２の主面７ｂ上に樹脂膜３１ｂが残留した状態でダミー基板３０が除去される。また、ダミー基板３０は、例えばレーザアブレーション処理によって樹脂層７から除去されるようにしても良い。

【００６６】

次に、樹脂層７の第２の主面７ｂ上に残留した樹脂膜３１ｂは、例えば酸素プラズマによるドライエッチング法等によって除去される。これにより、樹脂層７の第２の主面７ｂでは、層間ビア１０の端部が露出することになる。また、樹脂層７の第２の主面７ｂでは、光学チップ６の主面６ａと同一面になって光学チップ６における発光部１３及び発光部１４が露出される。樹脂層７の第２の主面７ｂは、相対していたダミー基板３０の主面３０ａが高精度に平坦化されていることから、高精度に平坦化されることになる。なお、ダミー基板３０は、必要に応じて再利用される。

【００６７】

次に、樹脂層７の第２の主面７ｂ上には、図１２に示すように、接続ランド部９が形成される。接続ランド部９は、樹脂層７の第２の主面７ｂで露出している層間ビア１０の端面を覆うように、例えば薄膜形成技術等により銅、金、スズ等の導電性金属で形成される。このようにして、半導体チップ５と光学チップ６とを備え、ＣＳＰ化された複合チップモジュール２が作製される。

【００６８】

次に、光電気配線層３を作製する。光電気配線層３を製造する際は、図１３に示すように、複合チップモジュール２の厚み方向の上下を反転させ、複合チップモジュール２における樹脂層７の第２の配線層４ｂ上に下部クラッド層１８を形成させる。この下部クラッド層１８は、上述した樹脂層７と同様に、液状の高分子系樹脂材料を例えばスピンコート法、カーテンコート法、ロールコート法、ディップコート法等によって樹脂層７の第２の主面７ｂ上に塗布させることで成膜形成される。

【００６９】

次に、下部クラッド層１８上には、図１４に示すように、光配線コア１６が形成される。光配線コア１６は、下部クラッド層１８に用いられた樹脂材料の屈折率よりも大きな屈折率を有する液状の樹脂材料を例えばスクリーン印刷法等で所定の形状に塗布することでパ

ターン形成される。また、光配線コア１６には、両端部に例えば金やアルミニウム等からなるミラー部２０ａ，２０ｂが配設される。

【００７０】

次に、下部クラッド層１８上には、図１５に示すように、パターン形成された光配線コア１６を被覆するように上部クラッド層１８が形成される。上部クラッド層１８は、上述した下部クラッド層１８と同様の材料及び同様の方法で形成される。このようにして下部クラッド層１８と上部クラッド層１８とからなり、光電気配線層３のベースとなるクラッド層１５が構成される。また、光配線コア１６は、周囲が屈折率の小さい樹脂材料で形成されたクラッド層１５で覆われていることから、導光させる光信号を全反射させながら伝播させることが可能な光導波路となる。

【００７１】

次に、クラッド層１５には、図１６に示すように、厚み方向に貫通して複合チップモジュール２における樹脂層７の第２の主面７ｂ上に形成された接続ランド部９に接続される接続ビア１７が形成される。接続ビア１７は、上述した層間ビア１０と同様の材料及び同様の方法で形成される。そして、クラッド層１５の複合チップモジュール２と対向する主面とは反対側の主面１４ａ上には、露出する接続ビア１７の端部を覆うように、例えば複合チップユニット１がマザー基板等に実装された際の外部に対する電気信号や電力等の供給部となる入出力端子部３５が上述した接続ランド部９と同様の方法で形成される。そして、このようにして光電気配線層３が複合チップモジュール２上に作製されることで、複合チップユニット１が製造される。

【００７２】

以上で説明した複合チップユニット１の製造方法では、複合チップモジュール２の光学チップ６同士の光学的な接続を行う光配線コア１６を光電気配線層３側に形成させており、複合チップモジュール側にパターン配線６と光配線コア１６とを混載させていないことから、各配線の引き回しが簡略化されて歩留まり良く複合チップユニット１を製造できる。

【００７３】

また、この製造方法によれば、複合チップモジュール２において、半導体チップ５と光学チップ６とを層間ビア１０で層間接続させており、これらを非常に短距離で電気的に接続できることから、半導体チップ５と光学チップ６との接続の低寄生容量化が図られた複合チップユニットを製造できる。

【００７４】

上述した複合チップユニット１の製造方法では、複合チップモジュール２を作製する際に一個取りの場合で説明したが、このことに限定されることはなく、図１７に示すように、例えば一枚のダミー基板３０上に複合チップモジュール２を複数個作製した後に、所定の位置で切り分けることで一括して複数個の複合チップモジュール２を作製させることも可能である。

【００７５】

また、上述した実施の形態では、一つの半導体チップ５に電気的に接続された発光部１３を備える光学チップ６と発光部１４を備える光学チップ６とが光配線コア１６が光学的に接続された構成の複合チップユニット１を例に挙げて説明しているが、このことに限定されることはなく、図１８に示す複合チップユニット４０のように、例えば複数の半導体チップ５にそれぞれ備わる光学チップ６同士を光配線コア１６で光学的に接続された構成にすることも可能である。

【００７６】

この複合チップユニット４０は、例えば一般的な多層配線基板製造工程を経ることで製造されるマザー基板４１等にフリップチップボンディング法等で実装させることも可能である。これにより、複合チップユニット４０は、マザー基板４１の層内に形成されたパターン配線４２やビア４３等を介して電力や電気信号等が入力されることになる。

【００７７】

さらに、上述した実施の形態では、複合チップモジュール２における光学チップ６同士の

光学的な接続は光電気配線層３に設けられた光配線コア１６を介して行われる構成の複合チップユニット１を例に挙げて説明しているが、このことに限定されることはなく、図１９に示すように、例えば光電気配線層３を用いることなく、複合チップモジュール２を光電気配線混載基板５０等に実装させることで光学チップ６同士を接続させた構成にすることも可能である。

【００７８】

この場合、複合チップモジュール２では、半導体チップ５に対する電力や電気信号の供給が、例えば光電気配線混載基板５０に設けられたパターン配線８１やビア５２等といった電気配線を介して行われる。一方、光学チップ６同士の光学的な接続は、例えば光電気配線混載基板５０に設けられた光配線コア５３を介して行われる。また、複合チップモジュール２は、図に示すように、光電気配線混載基板５０の主面５０ａ上に、例えばフリップチップボンディング法等で複数実装させることも可能である。

【００７９】

【発明の効果】

以上詳細に説明したように、本発明によれば、絶縁層の第１の主面に実装された電気チップと、絶縁層の第２の主面に埋め込まれた光学チップとを層間ビアにより短距離で電気的に接続させることにより、電気チップと光学チップとの接続の低寄生容量化を図ることができる。

【００８０】

また、本発明によれば、複合チップモジュールの光学チップ同士の光学的な接続を光電気配線層の光伝送路で行っており、複合チップモジュール側にパターン配線と光配線とを混載させないことから、各配線の引き回しが簡略化されて製造時の歩留まりの向上と、小型化を図ることができる。

【００８１】

したがって、本発明によれば、電気チップと光学チップとの接続で生じる寄生容量が低減され、且つ製造時の歩留まりの向上、小型化が図られた複合チップモジュール及び複合チップユニットを得ることができる。

【図面の簡単な説明】

【図１】本発明を適用した複合チップユニットの一例を示す断面図である。

【図２】同複合チップユニットの製造方法を説明するため図であり、ダミー基板の縦断面図である。

【図３】同複合チップユニットの製造方法を説明するため図であり、ダミー基板上に光学チップを配置した状態を示す縦断面図である。

【図４】同複合チップユニットの製造方法を説明するため図であり、ダミー基板上に樹脂層を形成させた状態を示す縦断面図である。

【図５】同複合チップユニットの製造方法を説明するため図であり、樹脂層及び光学チップに研磨処理が施された状態を示す縦断面図である。

【図６】同複合チップユニットの製造方法を説明するため図であり、樹脂層及び光学チップに開口部が形成された状態と示す縦断面図である。

【図７】同複合チップユニットの製造方法を説明するため図であり、樹脂層の第１の主面上にパターン配線及び接続ランド部が形成された状態を示す縦断面図である。

【図８】同複合チップユニットの製造方法を説明するため図であり、樹脂層の第１の主面上に半導体チップが実装された状態を示す縦断面図である。

【図９】同複合チップユニットの製造方法を説明するため図であり、半導体チップが保護層で覆われた状態を示す縦断面図である。

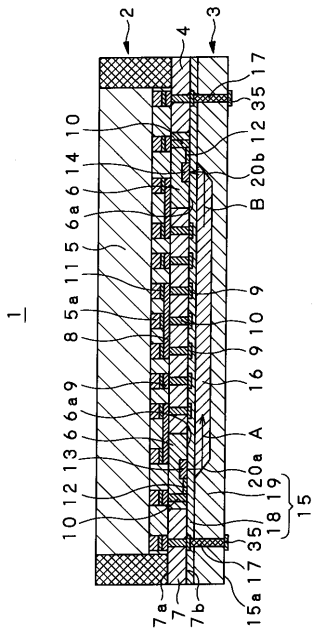
【図１０】同複合チップユニットの製造方法を説明するため図であり、半導体チップ及び保護層に研磨処理が施された状態を示す縦断面図である。

【図１１】同複合チップユニットの製造方法を説明するため図であり、ダミー基板が除去された状態を示す縦断面図である。

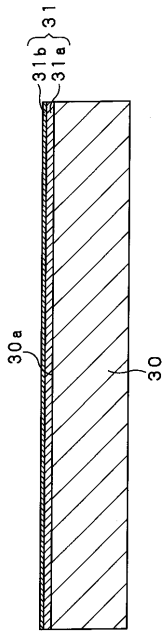
【図１２】同複合チップユニットの製造方法を説明するため図であり、作製された複合チ

ップモジュールを示す縦断面図である。
【図１３】同複合チップユニットの製造方法を説明するため図であり、複合チップモジュール上に下部クラッド層が形成された状態を示す縦断面図である。
【図１４】同複合チップユニットの製造方法を説明するため図であり、下部クラッド層上に光配線コアが形成された状態を示す縦断面図である。
【図１５】同複合チップユニットの製造方法を説明するため図であり、下部クラッド層上に上部クラッド層が形成された状態を示す縦断面図である。
【図１６】同複合チップユニットの製造方法を説明するため図であり、完成した複合チップユニットを示す縦断面図である。
【図１７】同複合チップモジュールを一括して複数作製することを説明する図であり、同図（ａ）はダミー基板上に複数の複合チップモジュールが形成された状態を示す縦断面図であり、同図（ｂ）はダミー基板上に複数形成された複合チップモジュールを切り分けた状態を示す縦断面図である。
【図１８】同複合チップユニットの他の構成例であり、複数の半導体チップを備えた複合チップユニットがマザー基板に実装された状態を示す縦断面図である。
【図１９】同複合チップモジュールが光電気配線混載基板の主面上に複数実装された状態を示す縦断面図である。
【符号の説明】
１，４０　複合チップユニット、２　複合チップモジュール、３　光電気配線層、４　回路部、５　半導体チップ、５ａ　接続端子、６　光学チップ　７　樹脂層、７ａ　第１の主面、７ｂ　第２の主面、８　パターン配線、９　接続ランド部、１０　層間ビア、１１　接続バンプ、１２　端子部、１３　発光部、１４受光部、１５　クラッド層、１６　光配線コア、１７　接続ビア、１８　下部クラッド層、１９　上部クラッド層、２０ａ，２０ｂ　ミラー部、３０　ダミー基板、３１　剥離層

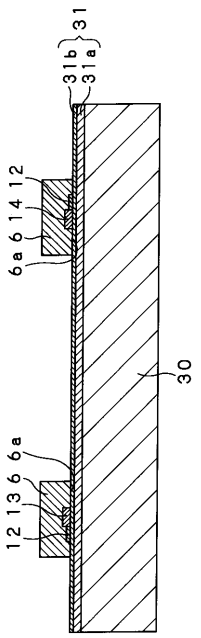
【図１】



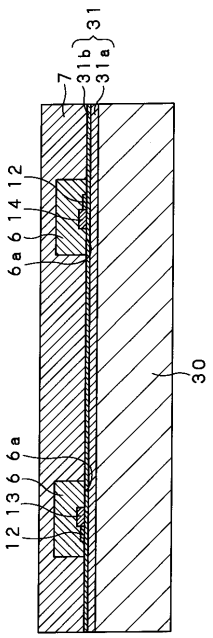
【図２】



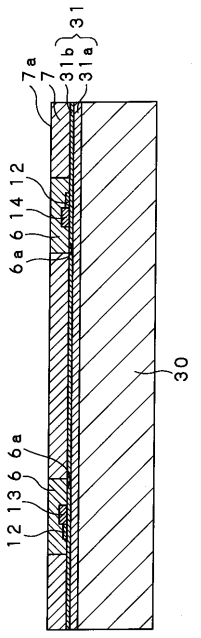
【図３】


31
31b
31a
12
14
6
6a
30
6a
6
13
12

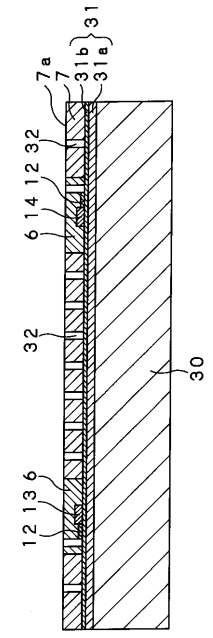
【図４】


31
31b
31a
7
12
14
6
6a
30
6a
6
13
12

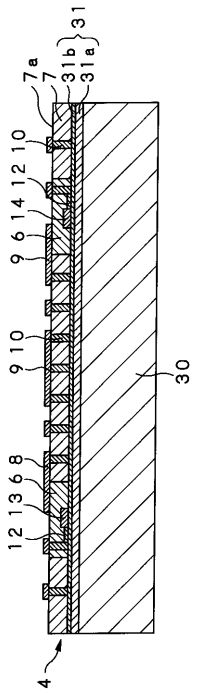
【図５】


31
31b
31a
7
7a
12
14
6
6a
30
6a
6
13
12

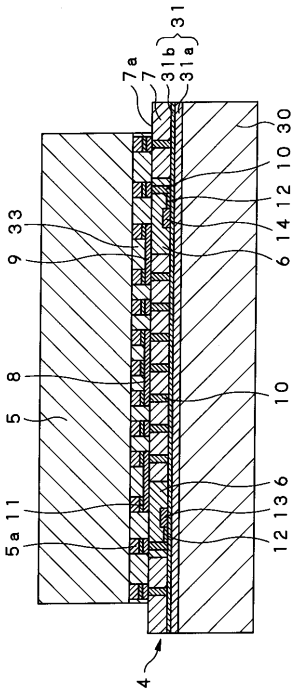
【図６】


31
31b
31a
7
7a
32
12
14
6
32
30
6
13
12

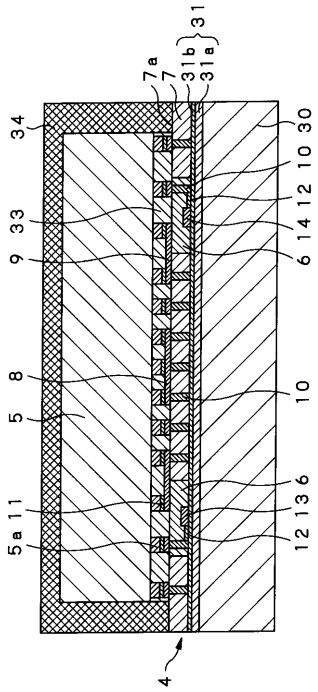
【図７】


7a
7
31b
31a
31
10
12
14
6
9
10
30
8
6
13
12
4

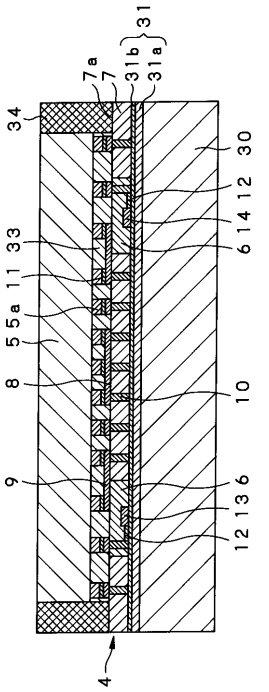
【図８】


7a
7
31b
31a
31
30
10
12
14
6
33
9
8
10
5
6
13
12
11
5a
4

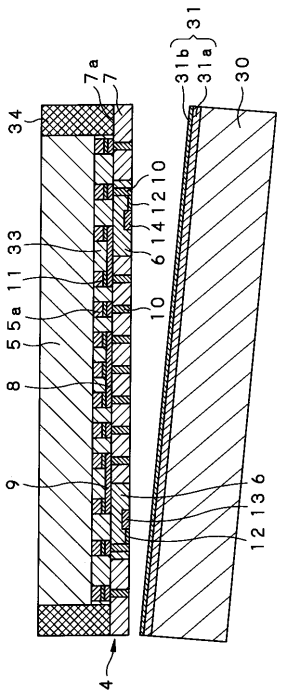
【図９】


7a
7
31b
31a
31
34
30
10
12
14
6
33
9
8
10
5
6
13
12
11
5a
4

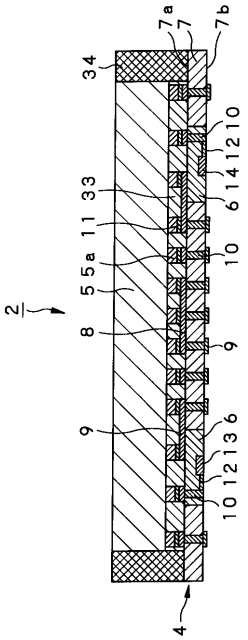
【図１０】


7a
7
31b
31a
31
34
30
12
14
6
33
11
5a
5
8
10
9
6
13
12
4

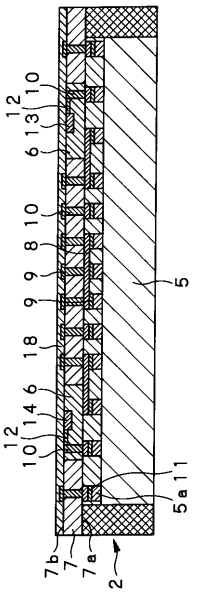
【図１１】



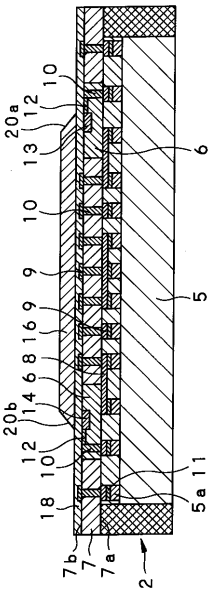
【図１２】



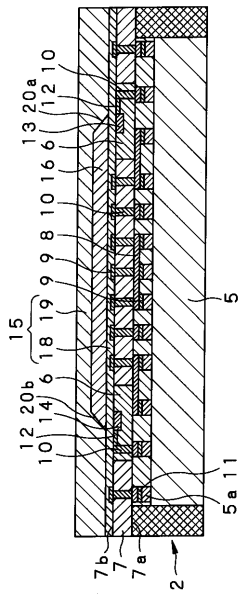
【図１３】



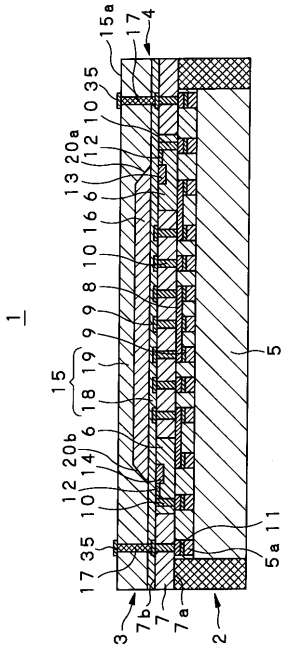
【図１４】



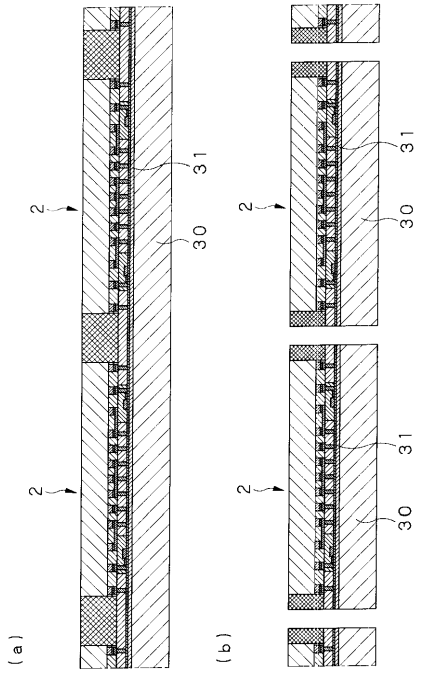
【図１５】



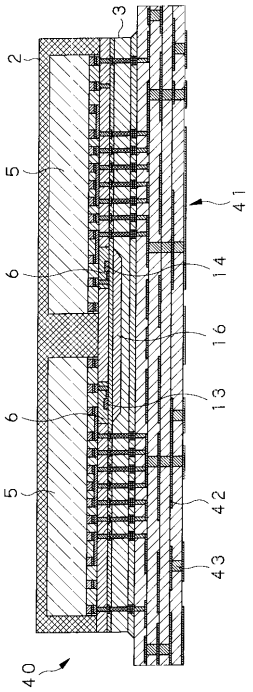
【図１６】



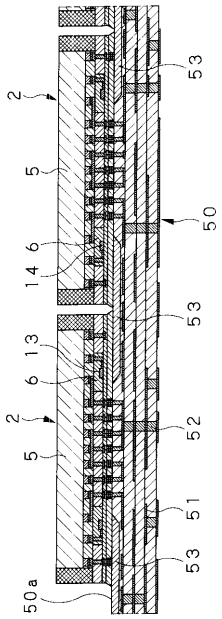
【図１７】



【図１８】



【図１９】



【手続補正書】
【提出日】平成15年9月18日(2003.9.18)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】絶縁層と、この絶縁層の第１の主面上及び第２の主面上に形成された接続ランド部を備えるパターン配線と、両主面上に形成された上記接続ランド部同士を電気的に層間接続させる層間ビアとを有する回路部と、
上記接続ランド部に接続される接続端子を有し、この接続端子が上記接続ランド部と接続されて上記絶縁層の第１の主面上に実装されることで上記層間ビアを介して出入力される電気信号を処理する電気チップと、
上記接続端子が接続された上記接続ランド部に上記層間ビアを介して接続される端子部を有し、発光部及び／又は受光部が主面に形成され、当該主面と上記絶縁層の第２の主面とが同一面になるように上記絶縁層に埋め込まれることで上記発光部及び／又は上記受光部が上記絶縁層の第２の主面で露出されている光学チップと
を備えていることを特徴とする複合チップモジュール。
【請求項２】上記回路部は、複数の上記絶縁層が積層され、これら複数の上記絶縁層の主面上にそれぞれ形成された上記パターン配線と、このパターン配線同士を層間接続させる上記層間ビアとを有し、
上記電気チップは、複数積層された上記絶縁層のうち、最上層の上記絶縁層の主面上に実装され、
上記光学チップは、複数積層された上記絶縁層のうち、最下層の上記絶縁層に埋め込まれ

ていることを特徴とする請求項１記載の複合チップモジュール。
【請求項３】上記光学チップは、上記絶縁層の厚み方向に上記電気チップを投影した領域内に埋め込まれていることを特徴とする請求項１記載の複合チップモジュール。
【請求項４】絶縁層と、この絶縁層の第１の主面上及び第２の主面上に形成された接続ランド部を備えるパターン配線とを有する回路部を形成する回路部形成工程と、
上記接続ランド部に接続される接続端子を有し、電気信号を出入力して処理する電気チップを、上記接続ランド部と上記接続端子とを接続させることで上記絶縁層の第１の主面に実装する実装工程と、
外部に対して電気信号の出入力部となる端子部を有し、発光部及び／又は受光部が主面に形成された光学チップを、当該主面と上記絶縁層の第２の主面とが同一面になるように上記絶縁層に埋め込むことで上記発光部及び／又は上記受光部を上記絶縁層の第２の主面に露出させる埋め込み工程と、
上記絶縁層の両主面上に形成された上記接続ランド部間、及び上記接続端子が接続された上記接続ランド部と上記光学チップの端子部とを電気的に層間接続させる層間ビアを、上記回路部に形成するビア形成工程と
を有することを特徴とする複合チップモジュールの製造方法。
【請求項５】上記回路部形成工程においては、複数の上記絶縁層を積層し、これら複数の上記絶縁層の主面上に上記パターン配線をそれぞれ形成させ、
上記実装工程においては、上記電気チップを、複数積層された上記絶縁層のうち、最上層の上記絶縁層の主面上に実装させ、
上記埋め込み工程においては、上記光学チップを、複数積層された上記絶縁層のうち、最下層の上記絶縁層に埋め込むことを特徴とする請求項４記載の複合チップモジュールの製造方法。
【請求項６】上記埋め込み工程においては、上記光学チップを、上記絶縁層の厚み方向に上記電気チップを投影した領域内に埋め込むことを特徴とする請求項４記載の複合チップモジュールの製造方法。
【請求項７】絶縁層と、この絶縁層の第１の主面上及び第２の主面上に形成された接続ランド部を備えるパターン配線と、両主面上に形成された上記接続ランド部同士を電気的に層間接続させる層間ビアとを有する回路部と、上記接続ランド部に接続される接続端子を有し、この接続端子が上記接続ランド部と接続されて上記絶縁層の第１の主面上に実装されることで上記層間ビアを介して出入力される電気信号を処理する電気チップと、上記接続端子が接続された上記接続ランド部に上記層間ビアを介して接続される端子部を有し、発光部及び／又は受光部が主面に形成され、当該主面と上記絶縁層の第２の主面とが同一面になるように上記絶縁層に埋め込まれることで上記発光部及び／又は上記受光部が上記絶縁層の第２の主面で露出されている光学チップとを備える複合チップモジュールと、
上記複合チップモジュールにおける上記絶縁層の第２の主面上に形成され、上記絶縁層の第２の主面で露出する上記発光部と上記受光部とを光学的に接続させる光伝送路と、上記複合チップモジュールの上記接続ランド部に電気的に接続される接続ビアとを有する光電気配線層と
を備えていることを特徴とする複合チップユニット。
【請求項８】上記光電気配線層における光伝送路は、上記発光部で発光された光信号を全反射させながら上記受光部まで伝播させる光導波路であることを特徴とする請求項７記載の複合チップユニット。
【請求項９】上記複合チップモジュールにおける回路部は、複数の上記絶縁層が積層され、これら複数の上記絶縁層の主面上にそれぞれ形成された上記パターン配線と、このパターン配線同士を層間接続させる上記層間ビアとを有し、
上記電気チップは、複数積層された上記絶縁層のうち、最上層の上記絶縁層の主面上に実装され、
上記光学チップは、複数積層された上記絶縁層のうち、最下層の上記絶縁層に埋め込まれていることを特徴とする請求項７記載の複合チップユニット。

【請求項１０】上記複合チップモジュールにおける光学チップは、上記絶縁層の厚み方向に上記電気チップを投影した領域内に埋め込まれていることを特徴とする請求項７記載の複合チップユニット。
【請求項１１】絶縁層と、この絶縁層の第１の主面上及び第２の主面上に形成された接続ランド部を備えるパターン配線とを有する回路部を形成する回路部形成工程と、上記接続ランド部に接続される接続端子を有し、電気信号を出入力して処理する電気チップを、上記接続ランド部と上記接続端子とを接続させることで上記絶縁層の第１の主面に実装する実装工程と、外部に対して電気信号の出入力部となる端子部を有し、発光部及び／又は受光部が主面に形成された光学チップを、当該主面と上記絶縁層の第２の主面とが同一面になるように上記絶縁層に埋め込むことで上記発光部及び／又は上記受光部を上記絶縁層の第２の主面に露出させる埋め込み工程と、上記絶縁層の両主面上に形成された上記接続ランド部間、及び上記接続端子が接続された上記接続ランド部と上記光学チップの端子部とを電気的に層間接続させる層間ビアを、上記回路部に形成するビア形成工程とを経て複合チップモジュールを形成する工程と、
上記複合チップモジュールにおける上記絶縁層の第２の主面上に、上記絶縁層の第２の主面で露出する上記発光部と上記受光部とを光学的に接続させる光伝送路と、上記複合チップモジュールの第２の主面上に形成された上記接続ランド部に電気的に接続される接続ビアとを有する光電気配線層を形成させる工程と
を有していることを特徴とする複合チップユニットの製造方法。
【請求項１２】光電気配線層を形成させる工程において、上記光伝送路として、上記発光部で発光された光を全反射させながら上記受光部まで伝播させる光導波路を形成させることを特徴とする請求項１１記載の複合チップユニットの製造方法。
【請求項１３】上記複合チップモジュールを形成させる工程の回路部形成工程においては、複数の上記絶縁層を積層し、これら複数の上記絶縁層の主面上に上記パターン配線をそれぞれ形成させ、
上記実装工程においては、上記電気チップを、複数積層された上記絶縁層のうち、最上層の上記絶縁層の主面上に実装させ、
上記埋め込み工程においては、上記光学チップを、複数積層された上記絶縁層のうち、最下層の上記絶縁層に埋め込むことを特徴とする請求項１１記載の複合チップユニットの製造方法。
【請求項１４】上記複合チップモジュールを形成させる工程の埋め込み工程においては、上記光学チップを、上記絶縁層の厚み方向に上記電気チップを投影した領域内に埋め込むことを特徴とする請求項１１記載の複合チップユニットの製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、電気チップと光学チップとを備え、情報信号の伝達速度の高速化を可能にした複合チップモジュール及びその製造方法、並びにこの複合チップモジュールを備え光学チップ同士の接続が光伝送路でされた複合チップユニット及びその製造方法に関する。
【０００２】
【従来の技術】
近年では、例えばＩＣ（Ｉｎｔｅｇｒａｔｅｄ　Ｃｉｒｃｕｉｔ）チップやＬＳＩ（Ｌａｒｇｅ　ＳｃａｌｅＩｎｔｅｇｒａｔｉｏｎ）チップ等といった集積回路チップの技術進歩により、集積回路の動作速度や集積規模が大きくなってマイクロプロセッサの高性能化や、メモリーチップの大容量化が急速に達成されている。このような集積回路チップでは、回路基板に実装させた場合、チップ間が比較的短距離であっても情報の伝達は電気信号により行われている。
【０００３】
そして、集積回路チップの更なる高性能化に伴い、チップ間を行き交う信号の伝達速度の高速化は不可欠であり、電気信号の高密度化、すなわち電気配線の高密度化が必要とされ

ている。
【０００４】
しかしながら、回路基板においては、電気配線の高密度化には限界があると共に、電気配線のＣＲ（Ｃａｐａｃｉｔａｎｃｅ－Ｒｅｓｉｓｔａｎｃｅ）時定数による信号遅延が問題となる。また、回路基板においては、電気信号の高速化や電気配線の高密度化が、例えばＥＭＩ（Ｅｌｅｃｔｒｏｍａｇｎｅｔｉｃ Ｉｎｔｅｒｆｅｒｅｎｃｅ）ノイズやチャンネル間のクロストーク等といった不具合が起きる原因となることから、これら不具合の対策も不可欠となる。
【０００５】
上述した問題を解決する手段としては、例えば光信号配線や光インターコネクション等といった光配線で、電子機器間、回路基板間、チップ間等を配線させることが提案されている。特に、チップ間のような短距離間の情報伝達には、回路基板に実装されたチップ間に光を全反射させながら伝播させる光導波路を形成し、この光導波路を伝送路にした光伝送・通信システムを構築することが望まれている。
【０００６】
このような光伝送・通信システムとしては、例えば電気信号を光信号に変換させる発光部及び／又は光信号を電気信号に変換させる受光部を有する光学チップ、電気信号の演算処理等が行われるＩＣチップやＬＳＩチップ等といった電気チップ等が回路基板等に実装された複合チップユニットが用いられている。
【０００７】
この複合チップユニットにおいては、例えば光学チップや電気チップへの電力の供給や、各種コントロール信号の伝達を電気信号により行う必要があることから、上述した光導波路の他に回路基板にパターン配線等も形成されたハイブリット型の回路基板が用いられる。
【０００８】
具体的に、この複合チップユニットには、例えばシリコン基板やガラス基板の主面上にパターン配線が薄膜形成技術等で形成され、その上方に光配線として光導波路が積層形成されたハイブリット型の回路基板が用いられる。また、既製のプリント配線基板の主面上に光配線として光導波路を形成させたハイブリット型の回路基板等も用いられる。このようなハイブリット型の回路基板において、光配線として光導波路を形成する際は、例えば光導波路の材料に高分子化合物を用いて低温プロセスにより形成される。
【０００９】
そして、複合チップユニットにおいては、複数実装された電気チップ間の情報伝達を光配線で行う場合、電気チップからの入出力される電気信号を光信号に変換させるための光学チップが必要になる。具体的に、複合チップユニットにおいては、電気チップから電気信号が出力される側には出力された電気信号を変換させて光信号として発光する半導体レーザや発光ダイオード等の発光素子や、電気チップに電気信号が入力される側には光配線により伝播された光信号を受光して電気信号に変換させるフォトディテクタ等の受光素子を有する光学チップが必要になる。
【００１０】
すなわち、複合チップユニットにおいては、電気チップから出力された電気信号を発光素子に印加させることで、電気信号が発光素子で光信号に変換、発光されて光導波路等で伝播される。そして、光導波路等で伝播された光信号を受光素子で受光し、受光した光信号を受光素子が電気信号に変換させて電気チップに入力される。
【００１１】
【発明が解決しようとする課題】
そして、上述した複合チップユニットにおいては、電気チップと光学チップとの接続には例えばパターン配線等による電気的な接続が必要であり、電気信号の伝達速度が高速化、高密度化されるほど、電気チップと光学チップとの電気的な接続で発生する寄生容量を小さくさせる接続が求められる。

【００１２】
しかしながら、この複合チップユニットでは、ハイブリット型の回路基板にパターン配線と光配線とが混載していることから、電気チップと光学チップとの電気的な接続が複雑となり電気チップと光学チップとの電気的な接続で発生する寄生容量が大きくなってしまうのが現状である。
【００１３】
また、この複合チップユニットでは、パターン配線と光配線とが混載により、小型化にも限界がある。
【００１４】
さらに、この複合チップユニットでは、パターン配線と光配線とが複雑に入り混じっていることから、製造時の歩留まりが低下するといった問題もある。
【００１５】
そこで、本発明は、このような従来の実情に鑑みて提案されたものであり、電気チップと光学チップとを混在しながら、これら電気チップと光学チップとの接続により発生する寄生容量の低減と、製造時の歩留まりの向上とが図られた複合チップモジュール及びその製造方法、並びにこの複合チップモジュールを有する複合チップユニット及びその製造方法を提供することを目的に提案されたものである。
【００１６】
【課題を解決するための手段】
上述した目的を達成する本発明に係る複合チップモジュールは、絶縁層と、この絶縁層の第１の主面上及び第２の主面上に形成された接続ランド部を備えるパターン配線と、両主面上に形成された接続ランド部同士を電気的に層間接続させる層間ビアとを有する回路部と、接続ランド部に接続される接続端子を有し、この接続端子が接続ランド部と接続されて絶縁層の第１の主面上に実装されることで層間ビアを介して出入力される電気信号を処理する電気チップと、接続端子が接続された接続ランド部に層間ビアを介して接続される端子部を有し、発光部及び／又は受光部が主面に形成され、この主面と絶縁層の第２の主面とが同一面になるように絶縁層に埋め込まれることで発光部及び／又は受光部が絶縁層の第２の主面で露出されている光学チップとを備えていることを特徴としている。
【００１７】
この複合チップモジュールでは、絶縁層の第１の主面に実装された電気チップと、絶縁層の第２の主面に埋め込まれた光学チップとが層間ビアにより電気的に層間接続されていることから、電気チップと光学チップとの電気的な接続が短距離化、簡略化されて電気チップと光学チップとの接続で生じる寄生容量を低減できる。
【００１８】
この複合チップモジュールでは、電気チップと光学チップとの電気的な接続の短距離化、簡略化により、小型化、及び電気チップと光学チップとの間を行き交う電気信号の伝達速度の高速化を図れる。
【００１９】
この複合チップモジュールでは、例えばベース基板等に実装する際に、光学チップの主面と絶縁層の第２の主面とが同一面になるように光学チップが絶縁層に埋め込まれていることで、絶縁層の第２の主面を実装面としてベース基板等に適切且つ容易に実装することができる。
【００２０】
上述した目的を達成する本発明に係る複合チップモジュールの製造方法は、絶縁層と、この絶縁層の第１の主面上及び第２の主面上に形成された接続ランド部を備えるパターン配線とを有する回路部を形成する回路部形成工程と、接続ランド部に接続される接続端子を有し、電気信号を出入力して処理する電気チップを、接続ランド部と接続端子とを接続させることで絶縁層の第１の主面に実装する実装工程と、外部に対して電気信号の出入力部となる端子部を有し、発光部及び／又は受光部が主面に形成された光学チップを、光学チップの主面と絶縁層の第２の主面とが同一面になるように絶縁層に埋め込むことで発光部

及び／又は受光部を絶縁層の第２の主面に露出させる埋め込み工程と、絶縁層の両主面上に形成された接続ランド部間、及び接続端子が接続された接続ランド部と光学チップの端子部とを電気的に層間接続させる層間ビアを、回路部に形成するビア形成工程とを有することを特徴としている。

【００２１】

この複合チップモジュールの製造方法では、絶縁層の第１の主面に実装された電気チップと、絶縁層の第２の主面に埋め込まれた光学チップとを層間ビアにより電気的に層間接続させていることから、電気チップと光学チップとの電気的な接続が短距離化、簡略化されて電気チップと光学チップとの接続で生じる寄生容量が低減された複合チップモジュールを製造できる。

【００２２】

この複合チップモジュールの製造方法では、電気チップと光学チップとを短距離化、簡略化させて接続させることより、小型化、及び電気チップと光学チップとの間を行き交う電気信号の伝達速度が高速化された複合チップモジュールを製造できる。

【００２３】

上述した目的を達成する本発明に係る複合チップユニットは、絶縁層と、この絶縁層の第１の主面上及び第２の主面上に形成された接続ランド部を備えるパターン配線と、両主面上に形成された接続ランド部同士を電気的に層間接続させる層間ビアとを有する回路部と、接続ランド部に接続される接続端子を有し、この接続端子が接続ランド部と接続されて絶縁層の第１の主面上に実装されることで層間ビアを介して出入力される電気信号を処理する電気チップと、接続端子が接続された接続ランド部に層間ビアを介して接続される端子部を有し、発光部及び／又は受光部が主面に形成され、この主面と絶縁層の第２の主面とが同一面になるように絶縁層に埋め込まれることで発光部及び／又は受光部が絶縁層の第２の主面で露出されている光学チップとを備える複合チップモジュールと、複合チップモジュールにおける絶縁層の第２の主面上に形成され、絶縁層の第２の主面で露出する発光部と受光部とを光学的に接続させる光伝送路と、複合チップモジュールの接続ランド部に電気的に接続される接続ビアとを有する光電気配線層とを備えていることを特徴としている。

【００２４】

この複合チップユニットでは、複合チップモジュールの光学チップ同士の光学的な接続を光電気配線層の光伝送路で行っており、電気チップ及び光学チップを備える複合チップモジュール側にパターン配線と光配線とが混載していないことから、各配線の引き回しが簡略化されて小型化を図れると共に製造時の歩留まりを向上できる。

【００２５】

この複合チップユニットでは、複合チップモジュール側の電気チップと、光学チップとが層間ビアにより電気的に層間接続されていることから、電気チップと光学チップとの電気的な接続が短距離化、簡略化されて電気チップと光学チップとの接続で生じる寄生容量を低減できる。

【００２６】

この複合チップユニットでは、光学チップの主面と絶縁層の第２の主面とが同一面になるように光学チップが絶縁層に埋め込まれていることで、絶縁層の第２の主面上に形成される光電気配線層における光伝送路や接続ビア等を精度良く形成できる。

【００２７】

上述した目的を達成する本発明に係る複合チップユニットの製造方法では、絶縁層と、この絶縁層の第１の主面上及び第２の主面上に形成された接続ランド部を備えるパターン配線とを有する回路部を形成する回路部形成工程と、接続ランド部に接続される接続端子を有し、電気信号を出入力して処理する電気チップを、接続ランド部と接続端子とを接続させることで絶縁層の第１の主面に実装する実装工程と、外部に対して電気信号の出入力部となる端子部を有し、発光部及び／又は受光部が主面に形成された光学チップを、光学チップの主面と絶縁層の第２の主面とが同一面になるように絶縁層に埋め込むことで発光部

及び／又は受光部を絶縁層の第２の主面に露出させる埋め込み工程と、絶縁層の両主面上に形成された接続ランド部間、及び接続端子が接続された接続ランド部と光学チップの端子部とを電気的に層間接続させる層間ビアを、回路部に形成するビア形成工程とを経て複合チップモジュールを形成する工程と、複合チップモジュールにおける絶縁層の第２の主面上に、絶縁層の第２の主面で露出する発光部と受光部とを光学的に接続させる光伝送路と、複合チップモジュールの第２の主面上に形成された接続ランド部に電気的に接続される接続ビアとを有する光電気配線層を形成させる工程とを有していることを特徴としている。

【００２８】

この複合チップユニットの製造方法では、複合チップモジュールの光学チップ同士の光学的な接続を行う光伝送路を光電気配線層側に形成させており、電気チップ及び光学チップを備える複合チップモジュール側にパターン配線と光配線とを混載させていないことから、各配線の引き回しを簡略化でき、小型化可能な複合チップユニットを歩留まり良く製造できる。

【００２９】

この複合チップユニットの製造方法では、複合チップモジュール側の電気チップと、光学チップとを層間ビアで電気的に層間接続させていることから、電気チップと光学チップとの電気的な接続を短距離化、簡略化でき、電気チップと光学チップとの接続で生じる寄生容量が低減された複合チップユニットを製造できる。

【００３０】

この複合チップユニットの製造方法では、光学チップの主面と絶縁層の第２の主面とが同一面になるように光学チップを絶縁層に埋め込むことで、絶縁層の第２の主面上に、光伝送路や接続ビア等が精度良く形成された光電気配線層を有する複合チップユニットを製造できる。

【００３１】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。図１に本発明を適用した複合チップユニット１を示す。この複合チップユニット１は、情報信号の伝達速度を高速化できる光電気混載ＣＳＰ（ｃｈｉｐ　ｓｉｚｅ　ｐａｃｋａｇｅ）化された複合チップモジュール２と、この複合チップモジュール２に対して電気的及び光学的に接続される光電気配線層３とによって構成されている。

【００３２】

複合チップモジュール２は、回路部４と、この回路部４をベースに実装される半導体チップ５と、この半導体チップ５に電気的に接続される光学チップ６とを備えている。

【００３３】

回路部４は、樹脂材料等からなる樹脂層７と、樹脂層７の第１の主面７ａ上及び第２の主面７ｂ上に形成されたパターン配線８の一部である接続ランド部９と、樹脂層７の第１の主面７ａから第２の主面７ｂに貫通する層間ビア１０とを有している。

【００３４】

回路部４における樹脂層７は、例えばポリフェニレンエーテル（ＰＰＥ）、液晶ポリマ（ＬＣＰ）、ポリノルボルネン（ＰＮＢ）、ビスマレイドトリアジン（ＢＴ－レジン）、ポリイミド、ベンゾシクロブテン（ＢＣＢ）、エポキシ樹脂、アクリル系樹脂等の絶縁性樹脂により形成されている。

【００３５】

パターン配線８及び接続ランド部９は、樹脂層７の両主面７ａ，７ｂ上に例えば薄膜形成技術等により銅や金等の導電性金属でパターン形成されている。

【００３６】

層間ビア１０は、例えば銅等の導電性金属からなり、樹脂層７の両主面７ａ，７ｂ上に形成された接続ランド部９同士を電気的に層間接続させたり、半導体チップ５が接続された接続ランド部９と光学チップ６とを電気的に層間接続させたりする。これにより、層間ビ

ア１０では、半導体チップ５と光学チップ６との間で電気信号の伝達を行うことになる。
【００３７】
半導体チップ５は、樹脂層７の第１の主面７ａ上に実装されており、電気信号として入力された情報信号に演算処理等を施して電気信号として外部に出力させる例えばＩＣチップやＬＳＩチップ等といった集積回路チップである。そして、この半導体チップ５は、電気信号の入出力部となる接続端子５ａを備え、この接続端子５ａと樹脂層７の第１の主面７ａ上に形成された接続ランド部９とが接続バンプ１１を介して接続されることで、樹脂層７の第１の主面７ａ上に実装される。
【００３８】
光学チップ６は、電気信号が入出力される端子部１２を備え、その主面６ａ上に光を発光する発光部１３及び／又は光を受光する受光部１４が形成されている。そして、光学チップ６においては、例えば発光部１３を有する場合は発光素子となり、受光部１４を有する場合は受光素子となる。また、光学チップ６は、発光部１３及び受光部１４の両方を有する光学素子であっても良い。具体的に、光学チップ６においては、発光部１３を有する発光素子としては例えば半導体レーザや発光ダイオード等が挙げられ、受光部１４を有する受光素子としては例えばフォトディテクタ等が挙げられる。
【００３９】
この光学チップ６おいて、発光素子の場合は、端子部１２より入力された電気信号を光信号に変換させて発光部１３より光信号として発光させる。一方、受光素子の場合は、受光部１４で受光した光信号を電気信号に変換させて端子部１２より電気信号として出力させる。
【００４０】
この光学チップ６は、発光部１３及び／又は受光部１４が形成された主面６ａと、樹脂層７の第２の主面７ｂとが同一面となるように、樹脂層７に埋め込まれている。これにより、光学チップ６では、発光部１３及び／又は受光部１４が樹脂層７の第２の主面７ｂで露出することになり、第２の主面７ｂ上に例えば光信号配線や光インターコネクション等といった光配線等を容易に形成でき、簡略化された光配線を発光部１３及び受光部１４に接続できる。
【００４１】
この光学チップ６は、樹脂層７の厚み方向に半導体チップ５を投影した領域内に埋め込まれている。これにより、複合チップモジュール２は、ＣＳＰ化されて小型化を図ることが可能となる。
【００４２】
このような構成の複合チップモジュール２では、樹脂層７の第１の主面７ａに実装された半導体チップ５と、第２の主面７ｂに埋め込まれた光学チップ６とが層間ビア１０により非常に短距離で層間接続されていることから、半導体チップ５と光学チップ６との接続で生じる寄生容量を低減できる。
【００４３】
また、この複合チップモジュール２では、半導体チップ５と光学チップ６との接続の低寄生容量化により、半導体チップ５と光学チップ６との間で電気信号の伝達速度を高速化できる。
【００４４】
さらにまた、この複合チップモジュール２は、詳細は後述するが、樹脂層７がダミー基板３０の高精度な平坦化された主面３０ａ上に剥離層３１を介して積層形成され、ダミー基板３０及び剥離層３１が除去されることで形成される。このため、複合チップモジュール２では、薄膜形成技術で形成されるパターン配線８や接続ランド部９、樹脂層７を貫通する層間ビア１０等を精度良く形成することができる。
【００４５】
なお、図１に示す複合チップモジュール２においては、回路部４が樹脂層７一層をベースにした構成になっているが、樹脂層７及び樹脂層７の両主面７ａ，７ｂ上に形成されるパ

ターン配線８、接続ランド部９が多層に形成された構成になっていても良い。この場合、回路部４には、例えばキャパシタやインダクタ等の受動素子等をパターン配線８の一部に形成することも可能である。

【００４６】

次に、光電気配線層３について説明する。この光電気配線層３は、複合チップモジュール２における樹脂層７の第２の主面７ｂ上に形成されており、ベースとなるクラッド層１５と、光伝送路となる光配線コア１６と、クラッド層１５の厚み方向に貫通する接続ビア１７とを備えている。

【００４７】

クラッド層１５は、複合チップモジュール２における樹脂層７の第２の主面７ｂ上に形成される下部クラッド層１８と、下部クラッド層１８上に形成される上部クラッド層１９との二層構造になっている。クラッド層１５は、例えば高分子系の樹脂材料、ガラスやシリカ系の無機材料等により形成されている。クラッド層１５において、下部クラッド層１８及び上部クラッド層１９は、互いの密着性や、応力解除といった信頼性の面で問題のない同じ材料により、複合チップモジュール２にダメージを与えることのない低温にて形成されることが望ましい。

【００４８】

光配線コア１６は、一端が複合チップモジュール２における樹脂層７の第２の主面７ｂで露出する光学チップ６の発光部１３と相対し、他端が第２の主面７ｂで露出する光学チップ６の受光部１４と相対するように形成されている。この光配線コア１６は、下部クラッド層１８と上部クラッド層１９とで挟まれることでクラッド層１５に周囲を覆われるようにされている。

【００４９】

光配線コア１６は、例えば上述したクラッド層１５の屈折率よりも大きな屈折率を有するポリイミド、エポキシ系樹脂、アクリル系樹脂、ポリオレフィン系樹脂、ゴム系樹脂等の樹脂材料により、リッジ形状やスラブ形状に形成されている。これにより、光配線コア１６は、周囲が屈折率の小さい材料で覆われていることから、導光させる光信号を全反射させながら伝播させることが可能な光導波路となる。

【００５０】

また、光配線コア１６は、両端部にミラー部２０ａ，２０ｂが配設されている。そして、光配線コア１６では、一端に配設されたミラー部２０ａが発光部１３で発光された光信号を図中矢印Ａで示す光電気配線層３に対して略平行になる方向に反射させ、他端に配設されたミラー部２０ｂが伝播されてきた光信号を図中矢印Ｂで示す光電気配線層３に対して略垂直になる方向に反射させる。これにより、光配線コア１６では、複合チップモジュール２における光学チップ６の発光部１３で発光された光信号を、光学チップ６の受光部１４に伝播させることが可能となる。

【００５１】

このような構成の光電気配線層３は、上述した回路部４と同様に、クラッド層１５を多層に形成し、層間にパターン配線等がパターン形成された構成にすることも可能である。この場合も、例えばパターン配線に受動素子等を形成させることが可能である。

【００５２】

以上のような構成の複合チップユニット１では、複合チップモジュール２の光学チップ６における発光部１３と受光部１４との光学的な接続を光電気配線層３の光配線コア１６で行っており、従来のようにパターン配線と光配線とが混載されないことから、パターン配線８や光配線コア１６の引き回しが簡略化されて製造時の歩留まりを向上できる。

【００５３】

また、この複合チップユニット１では、半導体チップ５と光学チップ６とが複合チップモジュール２に備わり１チップ化されていることから、例えばマザー基板等に実装させる場合、半導体チップ５と光学チップ６とを一括して実装できる。このため、この複合チップユニット１では、従来のように半導体チップや光学チップをそれぞれ実装させる度に行っ

ていたアライメント調整の回数を減らすことができ、更に製造時の歩留まりを向上できる。

【００５４】

さらに、この複合チップユニット１では、光学チップ６の主面６ａと樹脂層７の第２の主面７ｂとが同一面になるように光学チップ６が樹脂層７に埋め込まれていることで、樹脂層７の第２の主面７ｂ上に形成される光電気配線層３における光配線コア１６や接続ビア１７等を精度良く形成できる。

【００５５】

次に、上述した複合チップユニット１の製造方法について説明する。複合チップユニット１を製造する際は、先ず、複合チップモジュール２を作製する。複合チップモジュール２を製造する際は、図２に示すように、主面３０ａ上に剥離層３１が成膜されたダミー基板３０を用意する。ダミー基板３０には、高い耐熱性を有し、その主面が高度に平坦化されている例えばガラス基板や、石英基板や、Ｓｉ基板等を用いる。剥離層３１は、例えばスパッタリング法や化学蒸着（ＣＶＤ：Ｃｈｅｍｉｃａｌ Ｖａｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ）法等といった薄膜形成技術によってダミー基板３０の主面３０ａ上の全面に亘って１０００Å程度の均一な厚みに成膜された銅やアルミニウム等の金属膜３１ａと、この金属膜３１ａ上にスピンコート法等で全面に亘って１μｍ～２μｍ程度の厚みに成膜されたポリイミド樹脂等の樹脂膜３１ｂとによって構成されている。

【００５６】

次に、剥離層３１上には、図３に示すように、光学チップ６を所定の位置に配設させる。このとき、光学チップ６は、例えば発光部１３や受光部１４が形成された主面６ａが剥離層３１と対向するように配設させる。光学チップ６が配設される剥離層３１は、配設される光学チップ６が固定できるように、ある程度の粘着性を有していることが好ましい。

【００５７】

次に、剥離層３１上には、図４に示すように、光学チップ６を覆うように樹脂層７が形成される。樹脂層７は、例えば従来の配線基板製造工程において一般的に知られる上述した絶縁性材料を用いて成膜形成される。具体的に、樹脂層７は、液状の絶縁性材料を例えばスピンコート法、カーテンコート法、ロールコート法、ディップコート法等によって剥離層３１上に塗布させることで成膜形成される。

【００５８】

次に、樹脂層７には、図５に示すように、例えばバックグラインド法や化学－機械研磨法（ＣＭＰ：Ｃｈｅｍｉｃａｌ－Ｍｅｃｈａｎｉｃａｌ Ｐｏｌｉｓｈｉｎｇ）等による研磨処理が施される。このとき、樹脂層７には、少なくとも光学チップ６の主面６ａとは反対側の主面が露出されるまで研磨処理を施す。これにより、樹脂層７は、研磨面が第１の主面７ａとなり高精度の平坦化されると共に、所定の厚みにまで薄型化されることになる。

【００５９】

次に、樹脂層７には、図６に示すように、所定の位置に層間ビア１０となる開口部３２がパターンニング処理により形成される。開口部３２は、樹脂層７に感光性の絶縁性材料を用いた場合、例えばフォトリソグラフ技術によるパターンニング処理で形成される。また、開口部３２は、樹脂層７に非感光性の絶縁性材料を用いた場合、例えばフォトレジストやアルミニウム等のマスクを用い、ドライエッチングやレーザ加工等によるパターンニング処理で形成される。

【００６０】

また、光学チップ６にも、樹脂層７と同様にして開口部３２が形成される。このとき、光学チップ６には、端子部１２が望むように開口部３２を形成させる。

【００６１】

次に、樹脂層７の第１の主面７ａ上には、図７に示すように、パターン配線８が例えばセミアディティブ法やフルアディティブ法等によってパターン形成される。また、パターン配線８をパターン形成する際は、例えば銅、アルミニウム等の導電性金属からなる金属膜

を成膜した後に、所望の形状にエッチング処理等をほどこすことでパターン形成させても良い。このとき、パターン配線８の一部には、半導体チップ５の接続端子５ａが接続される接続ランド部９も同時にパターン形成される。また、層間ビア１０も、パターン配線８と一緒に形成される。接続ランド部９には、半導体チップ５の接続端子５ａを適切に接続させるために、表面に例えば金やスズ等を成膜させるめっき処理を施しても良い。このようにして、樹脂層７に光学チップ６が埋め込まれた回路部４が形成される。

【００６２】

次に、樹脂層７の第１の主面７ａ上には、図８に示すように、半導体チップ５を実装させる。具体的に、半導体チップ５は、予め接続端子５ａに接続バンプ１１が形成され、この接続バンプ１１が例えばアンダーフィル法、ＴＡＢ（Ｔａｐｅ Ａｕｔｏｍａｔｅｄ Ｂｏｎｄｉｎｇ）法、リードビームボンディング法等のフェースダウン実装法により接続ランド部９に接続されることで樹脂層７の第１の主面７ａ上に実装される。例えばアンダーフィル法の場合、半導体チップ５と樹脂層７との間に樹脂部材３３を充填させ、充填させた樹脂部材３３が硬化した際の収縮力が半導体チップ５の接続端子５ａと接続ランド部９とを互いに押しつけることで適切に接続されることになる。なお、半導体チップ５を樹脂層７に実装させる際は、上述したフェースダウン実装法に限定されることはなく、例えばフリップチップボンディング法等で実装させることも可能である。

【００６３】

次に、樹脂層７の第１の主面７ａ上には、図９に示すように、実装された半導体チップ５を被覆するように保護層３４が形成される。保護層３４は、例えばトランスファーモールド法や印刷法等によって半導体チップの周囲を覆うように樹脂が充填されることで樹脂層７の第１の主面７ａ全面に亘って形成される。保護層３４には、例えばエポキシ系樹脂等のように熱硬化による樹脂自体の収縮率が小さな樹脂が用いる。これにより、樹脂層７では、保護層３４が熱硬化する際の収縮によって反り等の変形が生じることを防止できる。また、保護層３４には、機械的強度を向上させるためにシリカ系フィラーを含有させても良い。

【００６４】

次に、半導体チップ５及び保護層３４には、図１０に示すように、研磨処理が施される。この研磨処理では、例えばグラインダを用いた機械研磨法、ウェットエッチングによる化学研磨法或いはこれらの研磨法を併用したＣＭＰ方等によって行われ、保護層３４と共に、その機能に支障が生じない限界の厚みまで半導体チップ５を研磨する。この研磨処理では、ダミー基板３０を半導体チップ５及び保護層３４に対する支持基板とし、半導体チップ５の研磨面方向の周囲を保護層３４が埋め込まれて半導体チップ５と保護層３４とに段差が生じないようにして研磨していくことから、半導体チップ５のエッジ欠けを防ぎながら半導体チップ５及び保護層３４を研磨させることができる。

【００６５】

次に、ダミー基板３０は、図１１に示すように、樹脂層７の第２の主面７ｂから剥離層３１と共に除去される。具体的には、ダミー基板３０及び剥離層３１を例えば塩酸や硝酸等の酸性溶液中に浸漬させることで酸性溶液が剥離層３１の金属膜３１ａを僅かに溶解させつつ金属膜３１ａと樹脂膜３１ｂとの間に浸入していき、金属膜３１ａと樹脂膜３１ｂとの間で剥離が進行し、樹脂層７の第２の主面７ｂ上に樹脂膜３１ｂが残留した状態でダミー基板３０が除去される。また、ダミー基板３０は、例えばレーザアブレーション処理によって樹脂層７から除去されるようにしても良い。

【００６６】

次に、樹脂層７の第２の主面７ｂ上に残留した樹脂膜３１ｂは、例えば酸素プラズマによるドライエッチング法等によって除去される。これにより、樹脂層７の第２の主面７ｂでは、層間ビア１０の端部が露出することになる。また、樹脂層７の第２の主面７ｂでは、光学チップ６の主面６ａと同一面になって光学チップ６における発光部１３及び受光部１４が露出される。樹脂層７の第２の主面７ｂは、相対していたダミー基板３０の主面３０ａが高精度に平坦化されていることから、高精度に平坦化されることになる。なお、ダミ

ー基板３０は、必要に応じて再利用される。
【００６７】
次に、樹脂層７の第２の主面７ｂ上には、図１２に示すように、接続ランド部９が形成される。接続ランド部９は、樹脂層７の第２の主面７ｂで露出している層間ビア１０の端面を覆うように、例えば薄膜形成技術等により銅、金、スズ等の導電性金属で形成される。このようにして、半導体チップ５と光学チップ６とを備え、ＣＳＰ化された複合チップモジュール２が作製される。
【００６８】
次に、光電気配線層３を作製する。光電気配線層３を製造する際は、図１３に示すように、複合チップモジュール２の厚み方向の上下を反転させ、複合チップモジュール２における樹脂層７の第２の主面７ｂ上に下部クラッド層１８を形成させる。この下部クラッド層１８は、上述した樹脂層７と同様に、液状の高分子系樹脂材料を例えばスピンコート法、カーテンコート法、ロールコート法、ディップコート法等によって樹脂層７の第２の主面７ｂ上に塗布させることで成膜形成される。
【００６９】
次に、下部クラッド層１８上には、図１４に示すように、光配線コア１６が形成される。光配線コア１６は、下部クラッド層１８に用いられた樹脂材料の屈折率よりも大きな屈折率を有する液状の樹脂材料を例えばスクリーン印刷法等で所定の形状に塗布することでパターン形成される。また、光配線コア１６には、両端部に例えば金やアルミニウム等からなるミラー部２０ａ，２０ｂが配設される。
【００７０】
次に、下部クラッド層１８上には、図１５に示すように、パターン形成された光配線コア１６を被覆するように上部クラッド層１９が形成される。上部クラッド層１９は、上述した下部クラッド層１８と同様の材料及び同様の方法で形成される。このようにして下部クラッド層１８と上部クラッド層１９とからなり、光電気配線層３のベースとなるクラッド層１５が構成される。また、光配線コア１６は、周囲が屈折率の小さい樹脂材料で形成されたクラッド層１５で覆われていることから、導光させる光信号を全反射させながら伝播させることが可能な光導波路となる。
【００７１】
次に、クラッド層１５には、図１６に示すように、厚み方向に貫通して複合チップモジュール２における樹脂層７の第２の主面７ｂ上に形成された接続ランド部９に接続される接続ビア１７が形成される。接続ビア１７は、上述した層間ビア１０と同様の材料及び同様の方法で形成される。そして、クラッド層１５の複合チップモジュール２と対向する主面とは反対側の主面１５ａ上には、露出する接続ビア１７の端部を覆うように、例えば複合チップユニット１がマザー基板等に実装された際の外部に対する電気信号や電力等の供給部となる入出力端子部３５が上述した接続ランド部９と同様の方法で形成される。そして、このようにして光電気配線層３が複合チップモジュール２上に作製されることで、複合チップユニット１が製造される。
【００７２】
以上で説明した複合チップユニット１の製造方法では、複合チップモジュール２の光学チップ６同士の光学的な接続を行う光配線コア１６を光電気配線層３側に形成させており、複合チップモジュール側にパターン配線８と光配線コア１６とを混載させていないことから、各配線の引き回しが簡略化されて歩留まり良く複合チップユニット１を製造できる。
【００７３】
また、この製造方法によれば、複合チップモジュール２において、半導体チップ５と光学チップ６とを層間ビア１０で層間接続させており、これらを非常に短距離で電気的に接続できることから、半導体チップ５と光学チップ６との接続の低寄生容量化が図られた複合チップユニットを製造できる。
【００７４】
上述した複合チップユニット１の製造方法では、複合チップモジュール２を作製する際に

一個取りの場合で説明したが、このことに限定されることはなく、図１７に示すように、例えば一枚のダミー基板３０上に複合チップモジュール２を複数個作製した後に、所定の位置で切り分けることで一括して複数個の複合チップモジュール２を作製させることも可能である。

【００７５】

また、上述した実施の形態では、一つの半導体チップ５に電気的に接続された発光部１３を備える光学チップ６と受光部１４を備える光学チップ６とが光配線コア１６が光学的に接続された構成の複合チップユニット１を例に挙げて説明しているが、このことに限定されることはなく、図１８に示す複合チップユニット４０のように、例えば複数の半導体チップ５にそれぞれ備わる光学チップ６同士を光配線コア１６で光学的に接続された構成にすることも可能である。

【００７６】

この複合チップユニット４０は、例えば一般的な多層配線基板製造工程を経ることで製造されるマザー基板４１等にフリップチップボンディング法等で実装させることも可能である。これにより、複合チップユニット４０は、マザー基板４１の層内に形成されたパターン配線４２やビア４３等を介して電力や電気信号等が入力されることになる。

【００７７】

さらに、上述した実施の形態では、複合チップモジュール２における光学チップ６同士の光学的な接続は光電気配線層３に設けられた光配線コア１６を介して行われる構成の複合チップユニット１を例に挙げて説明しているが、このことに限定されることはなく、図１９に示すように、例えば光電気配線層３を用いることなく、複合チップモジュール２を光電気配線混載基板５０等に実装させることで光学チップ６同士を接続させた構成にすることも可能である。

【００７８】

この場合、複合チップモジュール２では、半導体チップ５に対する電力や電気信号の供給が、例えば光電気配線混載基板５０に設けられたパターン配線５１やビア５２等といった電気配線を介して行われる。一方、光学チップ６同士の光学的な接続は、例えば光電気配線混載基板５０に設けられた光配線コア５３を介して行われる。また、複合チップモジュール２は、図に示すように、光電気配線混載基板５０の主面５０ａ上に、例えばフリップチップボンディング法等で複数実装させることも可能である。

【００７９】

【発明の効果】

以上詳細に説明したように、本発明によれば、絶縁層の第１の主面に実装された電気チップと、絶縁層の第２の主面に埋め込まれた光学チップとを層間ビアにより短距離で電気的に接続させることにより、電気チップと光学チップとの接続の低寄生容量化を図ることができる。

【００８０】

また、本発明によれば、複合チップモジュールの光学チップ同士の光学的な接続を光電気配線層の光伝送路で行っており、複合チップモジュール側にパターン配線と光配線とを混載させないことから、各配線の引き回しが簡略化されて製造時の歩留まりの向上と、小型化を図ることができる。

【００８１】

したがって、本発明によれば、電気チップと光学チップとの接続で生じる寄生容量が低減され、且つ製造時の歩留まりの向上、小型化が図られた複合チップモジュール及び複合チップユニットを得ることができる。

【図面の簡単な説明】

【図１】本発明を適用した複合チップユニットの一例を示す断面図である。

【図２】同複合チップユニットの製造方法を説明するため図であり、ダミー基板の縦断面図である。

【図３】同複合チップユニットの製造方法を説明するため図であり、ダミー基板上に光学

チップを配置した状態を示す縦断面図である。
【図４】同複合チップユニットの製造方法を説明するため図であり、ダミー基板上に樹脂層を形成させた状態を示す縦断面図である。
【図５】同複合チップユニットの製造方法を説明するため図であり、樹脂層及び光学チップに研磨処理が施された状態を示す縦断面図である。
【図６】同複合チップユニットの製造方法を説明するため図であり、樹脂層及び光学チップに開口部が形成された状態と示す縦断面図である。
【図７】同複合チップユニットの製造方法を説明するため図であり、樹脂層の第１の主面上にパターン配線及び接続ランド部が形成された状態を示す縦断面図である。
【図８】同複合チップユニットの製造方法を説明するため図であり、樹脂層の第１の主面上に半導体チップが実装された状態を示す縦断面図である。
【図９】同複合チップユニットの製造方法を説明するため図であり、半導体チップが保護層で覆われた状態を示す縦断面図である。
【図１０】同複合チップユニットの製造方法を説明するため図であり、半導体チップ及び保護層に研磨処理が施された状態を示す縦断面図である。
【図１１】同複合チップユニットの製造方法を説明するため図であり、ダミー基板が除去された状態を示す縦断面図である。
【図１２】同複合チップユニットの製造方法を説明するため図であり、作製された複合チップモジュールを示す縦断面図である。
【図１３】同複合チップユニットの製造方法を説明するため図であり、複合チップモジュール上に下部クラッド層が形成された状態を示す縦断面図である。
【図１４】同複合チップユニットの製造方法を説明するため図であり、下部クラッド層上に光配線コアが形成された状態を示す縦断面図である。
【図１５】同複合チップユニットの製造方法を説明するため図であり、下部クラッド層上に上部クラッド層が形成された状態を示す縦断面図である。
【図１６】同複合チップユニットの製造方法を説明するため図であり、完成した複合チップユニットを示す縦断面図である。
【図１７】同複合チップモジュールを一括して複数作製することを説明する図であり、同図（ａ）はダミー基板上に複数の複合チップモジュールが形成された状態を示す縦断面図であり、同図（ｂ）はダミー基板上に複数形成された複合チップモジュールを切り分けた状態を示す縦断面図である。
【図１８】同複合チップユニットの他の構成例であり、複数の半導体チップを備えた複合チップユニットがマザー基板に実装された状態を示す縦断面図である。
【図１９】同複合チップモジュールが光電気配線混載基板の主面上に複数実装された状態を示す縦断面図である。
【符号の説明】
１，４０　複合チップユニット、２　複合チップモジュール、３　光電気配線層、４　回路部、５　半導体チップ、５ａ　接続端子、６　光学チップ　７　樹脂層、７ａ　第１の主面、７ｂ　第２の主面、８　パターン配線、９　接続ランド部、１０　層間ビア、１１　接続バンプ、１２　端子部、１３　発光部、１４　受光部、１５　クラッド層、１６　光配線コア、１７　接続ビア、１８　下部クラッド層、１９　上部クラッド層、２０ａ，２０ｂ　ミラー部、３０　ダミー基板、３１　剥離層