

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004年11月18日 (18.11.2004)

PCT

(10) 国際公開番号
WO 2004/100266 A1

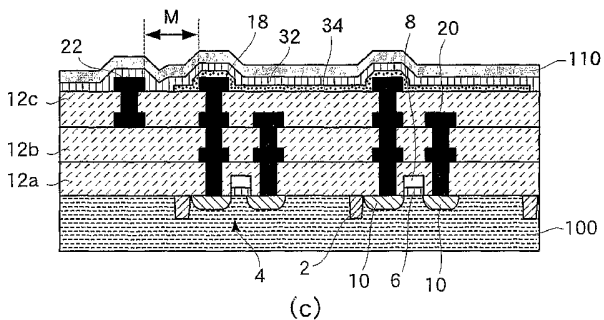
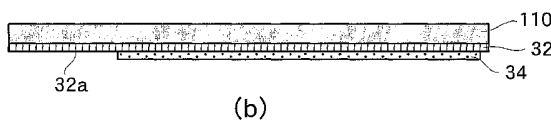
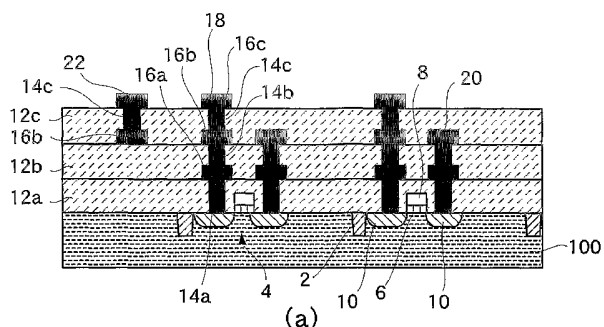
- (51) 国際特許分類: H01L 27/10, 45/00, G11C 13/00
- (21) 国際出願番号: PCT/JP2004/006485
- (22) 国際出願日: 2004年5月7日 (07.05.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-131338 2003年5月9日 (09.05.2003) JP
- (71) 出願人(米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).

- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 森田 清之 (MORITA, Kiyoyuki) [JP/JP]; 〒9430802 新潟県上越市大豆1-11-41 エスポワール大豆B棟203号 Niigata (JP). 山田 昇 (YAMADA, Noboru) [JP/JP]; 〒5731104 大阪府枚方市楠葉丘1丁目4-2 Osaka (JP). 宮本 明人 (MIYAMOTO, Akihito) [JP/JP]; 〒5731106 大阪府枚方市町楠葉1-9-14-301 Osaka (JP). 大塚 隆 (OHTSUKA, Takashi) [JP/JP]; 〒5600013 大阪府豊中市上野東2丁目7番2号 Osaka (JP). 田中英行 (TANAKA, Hideyuki) [JP/JP]; 〒5730027 大阪府枚方市大垣内町3-9-12-401 Osaka (JP).

[続葉有]

(54) Title: NON-VOLATILE MEMORY AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 不揮発性メモリおよびその製造方法



(57) Abstract: A non-volatile memory comprising a first substrate (100) and a second substrate (110) is disclosed. The first substrate (100) comprises a plurality of switching devices (4) arranged as a matrix and a plurality of first electrodes (18) electrically connected to the respective switching devices (4). The second substrate (110) comprises a conductive film (32) and a recording layer (34) whose resistance is changed by applying an electric pulse. The first electrodes (18) are integrally covered with the recording layer (34), so that the recording layer (34) is held between the first electrodes (18) and the conductive film (32). The first substrate (100) further comprises a second electrode (22) which is electrically connected to the conductive film (32) and held at a certain voltage when current is passed through the recording layer (34). With this non-volatile memory, high integration can be realized at low cost.

(57) 要約: 第1の基板(100)と、第2の基板(110)とを備え、第1の基板(100)は、マトリクス状に配置された複数のスイッチング素子(4)と、各スイッチング素子(4)に電気的に接続された複数の第1の電極(18)とを有し、第2の基板(110)は、導電膜(32)と、電気的パルスが印加されることにより抵抗値が変化する記録層(34)とを有しており、複数の第1の電極(18)は、記録層(34)により一体的に覆われており、これによって、複数の第1の電極(18)と導電膜(32)との間に記録層(34)が挟持され、第1の基板(100)は、第2の電極(22)をさらに備え、第2の電極(22)は、導電膜(32)と電

気的に接続され、記録層(34)への通電時に一定電圧に保持される不揮発性メモリである。この不揮発性メモリによれば、高集積度を低コストで実現することができる。

WO 2004/100266 A1



(74) 代理人: 三枝 英二, 外(SAEGUSA, Eiji et al.); 〒5410045 大阪府大阪市中央区道修町1-7-1 北浜T N Kビル Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

不揮発性メモリおよびその製造方法

5 技術分野

本発明は、不揮発性メモリおよびその製造方法に関し、より詳しくは、通電による抵抗値の変化を制御してデータの記録（書き込み）や消去を行うことができる不揮発性メモリおよびその製造方法に関する。

10 背景技術

従来の不揮発性メモリとして、強誘電体メモリが知られている。例えば、特開平8-227980号公報（特に図9）には、DRAM (Dynamic Random Access read write Memory) のキャパシタ絶縁膜に強誘電体材料を用いた構成が開示されており、キャパシタを形成した基板と、スイッチング素子を形成した基板とを
15 貼り合わせて一体化することにより、製造される。

具体的には、本明細書に添付の図9（a）に示すように、シリコン基板61上にトランジスタTrを形成し、 n^- 型領域62に接続された窒化チタン膜63が表面に露出した第1の基板S1を形成する。

また、同じく図9（a）に示すように、単結晶NbドープSTO ($SrTiO_3$)
20 基板64上にBSTO ($Ba_{0.5}Sr_{0.5}TiO_3$)膜65を形成し、このBSTO膜65上に白金膜66を形成することにより、キャパシタCを形成した第2の基板S2を形成する。

こうして得られた第1の基板S1と第2の基板S2とを貼り合わせ、所定の厚さまで薄膜化した後、図9（b）に示すように、素子分離領域67を形成して、
25 DRAMのメモリセルを形成する。この素子分離領域67は、第1の基板S1において隣接する各トランジスタTrの間を分離する第1の素子分離領域67aと、第2の基板S2において隣接する各キャパシタCの間を分離する第2の素子分離領域67bとから構成される。

このようなメモリセルがマトリクス状に複数配置された等価回路は、図10に

よって表される。図10に示すように、各スイッチング素子 T_r のゲートは、ワード線WLに接続され、各スイッチング素子 T_r のドレインは、ビット線BLに接続される。また、各スイッチング素子 T_r のソースは、キャパシタCの一方電極が接続され、キャパシタCの他方電極がプレート線PLに接続される。各メモリセルへの書き込みは、ワード線WLがオンの状態でビット線BL又はプレート線PLに電圧を印加することにより行われ、キャパシタCへの電圧印加時に強誘電体の分極が反転するか否かを検出することにより、読み出しを行うことができる。

上述した従来の半導体メモリの製造方法によれば、スイッチング素子 T_r を形成した第1の基板S1と、キャパシタCを形成した第2の基板S2との貼り合わせ精度を緩和することができる。ところが、図9(a)に示すような強誘電体メモリの構成においては、スイッチング素子 T_r を備える第1の基板S1に第1の素子分離領域67aを形成することに加えて、強誘電体のキャパシタCを備える第2の基板S2にも第2の素子分離領域67bを形成しなければならない。このため、従来においては、図9(b)に示すように、第1の基板S1及び第2の基板S2を貼り合わせた後に素子分離領域67を形成し、第1の素子分離領域67aと第2の素子分離領域67bとを同時に形成するようにしている。ところが、このような製造方法によっても、第2の基板S2に対してフォトリソグラフィを用いた煩雑な微細加工工程が必要になる。この問題は、集積度が高まるにつれてより顕著になっていた。

また、上述した従来の半導体メモリの製造方法は、図10に示すプレート線PLからキャパシタCへの印加電圧を制御可能に構成する必要があるが、このための構成が具体的に示されておらず、製造容易の観点から更に検討の余地があった。

不揮発性メモリとしては、強誘電体メモリの他に、結晶状態によってバルクの抵抗値が変化する特性を利用したメモリ（いわゆる相変化メモリ）が知られており、例えば、特開平11-204742号公報や米国特許第6314014号公報などに開示されているが、これらの公報はいずれも上記課題に対する解決手段を示唆していない。

発明の開示

本発明は、高集積度を低コストで実現することができる不揮発性メモリ及びその製造方法の提供を目的とする。

本発明の前記目的は、第1の基板と第2の基板とを備え、前記第1の基板は、
5 マトリクス状に配置された複数のスイッチング素子と、前記各スイッチング素子
に電氣的に接続された複数の第1の電極とを有し、前記第2の基板は、導電膜と、
電氣的パルスが印加されることにより抵抗値が変化する記録層とを有しており、
複数の前記第1の電極は、前記記録層により一体的に覆われており、これによっ
て、複数の前記第1の電極と前記導電膜との間に前記記録層が挟持され、前記第
10 1の基板は、第2の電極をさらに備え、前記第2の電極は、前記導電膜と電氣的
に接続され、前記記録層への通電時に一定電圧に保持される不揮発性メモリによ
り達成される。

また、本発明の前記目的は、第1の基板と第2の基板とを位置合わせして接合
するアライメントステップを備え、前記第1の基板は、マトリクス状に配置され
15 た複数のスイッチング素子と、前記各スイッチング素子に電氣的に接続された複
数の第1の電極とを有し、前記第2の基板は、導電膜と、電氣的パルスが印加さ
れることにより抵抗値が変化する記録層とを有し、前記第1の基板は、前記記録
層への通電時に一定電圧に保持される第2の電極をさらに有し、前記アライメン
トステップでは、複数の前記第1の電極を前記記録層により一体的に覆うこと
20 により、複数の前記第1の電極と前記導電膜との間に前記記録層を挟持する第1の
電極接続ステップと、前記第2の電極を前記導電膜又は前記記録層と電氣的に接
続する第2の電極接続ステップとが同時に行なわれる、不揮発性メモリの製造方
法により達成される。

25

図面の簡単な説明

図1 (a) ~ (c) は、本発明の一実施形態に係る不揮発性メモリの製造方法を説明するための工程断面図である。

図2は、GeSbTe化合物の相図である。

図3は、図1 (c) に示す不揮発性メモリの変形例を示す概略断面図である。

図4は、図1(c)に示す不揮発性メモリの他の変形例を示す概略断面図である。

図5(a)及び(b)は、本発明の一実施形態に係る不揮発性メモリの回路図である。

5 図6は、本発明の一実施形態に係る不揮発性メモリの読み出し及び書き込み方法の一例を説明するための図である。

図7(a)及び(b)は、本発明の他の実施形態に係る不揮発性メモリの回路図である。

図8は、図1(c)に示す不揮発性メモリの変形例を示す概略断面図である。

10 図9(a)及び(b)は、従来の不揮発性メモリの製造方法を説明するための工程断面図である。

図10は、従来の不揮発性メモリの回路図である。

図11は、図1(c)に示す不揮発性メモリの変形例を示す概略断面図である。

15

発明を実施するための最良の形態

以下、本発明の実施の形態について図面を参照しながら説明する。図1は、本発明の一実施形態に係る不揮発性メモリの製造方法を説明するための工程断面図である。

20 まず、図1(a)に示すように、p型の半導体基板である下側基板100内に、STI(Shallow Trench Isolation)技術などを用いて素子分離領域2を形成した後、通常のシリコン半導体製造プロセスにより、n型のトランジスタからなるスイッチング素子4を複数形成する。スイッチング素子4は、下側基板100上にゲート絶縁膜6を介して形成されたゲート電極8と、下側基板100内でゲート絶縁膜6の両側に形成された、いずれもn型拡散層からなるソース領域10a及びドレイン領域10bとを備えている。

25 ついで、下側基板100上に、スイッチング素子4を覆うように層間絶縁膜12aを形成し、この層間絶縁膜12aにソース領域10a及びドレイン領域10bへ延びる複数のコンタクトホールを形成した後、タングステンなどの金属材料

を選択CVD (Chemical Vapor Deposition) 等により各コンタクトホールに埋め込んで、プラグ14aを形成する。次に、スパッタリング法などにより層間絶縁膜12a上に金属層を堆積した後、フォトリソグラフィ工程によりパターニングを行い、プラグ14aに接続された金属配線16aを形成する。この後、層間絶縁膜12a上の全面に金属配線16aを覆うように層間絶縁膜12bを形成し、金属配線16aに延びるようにコンタクトホールを形成した後、上記と同様にして、プラグ14bおよびこれに接続された金属配線16bを形成する。このような手順を繰り返しながら、コンタクトホールの形成を選択的に行うことにより、ソース領域10a及びドレイン領域10bにそれぞれ接続された金属配線の高さ位置が異なる多層配線構造を形成する。すなわち、層間絶縁膜12b上に更に層間絶縁膜12c、プラグ14cおよび金属配線16cを形成し、層間絶縁膜12cの表面に露出する金属配線16cが、ソース電極(第1の電極)18としてスイッチング素子4のソース領域10aに接続される一方、層間絶縁膜12b上に形成された金属配線16bのうちプラグ14cと接続されないものが、ビット線20としてスイッチング素子4のドレイン領域10bに接続されるように構成する。

また、層間絶縁膜12b上に金属配線16bを形成する工程において、ソース領域10a及びドレイン領域10bのいずれにも接続されない金属配線16bを形成することにより、層間絶縁膜12c上に形成された金属配線16cの1つを定電圧電極(第2の電極)22とする。この定電圧電極22は、ソース電極18と同一の層に形成されており、一定電圧に保持される。こうして、スイッチング素子4、ソース電極18及び定電圧電極22を有する下側基板100が得られる。

一方、上側基板110については、図1(b)に示すように、表面に金属薄膜からなる導電膜32をスパッタリング法などにより成膜し、フォトリソグラフィ工程によりパターニングした後、導電膜32の表面に、相変化膜からなる記録層34を同じくスパッタリング法などにより成膜し、パターニングすることにより形成される。記録層34は、全てのメモリセルを被覆する大きさであり、導電膜32は記録層34よりも大きな面積に形成されている。これによって、導電膜32の一部が、記録層34により覆われない露出部分32aとなっている。

上側基板110は、例えばポリカーボネート（PC）や、ポリエチレンテレフタレート（PET）等のように耐熱性の高い有機材料を好ましく用いることができるが、適当な弾力性を有するものであれば無機材料を用いることも可能である。例えば、薄層化したシリコン基板、セラミックス基板、FRP基板などを上側基板110として用いることができる。導電膜32は、W、Pt、Pdなどのように拡散が生じにくい金属が好ましい。

記録層34の材料としては、抵抗値が異なる2以上の安定な状態を有し、各状態間で可逆的な変化が可能な相変化材料を好ましく用いることができ、本実施形態においてはGe、Sb、Teを主成分とするカルコゲナイド化合物であるGeSbTeを使用している。但し、これらとAg、In等を加えたものの組合せで構成されるカルコゲナイド系材料、例えばAgInSbTe、AgInSbGeTe、GeInSbTe等を用いることもでき、これらの元素やその比率を調整することで記録層34の融点を制御することができる。例えば、GeSbTe化合物を用いる場合、図2に示すように、相図中で Sb_2Te_3 とGeTeとの間に位置する化合物が望ましく、例えば、図中の(225)すなわち $Ge_2Sb_2Te_5$ 等が代表的に用いられる。

記録層34の材料としては、カルコゲナイド系材料以外に、 $(R_{1-x}, A_x)MnO_3$ （ここでR：希土類，A：アルカリ土類， $0 < x < 1$ ）で表されるものを挙げるることができる。希土類RとしてはPr，Gd，La、アルカリ土類AとしてはCa，Ba，Sr等を用いることができる。この中でも、特に $(Pr_{0.7}, Ca_{0.3})MnO_3$ や、 $(Gd_{1-x}, Ba_x)MnO_3$ ， $(La_{1-x}, Sr_x)MnO_3$ 等を用いると、特性の良い素子が得られる。さらに、 $(R_{1-x}, A_x)MnO_3$ におけるMnをCoに置き換えた $(R_{1-x}, A_x)CoO_3$ も使用することができる。

次に、下側基板100及び上側基板110を、図1(c)に示すように、位置合わせして接合する。すなわち、複数のソース電極18が記録層34に一体的に接合されると同時に、定電圧電極22が導電膜32の露出部分32aに接合されるようにアライメントを行い、互いに貼り合わせることにより、不揮発性メモリが完成する。

下側基板100と上側基板110との貼り合わせにおいては、適当な熱処理を施すことにより、ソース電極18と記録層34との接合や、定電圧電極22と導

電膜 3 2 との接合を強固にすることができる。熱処理の具体的な方法としては、電気炉やホットプレートを用いる他、ランプアニーラを短時間用いる方法を例示することができる。さらに、下側基板 1 0 0 の主面側（スイッチング素子 4 が形成された側）からミリ波やマイクロ波を照射して、反対側からの放出を遮ることにより、熱処理を行ってもよい。この方法によれば、最初にソース電極 1 8 や定電圧電極 2 2 が加熱されるので、ソース電極 1 8 と記録層 3 4 との接合部や定電圧電極 2 2 と導電膜 3 2 との接合部を選択的に加熱することができ、強固な接合を得ることができる。加熱箇所は、必ずしも上記接合部である必要はなく、例えば、ミリ波やマイクロ波を上述とは反対方向に照射したりホットプレートを用いる等して下側基板 1 0 0 を最初に加熱した場合でも、金属で形成されたソース電極 1 8 や定電圧電極 2 2 に効率良く伝熱されるため、やはり下側基板 1 0 0 と上側基板 1 1 0 との強固な接合を得ることができる。

また、下側基板 1 0 0 と上側基板 1 1 0 との接合強度を高める方法として、上述した熱処理以外に、接合部に接着層を介在させるようにしてもよい。すなわち、図 3 に示すように、ソース電極 1 8 及び定電圧電極 2 2 の上面に接着層 3 6 を形成した後下側基板 1 0 0 と上側基板 1 1 0 とを貼り合わせ、ソース電極 1 8 と記録層 3 4 との間、及び、定電圧電極 2 2 と導電膜 3 2 との間を、接着層 3 6 を介して接合することができる。接着層 3 6 の厚みが薄い場合（例えば、1 0 nm 以下）には、ソース電極 1 8 や定電圧電極 2 2 の上面だけでなく、下側基板 1 0 0 上の全面に接着層 3 6 を形成してもよい。図 3 において、図 1 (c) に示す構成と同様の構成部分には同一の符号を付している。

接着層 3 6 の材料としては、Sn、In、Pb などの低融点金属の他、Ge や導電体ポリマーなどを好ましく用いることができる。導電体ポリマーは、主面方向に高抵抗である一方、主面と垂直方向に低抵抗である抵抗異方性を有することが好ましく、この場合、下側基板 1 0 0 側に接着層 3 6 を形成する代わりに、記録層 3 4 の表面に接着層 3 6 を形成してもよい。或いは、接着層 3 6 として、Ge、Sb、Te などで構成される低融点相変化材料を用いることもできる。この場合、接着層 3 6 の形成時に適当なマスクを施して、定電圧電極 2 2 の上面には接着層 3 6 が形成されないようにすることが好ましい。

また、ソース電極18と記録層34との接合面積を減少させるために、ソース電極18又は記録層34の表面に、直径が100nm以下の金属微粒子を形成したり、イオン照射などにより微細な凹凸を形成してもよい。これによって、記録層34への通電時における電流密度を高めることができ、メモリの省電力化を図ることができる。

ソース電極18と記録層34との接合面積を減少させる方法として、図4に示すように、ソース電極18の上面に絶縁層38をパターンニングした後に、下側基板100と上側基板110とを貼り合わせるようにしてもよい。図4において、図1(c)に示す構成と同様の構成部分には同一の符号を付している。

この構成によれば、ソース電極18と記録層34との界面の一部（すなわち、ソース電極18の上面）に絶縁層38が介在されるため、ソース電極18は側壁のみが記録層34と接合されることになり、図1(c)に示す構成に比べて接合面積を小さくすることができる。この結果、メモリの省電力動作が可能になる。また、絶縁層38の形成に加えて、上述したように、接合部に金属微粒子を介在させたり凹凸部を形成することで、更なる省電力化を図ることができる。尚、図4においては、定電圧電極22の上面にも絶縁層38が形成されているが、これを別工程で除去するようにしてもよい。

本実施形態に係る不揮発性メモリによれば、下側基板100は、従来と同様に素子分離領域を必要とするが、通常のシリコン半導体製造プロセスにおける一般的な工程で製造可能であり、特に工程の追加を必要としない。これに対し、上側基板110については煩雑な微細加工工程が不要になるので、全体として製造の容易化を図ることができる。

すなわち、上側基板110に形成された記録層34が、各ソース電極18と接合されるように、メモリ領域の全体を覆う大きさに形成されており、一般には100 μ m以上のパターン幅で形成することができる。また、同じく下側基板100における導電膜32の露出部は、任意の位置に形成することができ、例えば、メモリ領域の外周部に形成して十分な領域を確保することで、下側基板100と上側基板110とのアライメントマージンを大きくすることができる。アライメントマージンは、定電圧電極22と、この定電圧電極22に隣接するソース電極

1 8との距離M (図1 (c) 参照) に相当し、この距離Mは、例えば1~50 μ mに設定することができる。この結果、上側基板110については、パターンレイアウトのルールが緩和される。更に、本実施形態の不揮発性メモリによれば、上述した従来の強誘電体メモリ (図9 (b) 参照) とは異なり、記録層34を有する上側基板110に素子分離領域を形成する必要はない。したがって、上側基板110については、下側基板100との貼り合わせ後も含めて微細加工工程が不要になる。したがって、従来の不揮発性メモリに比べて製造が容易になり、高集積度の不揮発性メモリを低コストで得ることができる。

本実施形態の不揮発性メモリは、図11に示すように、定電圧電極22に隣接する補助電極22aを、定電圧電極22と同一の層に形成してもよい。尚、図11において図1 (c) と同様の構成部分に同一の符号を付している。

この構成によれば、下側基板100と上側基板110とのアライメントがずれて、図11に示すように、記録層34が定電圧電極22を覆うことにより定電圧電極22が記録層34に接合された場合でも、定電圧電極22と補助電極22aとの間に通電することにより、記録層34における通電領域を結晶状態にして低抵抗化することができるので、定電圧電極22を図1 (c) に示す構成と同様に機能させることができる。したがって、下側基板100と上側基板110とのアライメントをより容易化することができると共に、アライメントマージン (図1 (c) の距離M) を小さくして小型化を図ることができる。図11に示す構成は、補助電極22aは記録層34に覆われていないが、定電圧電極22及び補助電極22aの双方が記録層34により覆われていても (後述する図8参照)、特に問題はない。

このような構成においては、記録層34における通電領域が後にレーザ光が照射される等して高抵抗化すると、定電圧電極22の機能が阻害されるおそれがある。したがって、上側基板110に透明度の低い材料を用いるなどにより、記録層34の通電領域の上方を遮光することが好ましい。

図5は、図1 (c) に示す不揮発性メモリの等価回路図であり、図5 (a) が単一のセルを示し、図5 (b) がマトリクス状に配置された状態を示している。1つのセルは、スイッチング素子4と、記録層34とを備えている。スイッチン

ば、適度な弾力性を有する上側基板 1 1 0 によって相変化材料の膨張及び収縮を緩和することができるので、下側基板 1 0 0 と上側基板 1 1 0 との接合部における断線を防止することができる。

本実施形態の不揮発性メモリは、上述したように、データの読み出し及び書き込みを電氣的に行う以外に、レーザ光などを用いて光学的に行うこともできる。データを読み出す場合には、図 6 に示すように、所望のメモリセルに対応する記録層 3 4 に入射レーザ光 I b を照射し、反射レーザ光 R b の強度又は偏光度を測定する。記録層 3 4 は、結晶状態か非結晶状態かで偏光度が異なるため、この偏光度の差に基づいて、メモリ内容を読み出すことができる。入射レーザ光 I b を効率良く透過させるためには、上側基板 1 1 0 の材料に透明度の高いものを使用すると共に、導電膜 3 2 の厚みを薄くすることが好ましく、具体的には、導電膜 3 2 の厚みを 3 ~ 1 0 nm にすることが好ましい。このように、各メモリセルの重み係数などを光学的に読み取り可能に構成することで、電氣的な読み取りに比べて回路規模を抑制することができ、例えばニューラルネットワークの構築に有効である。尚、これとは逆にデータの光学的な読み取り及び書き込みを防止する必要がある場合には、上側基板 1 1 0 の透明度を低くしたり、導電膜 3 2 の厚みを 1 0 nm より大きくすることが好ましい。

また、データを書き込む場合には、公知の DVD ディスクメディアに対する書き込みと同様の方法で行うことができる。すなわち、図 6 に示すように、所望のメモリセルに対応する記録層 3 4 に高強度のレーザ光 L b を照射した後、急に照射を停止することにより、記録層 3 4 を非結晶状態にすることができる一方、記録層 3 4 が融解しない程度の強度が比較的低いレーザ光 L b を照射することにより、記録層 3 4 を結晶状態にすることができる。この場合も、導電膜 3 2 の厚みを 3 ~ 1 0 nm に設定することで、レーザ光 L b を効率よく透過させることができると共に、導電膜 3 2 を介した伝熱を抑制して隣接したメモリセルへの熱的干渉を防止することができる。レーザ光 L b の波長は、メモリセルのサイズが小さいほど短波長であることが好ましい。例えば、レーザ光 L b の波長が 6 0 0 ~ 7 0 0 nm 程度の場合、ソース電極 1 8 のサイズは、0. 2 μ m 角程度まで微細化可能である。このように、光学的に書き込み可能に構成することで、電氣的な書

き込み回路が不要になり、重み係数を後から変更して最適化することが可能なニューラルネットワークを、容易、低コストに製造することができる。

本実施形態の不揮発性メモリは、スイッチング素子4として、nチャンネル型のMOSFETを使用しているが、下側基板100にnウェル領域を形成する等して、
5 pチャンネル型のMOSFETを使用してもよい。或いは、その他のFETや、バイポーラ素子、HEMT (High Electron Mobility Transistor) などの3端子以上を有するトランジスタをスイッチング素子4として用いることができる。

また、メモリセルの構成についても本実施形態のものに限定されず、例えば、
10 図7(a)に示すように、第1のn型スイッチング素子41、第2のn型スイッチング素子42、第1のp型スイッチング素子43、第2のp型スイッチング素子44、第3のn型スイッチング素子45、第3のn型スイッチング素子46を備えた6トランジスタのフリップフロップ回路により構成されたSRAM (Static Random Access Memory) に、本発明を適用することができる。図7(a)において、符号8及び20は、それぞれワード線及びビット線である。

15 この場合、下側基板100に第1の記録層47及び第2の記録層48を設け、第1の記録層47及び第2の記録層48の一方端を、それぞれ第1のn型スイッチング素子41及び第2のn型スイッチング素子42のソース部に接続し、第1の記録層47及び第2の記録層48の他方端を定電圧電極22に接続することにより、本実施形態と同様の方法で製造することができる。この構成においては、
20 電源線49への電源投入時に生じる第1の記録層47及び第2の記録層48の抵抗差によって、ノードA及びノードBの電圧が決定されるので、これに基づいてメモリ内容を読み出すことができる。第1の記録層47及び第2の記録層48の一方端は、図7(b)に示すように、第1のp型トランジスタ43及び第2のp型トランジスタ44のソース部に接続してもよい。なお、図7においては、各ス
25 イッチング素子41~44がマトリクス状に配置された複数のスイッチング素子を形成している。

また、本実施形態においては、上側基板110における導電膜32の露出部32aを形成し、この露出部32aに下側基板100の定電圧電極22を接合するようにしているが、図8に示すように、導電膜32の全面に記録層34を形成し、

導電膜 3 2 が露出しない構成にすることもできる。この場合、下側基板 1 1 0 には、定電圧電極 2 2 に隣接する補助電極 2 2 a を、定電圧電極 2 2 と同一の層に形成することにより、下側基板 1 0 0 と上側基板 1 1 0 とを貼り合わせた際に、定電圧電極 2 2 及び補助電極 2 2 a が記録層 3 4 に接合される。尚、図 8 において図 1 (c) と同様の構成部分に同一の符号を付している。

このように構成された不揮発性メモリは、予め定電圧電極 2 2 と補助電極 2 2 a との間に通電し、記録層 3 4 における通電領域を結晶状態にして低抵抗化することにより、定電圧電極 2 2 を図 1 (c) に示す構成と同様に機能させることができる。このように不揮発性メモリを構成することで、アライメントマージンが不要になり、更なる小型化が図れると共に、製造が容易であるという利点を有する。この構成においても、図 1 1 に示す構成と同様に、記録層 3 4 の通電領域の上方を遮光することが好ましい。

産業上の利用可能性

15 以上のように、本発明によれば、高集積度を低コストで実現することができる不揮発性メモリ及びその製造方法を提供することができる。

請求の範囲

1. 第1の基板と第2の基板とを備え、
前記第1の基板は、マトリクス状に配置された複数のスイッチング素子と、前記各スイッチング素子に電氣的に接続された複数の第1の電極とを有し、
5 前記第2の基板は、導電膜と、電氣的パルスが印加されることにより抵抗値が変化する記録層とを有しており、
複数の前記第1の電極は、前記記録層により一体的に覆われており、これによって、複数の前記第1の電極と前記導電膜との間に前記記録層が挟持され、
前記第1の基板は、第2の電極をさらに備え、
10 前記第2の電極は、前記導電膜と電氣的に接続され、前記記録層への通電時に一定電圧に保持される不揮発性メモリ。
2. 前記第1の電極及び第2の電極は、前記第1の基板上における同一の層に形成されている請求項1に記載の不揮発性メモリ。
15
3. 前記記録層が素子分離領域を有しない、請求項1に記載の不揮発メモリ。
4. 前記導電膜は、前記記録層に覆われない露出部を有しており、
前記第2の電極は、前記露出部に接合されている請求項1に記載の不揮発性メモリ。
20
5. 前記第2の電極と、該第2の電極に隣接する前記第1の電極との距離が、 $1\ \mu\text{m}$ 以上 $50\ \mu\text{m}$ 以下である請求項4に記載の不揮発性メモリ。
- 25 6. 前記導電膜は、前記記録層に覆われない露出部を有しており、
前記第1の基板は、前記第2の電極に隣接して配置された補助電極を更に備え、
前記第2の電極が、前記記録層により覆われている請求項1に記載の不揮発性メモリ。

7. 前記第1の電極、第2の電極、及び補助電極は、前記第1の基板上における同一の層に形成されている請求項6に記載の不揮発性メモリ。
- 5 8. 前記第2の電極と補助電極との間を通電することにより、前記第2の電極と補助電極との間の部分の前記記録層が低抵抗化されている請求項6に記載の不揮発性メモリ。
9. 前記補助電極が、前記記録層により覆われている請求項8に記載の不揮発性メモリ。
- 10 10. 前記第2の電極と補助電極との間の部分の前記記録層の上方が遮光されている請求項8に記載の不揮発性メモリ。
- 15 11. 前記第1の基板は、前記第2の電極に隣接して配置された補助電極を更に備え、
前記導電膜の全面に前記記録層が形成されており、
前記第2の電極は、前記記録層により覆われている請求項1に記載の不揮発性メモリ。
- 20 12. 前記第1の電極、第2の電極、及び補助電極は、前記第1の基板上における同一の層に形成されている請求項11に記載の不揮発性メモリ。
13. 前記第2の電極と補助電極との間を通電することにより、前記第2の電極と補助電極との間の部分の前記記録層が低抵抗化されている請求項11に記載の不揮発性メモリ。
- 25 14. 前記第2の電極と補助電極との間の部分の前記記録層が遮光されている請求項13に記載の不揮発性メモリ。

1 5. 前記スイッチング素子は、前記第 1 の基板内に形成されたソース領域及びドレイン領域と、前記第 1 の基板上に形成されたゲート電極とを備えており、
前記第 1 の電極は、前記ソース領域に接続されている請求項 1 に記載の不揮発性メモリ。

1 6. 前記第 1 の基板は、p 型半導体基板であり、
前記ソース領域及びドレイン領域は、n 型拡散層であり、
前記第 2 の電極は、接地用の電極である請求項 1 5 に記載の不揮発性メモリ。

10

1 7. 前記ゲート電極は、前記第 1 の基板上にゲート絶縁膜を介して形成されている請求項 1 5 に記載の不揮発性メモリ。

1 8. 少なくとも前記第 1 の電極と前記記録層との間に接着層が介在されている請求項 1 に記載の不揮発性メモリ。

1 9. 前記第 1 の電極と前記記録層との界面の一部に、絶縁層が介在されている請求項 1 に記載の不揮発性メモリ。

2 0. 前記記録層は、抵抗値が異なる 2 以上の安定な状態を有し、各状態間で可逆的な変化が可能な相変化材料からなる請求項 1 に記載の不揮発性メモリ。

2 1. 前記相変化材料は、カルコゲナイド系材料を含む請求項 2 0 に記載の不揮発性メモリ。

25

2 2. 前記導電膜の厚みは、3 nm 以上 1 0 nm 以下である請求項 1 に記載の不揮発性メモリ。

2 3. 第 1 の基板と第 2 の基板とを位置合わせして接合するアライメントステップ

ブを備え、

前記第1の基板は、マトリクス状に配置された複数のスイッチング素子と、前記各スイッチング素子に電氣的に接続された複数の第1の電極とを有し、

5 前記第2の基板は、導電膜と、電氣的パルスが印加されることにより抵抗値が変化する記録層とを有し、

前記第1の基板は、前記記録層への通電時に一定電圧に保持される第2の電極をさらに有し、

10 前記アライメントステップでは、複数の前記第1の電極を前記記録層により一体的に覆うことにより、複数の前記第1の電極と前記導電膜との間に前記記録層を挟持する第1の電極接続ステップと、前記第2の電極を前記導電膜又は前記記録層と電氣的に接続する第2の電極接続ステップとが同時に行なわれる、不揮発性メモリの製造方法。

15 24. 前記第1の電極及び第2の電極は、前記第1の基板上における同一の層に形成されている請求項23に記載の不揮発性メモリの製造方法。

25. 前記記録層に素子分離領域を形成する工程を有しない、請求項23に記載の不揮発メモリの製造方法。

20 26. 前記導電膜は、前記記録層に覆われない露出部を有しており、前記第2の電極接続ステップでは、前記第2の電極を前記露出部に接合する請求項23に記載の不揮発性メモリの製造方法。

25 27. 前記第2の電極と、該第2の電極に隣接する前記第1の電極との距離が、 $1\ \mu\text{m}$ 以上 $50\ \mu\text{m}$ 以下である請求項26に記載の不揮発性メモリの製造方法。

28. 前記第1の基板は、前記第2の電極に隣接して配置された補助電極を更に備え、

前記導電膜は、前記記録層に覆われない露出部を有しており、

前記第 2 の電極接続ステップは、前記第 2 の電極を、前記露出部又は前記記録層に接合する請求項 2 3 に記載の不揮発性メモリの製造方法。

2 9. 前記第 1 の電極、第 2 の電極、及び補助電極は、前記第 1 の基板上における同一の層に形成されている請求項 2 8 に記載の不揮発性メモリの製造方法。

3 0. 前記第 2 の電極接続ステップの後、前記第 2 の電極と補助電極との間を通電する通電ステップを備えることにより、前記第 2 の電極が前記記録層に接合されている場合に、前記第 2 の電極と補助電極との間の部分の前記記録層を低抵抗化する請求項 2 8 に記載の不揮発性メモリの製造方法。

3 1. 前記第 2 の電極と補助電極との間の部分の前記記録層の上方が遮光されている請求項 3 0 に記載の不揮発性メモリの製造方法。

15 3 2. 前記第 1 の基板は、前記第 2 の電極に隣接して配置された補助電極を更に備え、
前記第 2 の電極接続ステップでは、前記第 2 の電極を前記記録層に接合する請求項 2 3 に記載の不揮発性メモリの製造方法。

20 3 3. 前記第 1 の電極、第 2 の電極、及び補助電極は、前記第 1 の基板上における同一の層に形成されている請求項 3 2 に記載の不揮発性メモリの製造方法。

3 4. 前記第 2 の電極接続ステップの後、前記第 2 の電極と補助電極との間を通電する通電ステップを備えることにより、前記第 2 の電極と補助電極との間の部分の前記記録層を低抵抗化する請求項 3 2 に記載の不揮発性メモリの製造方法。

3 5. 前記第 2 の電極と補助電極との間の部分の前記記録層の上方が遮光されている請求項 3 4 に記載の不揮発性メモリの製造方法。

36. 前記スイッチング素子は、前記第1の基板内に形成されたソース領域及びドレイン領域と、前記第1の基板上に形成されたゲート電極とを備えており、
前記第1の電極は、前記ソース領域に接続されている請求項23に記載の不揮発性メモリの製造方法。

5

37. 前記第1の基板は、p型半導体基板であり、
前記ソース領域及びドレイン領域は、n型拡散層であり、
前記第2の電極は、接地用の電極である請求項36に記載の不揮発性メモリの製造方法。

10

38. 前記ゲート電極は、前記第1の基板上にゲート絶縁膜を介して形成されている請求項36に記載の不揮発性メモリの製造方法。

39. 前記アライメントステップの前に、前記第1の電極と前記記録層との間に接着層を介在させるステップを含む請求項23に記載の不揮発性メモリの製造方法。

15

40. 前記アライメントステップの前に、前記第1の電極と前記記録層との界面の一部に絶縁層を介在させるステップを含む請求項23に記載の不揮発性メモリの製造方法。

20

41. 前記記録層は、抵抗値が異なる2以上の安定な状態を有し、各状態間で可逆的な変化が可能な相変化材料からなる請求項23に記載の不揮発性メモリの製造方法。

25

42. 前記相変化材料は、カルコゲナイド系材料を含む請求項41に記載の不揮発性メモリの製造方法。

43. 前記導電膜の厚みは、3nm以上10nm以下である請求項23に記載の

不揮発性メモリの製造方法。

4 4. 前記アライメントステップは、少なくとも前記第 1 の電極と記録層との接続部を加熱するステップを含む請求項 2 3 に記載の不揮発性メモリの製造方法。

5

Fig.2

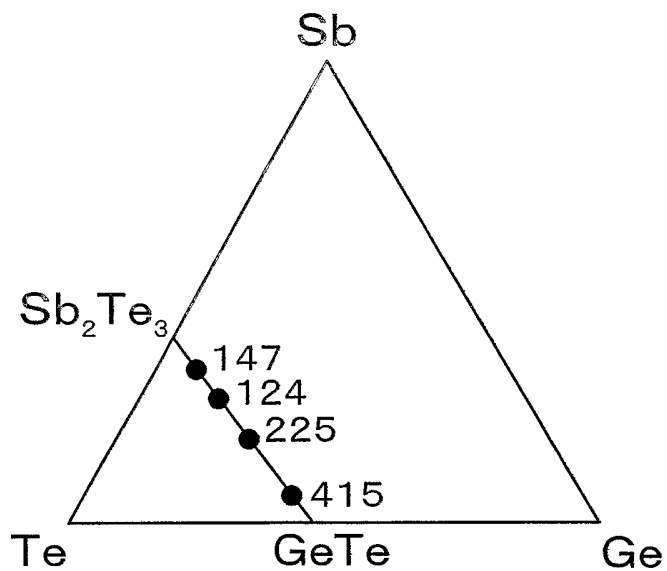


Fig.3

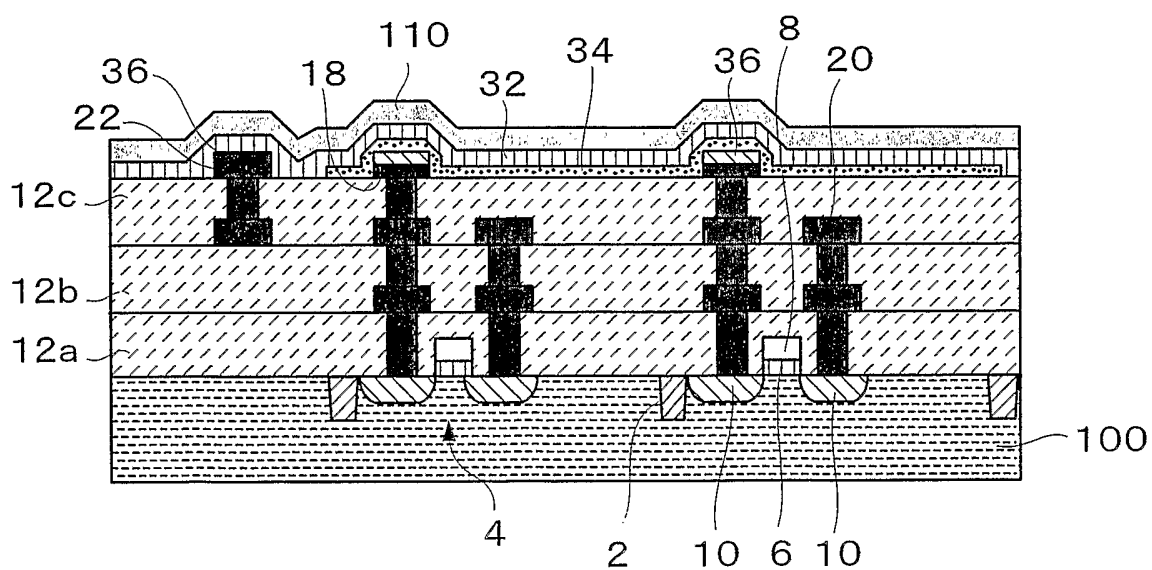


Fig.4

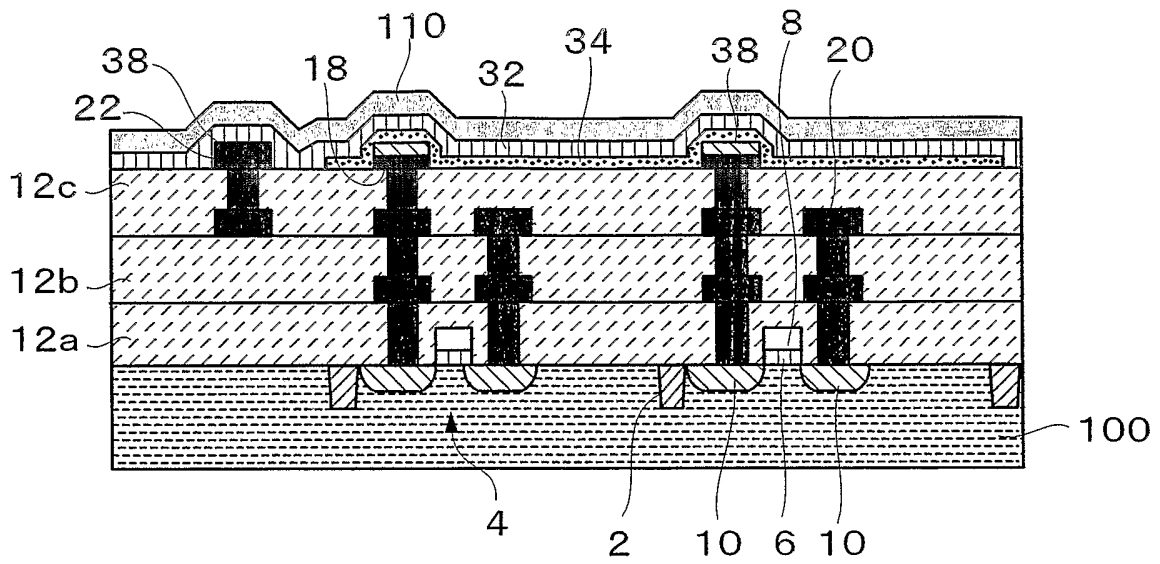
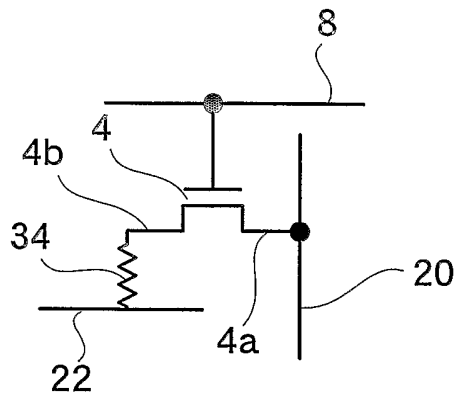
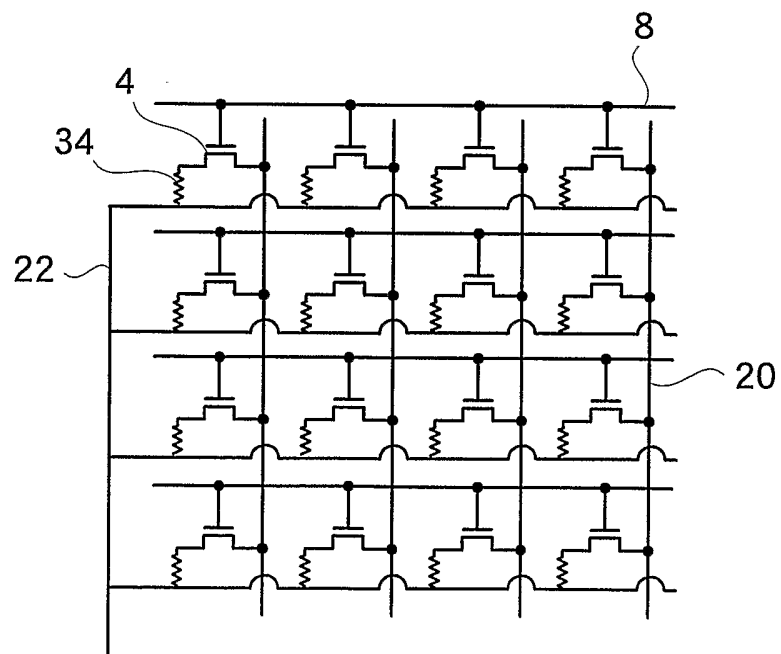


Fig.5



(a)



(b)

Fig.6

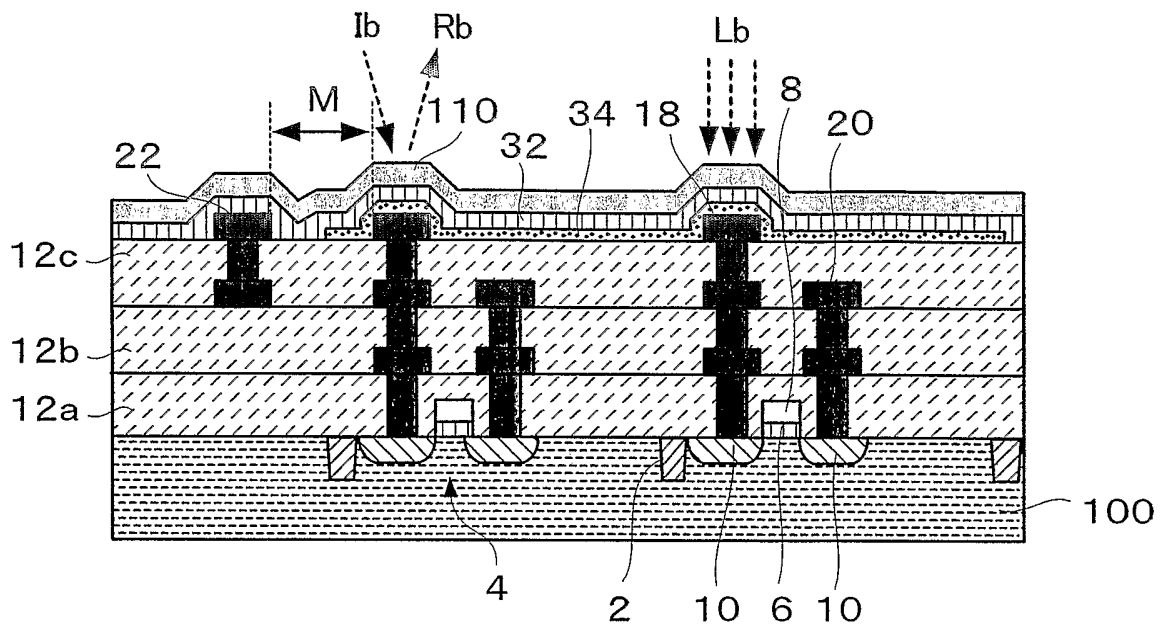


Fig.8

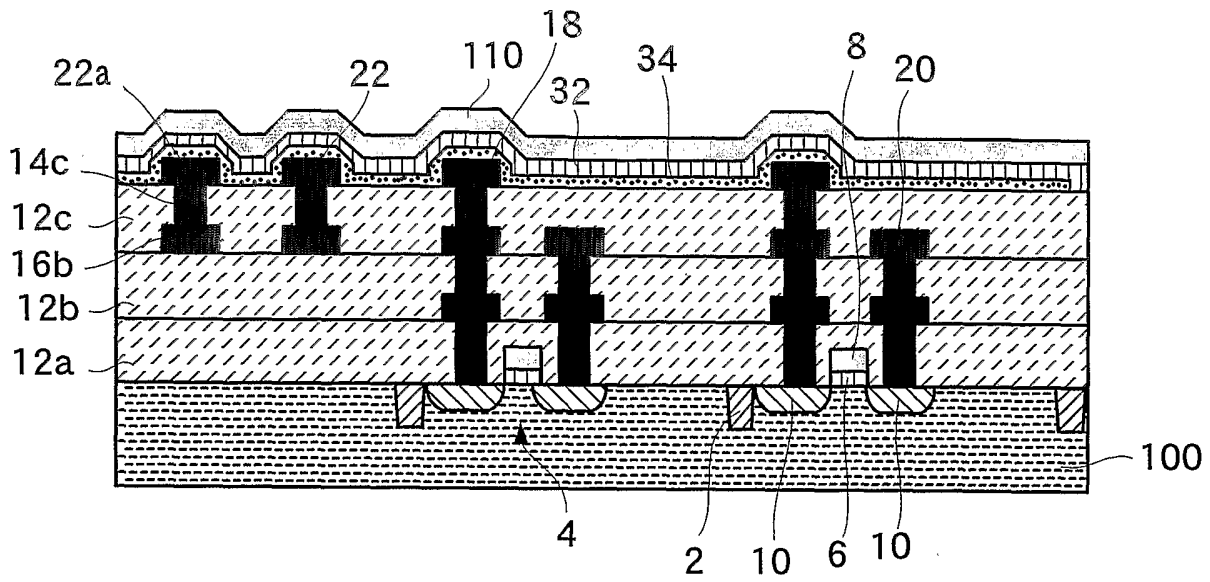
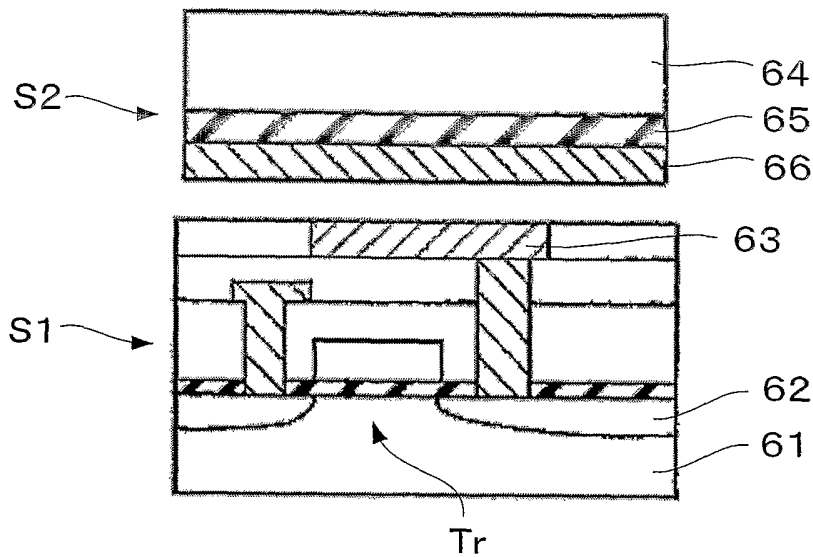
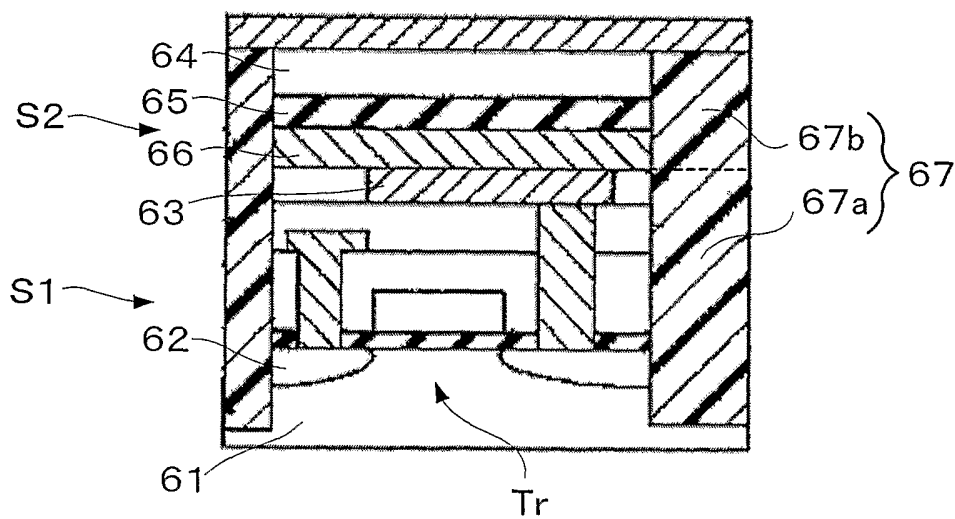


Fig.9



(a)



(b)

Fig.10

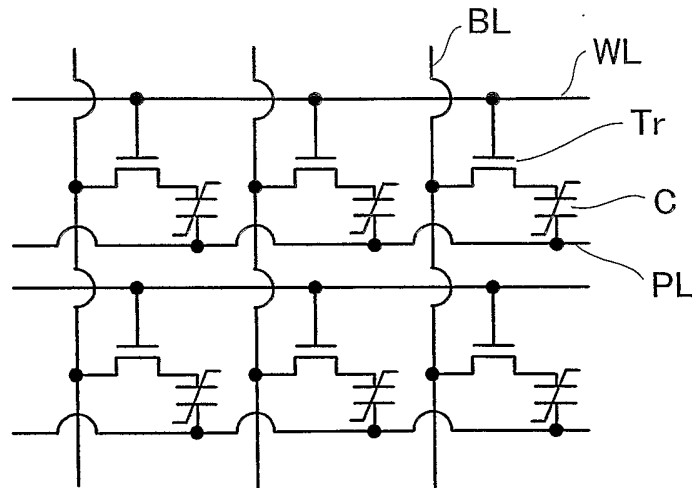
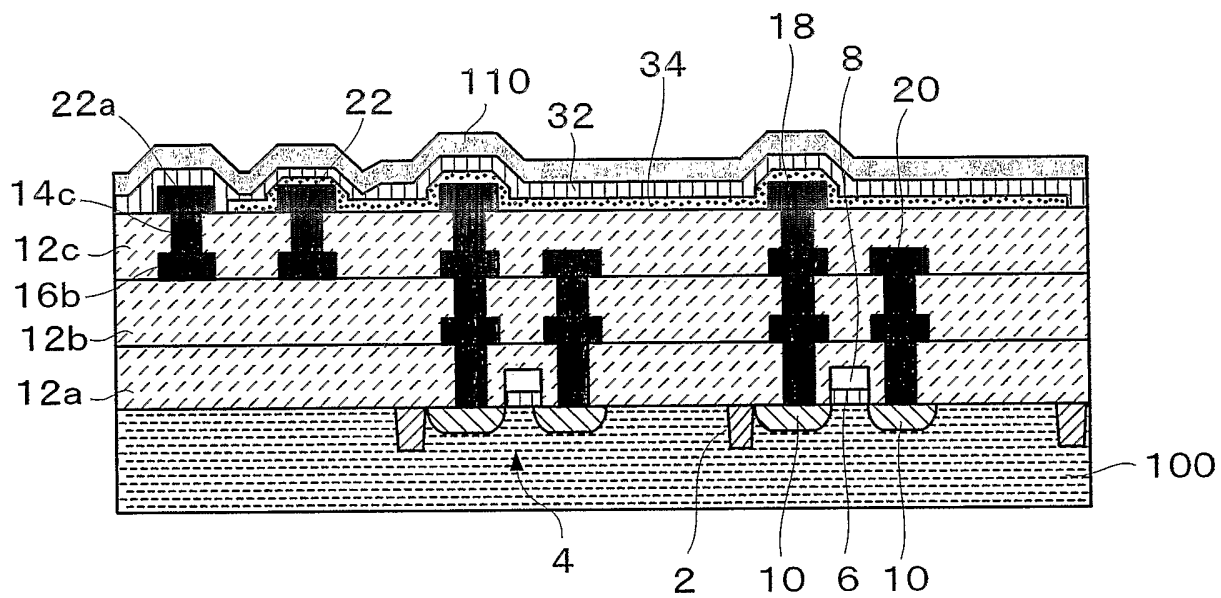


Fig.11



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/006485

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L27/10, H01L45/00, G11C13/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01L27/10, H01L45/00, G11C13/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 9-512964 A (Northern Telecom Ltd.), 22 December, 1997 (22.12.97), Full text & EP 795201 A1 & US 5563762 A & US 5789303 A & WO 1996/017386 A1 & DE 69528079 D	1-44
A	JP 7-22578 A (Hitachi, Ltd.), 24 January, 1995 (24.01.95), Full text (Family: none)	1-44

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 30 July, 2004 (30.07.04)	Date of mailing of the international search report 17 August, 2004 (17.08.04)
---	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/006485

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-501370 A (Siemens AG.), 30 January, 2001 (30.01.01), Full text & EP 931337 A1 & DE 19640213 C1 & KR 48721 A & TW 369695 B & US 6097050 A & WO 1998/014996 A1	1-44
A	JP 2003-100991 A (Ricoh Co., Ltd.), 04 April, 2003 (04.04.03), Full text (Family: none)	1-44
P,A	WO 2003/085740 A1 (Matsushita Electric Industrial Co., Ltd.), 16 October, 2003 (16.10.03), Full text & US 2004/0051161 A1	1-44

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl ⁷ H01L27/10, H01L45/00, G11C13/00		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl ⁷ H01L27/10, H01L45/00, G11C13/00		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2004年 日本国登録実用新案公報 1994-2004年 日本国実用新案登録公報 1996-2004年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
	関連する 請求の範囲の番号	
A	JP 9-512964 A(ノーザン・テレコム・リミテッド) 1997. 12. 22 全文 & EP 795201 A1 & US 5563762 A & US 5789303 A & WO 1996/017386 A1 & DE 69528079 D	1-44
A	JP 7-22578 A(株式会社日立製作所) 1995. 01. 24 全文(ファミリーなし)	1-44
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	国際調査報告の発送日	
30. 07. 2004	17. 8. 2004	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 松嶋 秀忠 4M 9836 電話番号 03-3581-1101 内線 3460	

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-501370 A(シーメンス アクチエンゲゼルシャフト) 2001. 01. 30 全文 & EP 931337 A1 & DE 19640213 C1 & KR 48721 A & TW 369695 B & US 6097050 A & WO 1998/014996 A1	1-44
A	JP 2003-100991 A(株式会社リコー) 2003. 04. 04 全文(ファミリーなし)	1-44
PA	WO 2003/085740 A1(松下電器産業株式会社) 2003. 10. 16 全文 & US 2004/0051161 A1	1-44