(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H04N 9/71

(45) 공고일자 1999년10월15일
(11) 등록번호 10-0224285
(24) 등록일자 1999년07월13일

(21) 출원번호 10-1991-0007071
(22) 출원일자 1991년05월02일
(65) 공개번호 특1991-0021165
(43) 공개일자 1991년12월20일

(30) 우선권주장 520,204 1990년05월07일 미국(US)
(73) 특허권자 톰슨 콘슈머 일렉트로닉스, 인코포레이티드 크리트먼 어윈 엠
미합중국 인디아나주 46290-1024 인디아나폴리스 노스 메리디안 스트리트 10330
(72) 발명자 바쓰앨런캔필드
미합중국, 인디아나 46226, 인디아나폴리스, 노스 하트만 드라이브 5129
러쎌토마스플링
미합중국, 일리노이 60540, 네이퍼빌, 그린 트레일즈 드라이브 1369
(74) 대리인 이병호

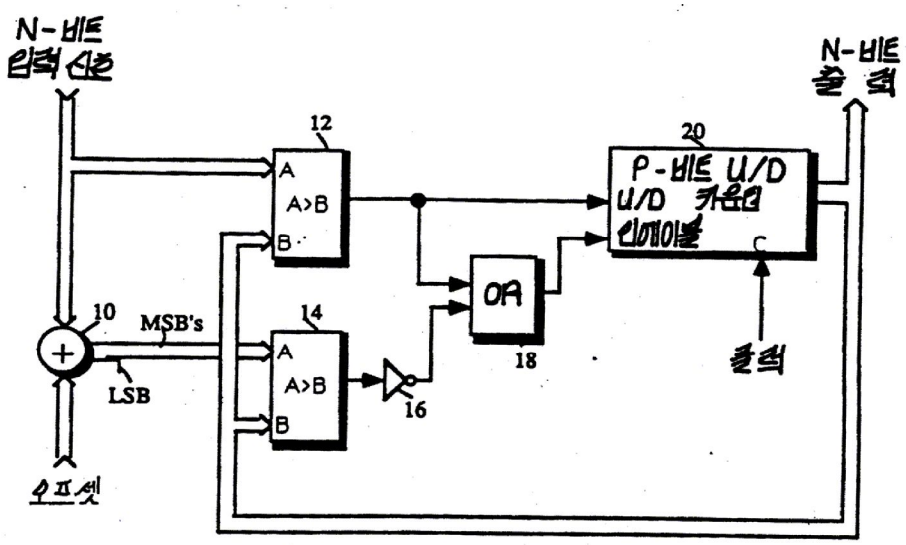
심사관 : 김희곤

(54) 신호 조절 장치

요약

신호의 시상수를 제어하기 위한 장치는 클럭 신호의 펄스를 카운트하는 업/다운 카운터(20)를 포함한다. 상기 카운트 값은 출력 신호로서 이용된다. 상기 출력 신호는 입력 신호와 비교(12)되어 상기 카운터의 카운트가 증가되는지 감소되는지의 여부를 결정하는 제1 제어 신호를 제공한다. 상기 출력 신호는 시상수에 의해 입력 신호 오프셋(10;400)과 비교되어 상기 제 1 제어 신호와 OR 연산된(18) 신호를 제공하고, 상기 OR 연산된 신호는 상기 카운터를 인에이블/디스에이블하는데에 이용된다. 비교되는 입력 신호에 일정한 오프셋값을 인가함으로써 비교적 일정한 진폭 입력 신호의 간격동안 시스템이 한 단위씩 업 카운트 또는 다운 카운트 되는 것을 방지한다.

대표도



명세서

[발명의 명칭]

신호 조절 장치

[도면의 간단한 설명]

제 1 도 및 제 2 도는 본 발명을 구체화한 대안적 디지털 신호 조절 회로의 블럭도.

제 3 도는 본 발명의 동작의 이해를 위한 파형도.

제 4 도는 본 발명을 구체화한 아날로그 제어 신호 조절 회로의 부분적인 블럭도 및 개략도.

* 도면의 주요부분에 대한 부호의 설명

10 : 합산기 12, 14 : 비교기

16 : 인버터 20 : 카운터

400 : 감산기 202 : 노드

[발명의 상세한 설명]

본 발명은 제어 신호와 같은 신호의 파라메터의 변화를 제어하는 회로에 관한 것이다.

텔레비젼 수신기, 비디오 카세트 레코더, 오디오 신호 프로세서 등과 같은 다수의 시스템은, 진폭 또는 주파수 파라메터의 범위내에서 발생하는 입력 신호에 대해 안정되게 동작하도록 상기 시스템을 조절하는 제어 신호를 발생한다. 텔레비젼 수신기에서의 제어 신호의 예로는 자동 이득 제어(AGC) 신호 및 자동 색도 제어(ACC) 신호가 있다. 일반적으로, 이들 제어 신호는, 예컨대 제어될 신호를 수신하는 입력 단자 및 파라메트릭하게(parametrically) 제어된 출력 신호가 입수되는 출력 단자를 갖는 이득 제어 소자를 포함하는 폐루프 서브시스템에서 발생된다. 제어 신호는, 제어된 출력 신호에 응답하여 기준값에 대한 신호의 특정 파라메터를 측정하고 예컨대 차분값을 생성하여 제어 소자를 제어하는 장치에 의해 발생된다.

급격한 신호 변화는 역효과를 발생시킬 수 있기 때문에, 다수의 시스템에서 제어 신호의 급격한 변화가 신호 제어 소자에 즉시 인가되는 것은 바람직하지 않다. 예컨대, AGC 신호의 급격한 변화는 재생된 비디오 화상에서 깜박거림을 발생시킬 수 있다. 그러므로, 제어 신호는 저역통과 필터를 통해 신호 제어 소자에 결합되는 경우가 빈번하다.

최근 전술된 시스템들 중 다수는 2진 신호 포맷으로 신호가 처리되는 디지털 하드웨어에 의해 실현된다(여기에서 2진 신호는 신호의 파라메터(예컨대, 진폭)를 나타내는 수를 정의하는 1과 0으로 구성되는 샘플된 데이터 신호를 의미하고, 2진 신호, 2의 보수 신호, BCD 신호, 그레이(gray) 코드 신호 등을 포함하는 것을 의미한다). 2 진 포맷(이하 디지털 포맷이라 칭함)으로 신호를 처리할 때, 여러 가지 이유로 인해, 아날로그 회로와 유사한 단순 디지털형인 회로에 의해 특정 처리 기능을 실현하는 것은 불편할 수도 있다. 다수의 샘플 지연 소자, 가중회로 및 디지털 합산 회로를 필요로 하는 긴 시상수를 갖는 디지털 저역통과 필터가 그 예이다.

본 발명은 신호의 파라메터, 예컨대 시상수를 제어하는 회로를 포함한다. 이 회로는 제어된 시상수를 갖는 출력 신호에 대응하는 저장값을 증가 또는 감소시키는 수단을 포함한다. 비교 회로는, 출력 신호 및 입력 신호에 응답하여, 저장값을 소정 속도에서 선택적으로 증가 또는 감소시키는 수단을 조절한다.

제 1 도는 신호를 조절하는 장치의 디지털 형태의 실시예를 도시한다. 제 1 도에서, 조절될 입력 신호는 N-비트 병렬 비트 포맷이라고 가정하고, 조절된 신호인 출력도 역시 N-비트 병렬 비트 포맷이라고 가정한다. 출력 신호는 P-비트 업/다운 카운터(20)(P≥N)에 의해 발생되지만, 카운터(20)에 의해 제공된 카운트값 중에서 N 개의 최상위 비트만이 출력 신호로 사용된다.

입력 신호는 비교기(12)의 제 1 입력 포트 A에 인가되고, 출력 신호는 비교기(12)의 제 2 입력 포트 B에 결합된다. 비교기(12)는, 입력 신호가 출력 신호를 초과할 때마다 논리 1의 출력 신호값을 제공하고, 그 외에는 논리 0의 출력값을 제공한다. 비교기(12)에 의해 제공된 논리 레벨은 카운터(20)의 업/다운(U/D) 제어단자에 결합된다. 논리 1 및 0의 U/D 제어값은, 각각, 업 카운트 및 다운 카운트 하도록 카운터(20)를 조절한다.

입력 신호는 신호 합산기(10)에도 결합된다. 일정값의 오프셋 수가 신호 합산기(10)의 제 2 입력에 인가된다. 신호 합산기(10)는 입력 신호와 오프셋 수의 합인 출력 신호를 제공한다. 명목상, N-비트값을 합산하도록 된 신호 합산기는 N+1 비트 출력 포트를 갖는다. 신호 합산기에 의해 제공된 출력 신호의 N개의 최상위 비트만이 사용된다. 오프셋 수는 비교적 작은 값으로서, 예컨대 2 내지 6이 된다.

신호 합산기(10)에 의해 제공된 출력 신호가 비교기(14)의 제 1 입력 포트 A에 결합되고, 카운터(20)의 출력 신호가 제 2 입력 단자 B에 결합된다. 비교기(14)는, 합산기(10)에 의해 제공된 신호가 카운터(20)의 출력 신호를 초과할 때마다 논리 1의 출력값을 제공하고, 그 외에는 논리 0의 출력값을 제공한다. 비교기(14)에 의해 제공된 출력 신호는, 논리 값이 반전되는(보수가 되는) 인버터(16)에 인가된다.

비교기(12)와 인버터(16)로 부터의 출력 신호는 2 입력 OR 게이트(18)의 각각의 입력 단자에 결합된다. OR 게이트(18)의 출력 신호는 카운터(20)의 인에이블 단자에 결합된다. OR 게이트(18)에 의해 제공된 출력 신호는, 논리 1의 값일 때 카운터를 증가/감소시키고, 논리 0의 값일 때 카운터의 증가/감소를 방지한다.

클럭 신호가 카운터(20)의 클럭 입력 단자(C)에 인가되고, 카운터(20)가 동작될 때, 카운터(20)는 저장되어 있는 현재의 계수값을 매 클럭 펄스마다 한 단위씩 증가/감소시킨다. 카운터(20)가 12-비트 카운터이고 N=7 이라고 가정할 경우, N-비트 출력 신호는 기껏해야 32 클럭 펄스마다 한 단위씩 증가/감소될 것이다. 출력 신호의 시상수, 즉, 회전율(slew rate)은 클럭 신호의 주파수에 의해 결정된다. 따라서, 클럭 신호의 주파수는 설계상의 선택사항이다.

제 1 도의 회로의 동작을, 제 3 도의 신호 파형을 참조하여 설명한다. 제 3 도에 대해, 입력 신호(INPUT), 출력 신호(OUTPUT)는 편의상 아날로그 형태로 도시된다. 입력 신호의 샘플링 주파수는, 카운터에 인가되는 클럭 신호(CLOCK)의 주파수보다 높다고 가정한다. 또한, P가 N과 같다고, 즉, 카운터(20)가 N-비트 카운터라고 가정한다. 카운터가 동작될 때 출력 신호는 매 클럭 신호마다 증가/감소할 것이다. 신호 INPUT는 비교기(12)의 입력 포트 A에 결합되고, 신호 INPUT PLUS OFFSET는

비교기(14)의 입력 포트 A에 결합된다. 신호 OUTPUT는 비교기(12 및 14)의 각각의 입력 단자 B에 결합된다. 파형 AB_{12} 및 AB_{14}은 소정의 입력 신호에 대해 비교기(12 및 14)에 의해 각각 제공된 출력 신호이다. 파형 ENABLE은 OR 게이트(18)에 의해 제공된 출력 신호이다.

시간 t1-t4에서, 카운터(20)가 동작되고 비교기(12)의 출력은 하이(high)이다. 이 기간동안 카운터(20)는 신호 CLOCK의 한 사이클마다 카운트값을 한 단위씩 증가시키도록 조절된다. 신호 OUTPUT는 신호 INPUT의 회전율에 비해 비교적 느린 회전율로 정방향으로(positively) 회전한다(slew)는 것을 알 수 있다.

시간 t5-t10에서 카운터(20)가 다시 동작되지만, 이 기간동안에는 비교기(12)의 출력이 로우(low)이고, 따라서, 카운터(20)는 그 카운트값을 감소시키도록 조절된다. 신호 OUTPUT은, 신호 INPUT의 부방향(negative) 회전율에 비해 비교적 긴 부방향 회전율을 발생시키면서, 클럭 신호의 사이클당 한 단위씩 감소한다. 다른 모든 시간에서는 인에이블 신호가 로우가 됨으로써 카운터의 증가 또는 감소를 방지한다. 이 시간 동안에는 최종 카운트값이 카운터에 저장된다.

비교기(12)는 카운터로 하여금 정방향 입력 신호 변화를 따르도록 하고, 비교기(14)와 인버터(16)는 함께, 카운터로 하여금 부방향 입력 신호 변화를 따르도록 한다. 입력 신호가 예컨대 시간 t4와 t5 사이에서 비교적 일정한 값일 때, 시스템이 한 단위씩 증가와 감소를 교대로 행하는 것을 방지하기 위해 비교기(14)에 결합되는 입력 신호에 오프셋 값이 인가된다.

제 1 도 및 제 3 도에서 도시하듯이, 신호 OUTPUT의 정방향 및 부방향 회전율은 동일하다. 이들은, 증가 및 감소하는 기간 동안 카운터(20)에 다른 주파수의 클럭 신호를 선택적으로 인가함으로써 동일하지 않게 될 수도 있다. 비교기(12)로 부터의 출력 신호는 카운터에 인가되는 2개의 클럭 신호중에서 선택하기 위해 사용될 수 있다.

제 3 도에 도시하듯이, 출력 신호는, P가 N과 동일하다고 가정했기 때문에, 매 클럭 사이클마다 한 단위씩 증가/감소되었다. 대안적으로, P가 N보다 Q비트만큼 더 크다면, 상기 출력 신호는 2^Q 클럭 사이클마다 한 단위씩 증가/감소될 것이다.

제 2 도에 도시된 장치는, 오프셋 신호가 비교기(14)에 인가된 입력 신호에 인가되는 것이 아니라 비교기(14)에 결합된 카운터(20)의 출력 신호에 인가된다는 것을 제외하면 제 1 도에 도시된 장치와 유사하다. 제 2 도에서 오프셋 값 및 카운터(20)의 출력 신호는, 출력 신호로부터 일정 오프셋 값이 감산되는 감산기(400)의 감수 및 피감수 입력 단자에 각각 결합된다. 감산기에 의해 발생된, 출력 신호에서 오프셋 값을 감산한 결과는, 비교기(14)의 입력 포트 B에 결합된다. 이 회로의 동작은 제 1 도의 회로에 대해 설명된 것과 유사하다.

상기 제 1 도 및 제 2 도의 회로에 있어서, 상기 입력 신호의 동적 범위(dynamic range)가 N-비트 신호에 의해 표현될 수 있는 모든 가능한 값을 포함할 경우, 신호 합산기(10) 및 감산기(400)의 출력값은 오버플로(overflow) 및 언더플로(underflow)될 수 있음을 인식해야 한다. 오버플로 및 언더플로는, 회로가 잘못된 결과를 발생시키지 않도록 방지되어야 한다. 이것은, 오버플로 및/또는 언더플로가 발생하는 기간 동안, 합산기(10) 또는 감산기(400)에 의해 제공된 출력 값을 동적 범위의 한계에 대응하는 값으로 클램핑(clamping)함으로써 달성될 수도 있다. 그런 회로는 디지털 신호 처리 분야의 당업자에게 공지되어 있으므로 여기에서 설명되지 않을 것이다.

제 4 도는 본 발명의 아날로그 형태의 실시예를 도시한다. 이 회로는 비교적 긴 시상수를 신호에 제공하는 것이 필요한 집적 회로에 사용될 수 있다. 이것은 집적된 형태로 실현될 수 있는 비교적 낮은 값의 용량을 사용한다는 점에서 단순한 저역통과 필터이상의 장점을 갖는다.

제 4 도에서, 아날로그 입력 신호가 단자(200)에 결합되고, 오프셋 값 Vref가 단자(201)에 결합된다. 출력 신호는 접속부(220)로 부터 입수될 수 있다. 입력 및 출력 신호는 제 1 도의 비교기(12)에 대응하는 비교기(208)의 각 입력 단자에 결합된다. 입력 신호 및 오프셋 값은 저항(R1 및 R2)을 통해 노드(202)에 인가된다. 저항(R1, R2, R7) 및 증폭기(204 및 206)는 전압 합산 네트워크를 형성한다. 저항(R1, R2 및 R7)은 동일한 값을 가지며, 증폭기(204)는 고이득을 가진다고 가정되고, 따라서 증폭기(206)에 의해 제공된 출력 신호는 입력 신호의 진폭값 Vinput과 오프셋 신호의 진폭값 Voffset의 합과 같다. 입력 신호와 오프셋 신호를 합산한 값과 출력 신호는, 제 1 도의 비교기(14)에 대응하는 비교기(210)의 각 입력 단자에 결합된다. 비교기(208 및 210)는 (+) 입력 단자에 인가된 신호가 (-) 입력단자에 인가된 신호를 초과할 경우에만 고레벨 출력 신호를 제공하고, 그 외에는 저레벨 출력 신호를 제공한다.

비교기(208 및 210)에 의해 제공된 출력 신호는, 에미터 결합 트랜지스터(212) 및 저항(R3)을 포함하는 아날로그 OR 게이트의 각 입력 단자에 인가된다. OR 게이트의 출력은, 스위치(S1)를 제어하여 클럭 신호를 다른 스위치(S2 및 S3)로 선택적으로 통과시키도록 결합된다. 스위치(S2 및 S3)에 결합될 경우, 클럭 신호는 고레벨 펄스일 때 스위치(S2 및 S3)를 닫으며 저레벨일 때 스위치(S2 및 S3)를 연다. 스위치(S2 및 S3)의 제어 단자와 접지 전위 사이에 결합된 저항(R6)은, 클럭 펄스가 없을 때 스위치(S2 및 S3)가 열리는 것을 보장한다.

비교기(208)로 부터의 출력 신호는, 버퍼 증폭기(214)에서 반전되어 스위치(S2 및 S3)의 각 신호 입력 단자에 결합된다. 스위치(S2 및 S3)의 신호 출력 단자는 접속부(220)에 대해 게이트 제어된(gated) 전류원으로 동작하도록 접속된 p-형 트랜지스터(P1) 및 n-형 트랜지스터(N1)의 제어 전극에 각각 결합된다. 집적 용량(integrating capacitance) (C1)이 접속부(220)와 일정 전위점 사이에 결합된다.

트랜지스터(P1)는, 제어 전극이 상대적으로 음으로 바이어스될 때 용량(C1)에 충전 전류를 인가하고, 제어 전극이 상대적으로 양으로 바이어스될 때 효과적으로 개방 회로가 된다. 트랜지스터(N1)는, 제어 전극이 상대적으로 양으로 바이어스될 때 용량(C1)에 방전 전류를 인가하고, 제어 전극이 상대적으로 음으로 바이어스될 때 효과적으로 개방 회로가 된다. 트랜지스터(P1)의 제어 전극와 양의 공급 전위 사이에

결합된 저항(R4) 및, 트랜지스터(N1)의 제어 전극와 접지 사이에 결합된 저항(R5)은, 스위치(S2 및 S3)가 개방될 때 트랜지스터(P1 및 N1)가 바이어스되지 않는 것을 보장한다.

스위치(S1)가 OR 게이트에 의해 닫혀질 때(동작 가능할 때), 용량(C1)은 비교기(208)의 출력이 하이인지 로우인지에 따라 각각 선택적으로 충전 또는 방전된다. 충전(또는 방전)의 증가는 트랜지스터(P1(N1))의 클럭 펄스 및 파라메터의 폭에 의존한다. 양 및 음의 출력 회전율은 트랜지스터(P1 및 N1)에 대해 선택된 상대적인 설계 파라메터에 따라 동일하거나 달라질 것이다.

스위치(S1)가 닫혔을 때, 접속부(220)의 출력 신호는 각 클럭 펄스마다 한충전 단위씩 증가/감소할 것이다. 이 응답 속도는 출력(220)과 비교기(208 및 210)의 입력 단자 사이의 피드백 경로에 감쇠기를 포함함으로써 길어질 수 있다.

(57) 청구의 범위

청구항 1

(정정) 신호 조절 장치로서, 입력 신호값을 수신하는 입력 단자와; 출력 신호값을 제공한 출력 단자와; 상기 입력 신호값 및 상기 출력 신호값에 응답하여, 상기 입력 신호값이 상기 출력 신호값보다 클 때 제 1 상태를 가지고 상기 입력 신호값이 상기 출력 신호 값보다 작을 때 제 2 상태를 갖는 제 1 신호를 제공하는 수단(12)과; 상기 입력 신호값 및 상기 출력 신호값에 응답하여, 상기 입력 신호값이 상기 출력 신호값보다 소정의 오프셋 값 이상 더 클 때 상기 제 2 상태를 나타내고 그 이외에는 상기 제 1 상태를 나타내는 제 2 신호를 제공하는 수단(10, 14, 16;400)과; 상기 제 1 신호 또는 상기 제 2 신호가 상기 제 1 상태와 상기 제 2 상태 중 소정의 한 상태를 나타내는지를 판단하는 수단(18) 및; 상기 출력 신호를 저장하고, 상기 제 1 신호 및 상기 판단하는 수단의 출력에 응답하여 상기 출력값을 증가 또는 감소시키는 저장 수단(20);을 포함하는 상기 신호 조절 장치에 있어서, 상기 판단하는 수단(18)은 상기 제 1 신호와 상기 제 2 신호를 논리합 연산(OR)하여 논리합 연산된 신호를 제공하는 논리합 게이트이고; 상기 저장 수단(20)은, 소정의 상태를 나타내는 상기 논리합 연산된 신호에 응답하여 카운트값을 증가/감소시킬 수 있으며, 상기 제 1 신호가 상기 제 1 상태와 상기 제 2 상태 중 소정의 한 상태를 나타낼 경우 상기 카운트값을 증가시키고, 상기 제 1 신호가 상기 제 1 상태와 상기 제 2 상태중 다른 한 상태를 나타낼 경우 상기 카운트값을 감소시키도록 상기 제 1 신호에 의해 직접 조절되는 업/다운 카운터인 것을 특징으로 하는 신호 조절 장치.

청구항 2

(삭제)

청구항 3

제 1 항에 있어서, 상기 입력 신호값이 상기 출력 신호값보다 클 때 제 1 상태를 가지고 상기 입력 신호값이 상기 출력 신호값보다 작을 때 제 2 상태를 갖는 제 1 신호를 제공하는 상기 수단은, 상기 입력 신호 및 상기 출력 신호가 각각 인가되는 제 1 입력 단자 및 제 2 입력 단자를 갖는 비교기를 포함하며, 상기 입력 신호가 상기 출력 신호를 초과하는 경우에만 논리 하이(high)의 출력값을 제공하도록 되어 있는 것을 특징으로 하는 신호 조절 장치.

청구항 4

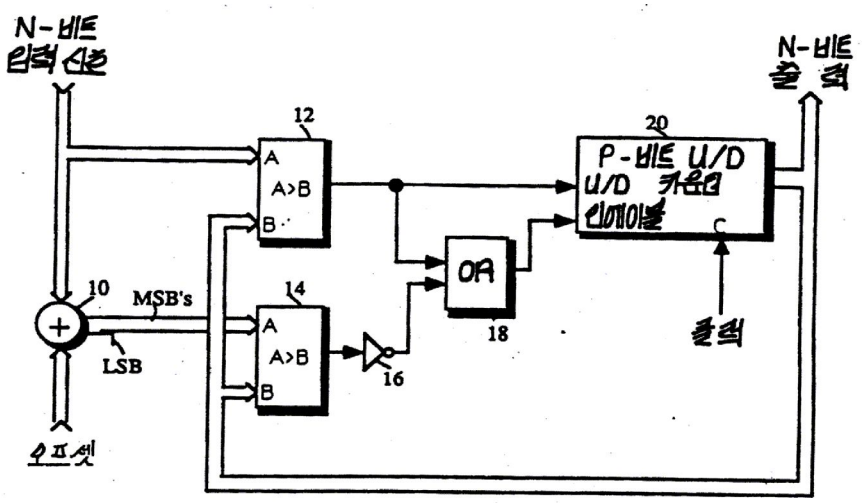
(정정) 제 1 항에 있어서, 상기 입력 신호값이 상기 출력 신호값보다 소정의 오프셋 값 이상 더 클 때 상기 제 2 상태를 나타내고 그 이외에는 상기 제 1 상태를 나타내는 제 2 신호를 제공하는 상기 수단은, 상기 입력 신호 및 출력 신호가 각각 인가되는 제 1 입력 단자 및 제 2 입력 단자를 가지며, 상기 입력 신호가 상기 출력 신호를 초과할 경우에만 논리 하이의 출력값을 제공하도록 되어 있는 비교기 및; 상기 비교기에 결합되어 상기 비교기에 의해 제공된 출력 값을 반전시켜 상기 제 2 신호를 발생시키는 수단을 구비하는 것을 특징으로 하는 신호 조절 장치.

청구항 5

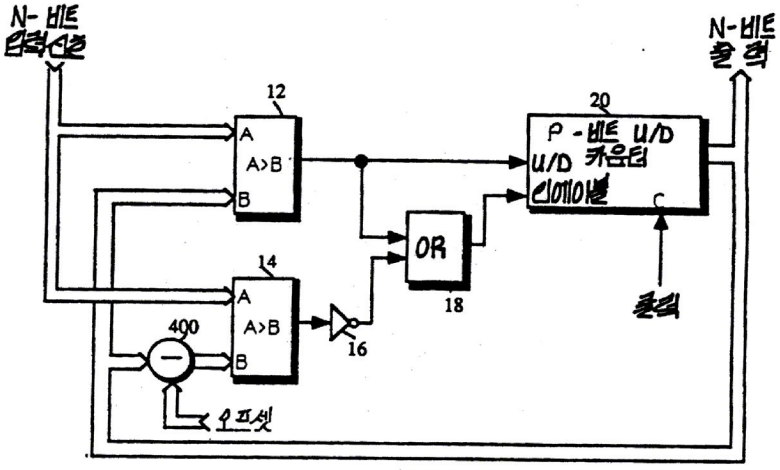
(정정) 제 1 항에 있어서, 상기 신호 조절 장치는 2진 신호를 조절하며; 상기 입력 단자는 2진 입력 신호를 수신하고; 상기 출력 단자는 2진 출력 신호를 제공하고; 상기 신호 조절장치는 2진 오프셋 신호의 신호원를 포함하고; 상기 신호 조절 장치는, 상기 입력 단자 및 상기 신호원에 결합되어, 상기 2진 오프셋 신호와 상기 2진 입력 신호를 합산하여 이진 오프셋 입력 신호를 제공하는 수단과; 상기 2진 입력 신호와 상기 2진 출력 신호가 각각 인가되는 제 1 입력 단자 및 제 2 입력 단자를 가지며, 상기 이진 입력 신호가 상기 이진 출력 신호를 초과하는 경우에만 논리 하이의 출력 값을 제공하도록 되어 있는 제 1 비교기와; 상기 이진 오프셋 입력 신호와 상기 이진 출력 신호가 각각 인가되는 제 1 입력 단자 및 제 2 입력 단자를 가지며, 상기 이진 오프셋 입력 신호가 상기 이진 출력 신호를 초과하는 경우에만 논리 하이의 출력 값을 제공하도록 되어 있는 제 2 비교기와; 상기 제 2 비교기에 결합되어, 상기 제 2 비교기에 의해 제공된 출력값들을 반전시키는 수단과; 상기 제 1 비교기와 상기 반전시키는 수단에 의해 제공된 신호들을 논리합(OR) 연산하여, 인에이블 신호를 발생시키는 논리합 회로와; 상기 제 1 비교기에 결합된 업/다운 제어 단자와, 상기 논리합 회로에 결합된 인에이블 단자와, 클럭신호를 수신하는 클럭 입력 단자와, 상기 출력 단자에 결합된 카운트 출력 단자를 갖는 업/다운 카운터를 더 포함하는 것을 특징으로 하는 신호 조절 장치.

도면

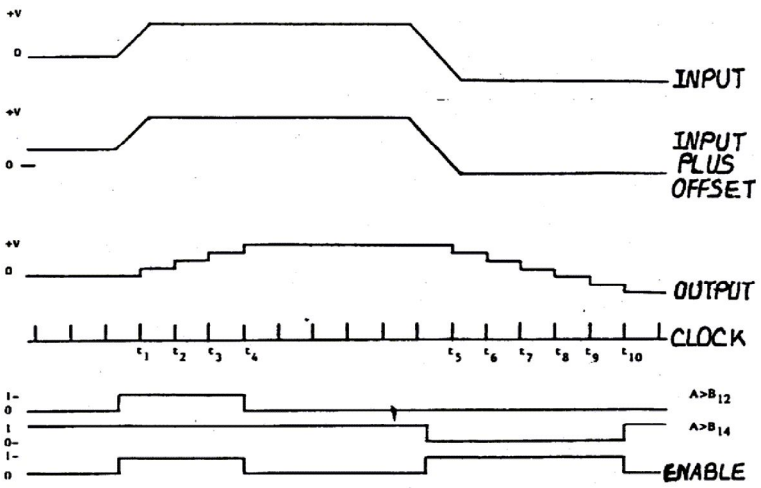
도면1


N-비트 입력신호
N-비트 출력
12
A
A>B
B
20
P-비트 U/D 카운터
U/D 인에이블
C
OR
18
10
MSB's
LSB
14
16
클럭
오프셋

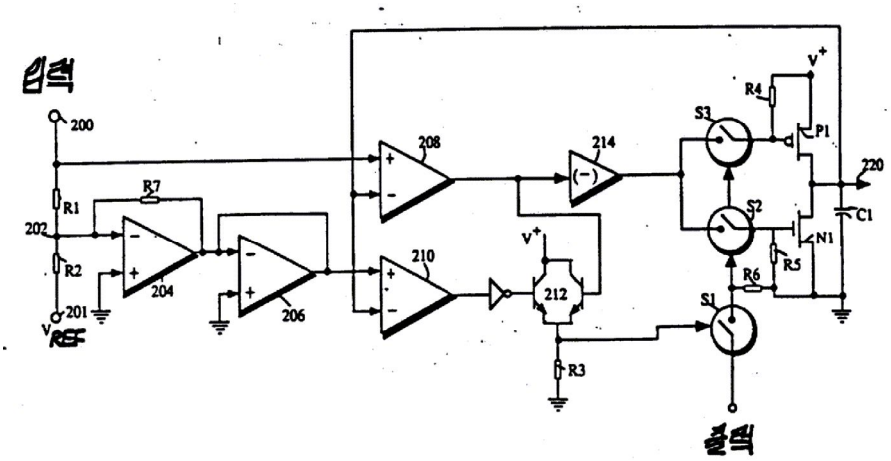
도면2


N-비트 입력신호
N-비트 출력
12
20
P-비트 U/D 카운터
U/D 인에이블
OR
18
14
400
16
클럭
오프셋

도면3


INPUT
INPUT PLUS OFFSET
OUTPUT
CLOCK
ENABLE

도면4


입력
200
202
201
R1
R2
R7
204
206
208
210
212
214
(-)
R3
R4
R5
R6
P1
N1
S1
S2
S3
C1
220
V+
출력