

公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92132136

※申請日期：92.11.17   ※IPC分類：G11C 7/10, 11/4091

**壹、發明名稱：**(中文/英文)

晶片終端電路與降低晶片內建式(ON-CHIP)直流電流之方法，以及包括此電路之記憶體裝置之記憶體系統

ON-DIE TERMINATION CIRCUIT AND METHOD FOR REDUCING  
ON-CHIP DC CURRENT, AND MEMORY SYSTEM INCLUDING  
MEMORY DEVICE HAVING THE SAME

**貳、申請人：**(共1人)

姓名或名稱：(中文/英文)

韓商三星電子股份有限公司

SAMSUNG ELECTRONICS CO., LTD.

代表人：(中文/英文)

尹鍾龍

JONG-YONG YUN

住居所或營業所地址：(中文/英文)

大韓民國京畿道水原市八達區梅灘洞 416 番地

416, MAETAN-DONG, PALDAL-GU, SUWON-CITY, KYUNGKI-DO,  
KOREA

國籍：(中文/英文)

南韓 KOREA

**參、發明人：**(共1人)

姓名：(中文/英文)

李禎培

JUNG-BAE LEE

住居所地址：(中文/英文)

大韓民國京畿道龍仁市水枝邑豐德川里鎮山MAEUL三星5次APT.523棟  
302號523-302, SAMSUNG 5-CHA APT., JINSAN MAEUL,  
PUNGDEOKCHEON-RI, SUJI-EUB, YONGIN-CITY, KYUNGKI-DO,  
KOREA

國籍：(中文/英文)

南韓 KOREA

**肆、聲明事項：**

本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為： 年 月 日。

本案申請前已向下列國家（地區）申請專利：

1. 南韓；2002年11月20日；10-2002-0072478
- 2.
- 3.
- 4.
- 5.

主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 南韓；2002年11月20日；10-2002-0072478
- 2.
- 3.
- 4.
- 5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明有關於記憶體裝置，且尤其有關於晶片終端(以下稱為ODT)電路及用的記憶體裝置的方法。

### 【先前技術】

同步記憶體裝置的操作速度的增加導致傳輸線終端的需求，該線接到記憶體系統中同步記憶體裝置的資料輸入/操作接腳，雙資料率同步DRAM(DDR SDRAM)的介面是根據短系列終端收發器邏輯(SSTL)，其使用記憶體裝置(如圖1記憶體裝置100)外的終端電阻R-term，除了終端電阻R-term以外，需要電壓調節器以產生終端電壓Vtt，以增加漸增速度記憶體系統的成本。

已建議用圖2的軌至軌ODT系統藉由不需要電壓調節器以解決此問題，ODT系統包括一記憶體裝置200其包括終端電阻R-term1及R-term2，及使用開關電晶體S1,S2以連接終端電阻R-term1,R-term2的連接。詳言之，當啟動終端致能信號TE至邏輯高時，開關電晶體S1,S2即導通以致能ODT系統。惟ODT系統的缺點是在ODT系統致能期間，電流路徑形成在供給電壓VDD與接地電壓VSS之間，因而增加晶片內建式直流電流的消耗。

以上述約16個接腳以上的DRAM為例，若ODT電路安裝在各接腳，則當所有的ODT電路同時致能時，電流會極大。在此例，電流量幾乎等於操作DRAM的電流量。因此DRAM的總功率消耗大致會增加。

【發明內容】

根據 35 U.S.C.&119 本案主張在韓國智慧產權局申請以下專利的優先權：申請號 2002-72478，申請日 2002/11/20。

本發明提供一種晶片終端(ODT)電路及方法，其能使晶片內建式直流(DC)電流之消耗減至極小，以及一記憶體系統其採用具有此一ODT電路之同步記憶體裝置。

根據本發明的一特點，提供一種ODT電路用於同步記憶體裝置中，ODT電路包括：一終端電壓埠用以接收一終端電壓；一資料輸入/輸出(I/O)埠；一第一終端電阻，其一端接到資料I/O埠；及一第一終端電阻，其一端接到資料I/O埠；及一開關選擇性連接第一終端電阻之另一端與終端電壓埠以回應一終端致能信號。

ODT電路更包括一終端致能信號產生電路用以產生終端致能信號以回應一信號，其指示輸入資料之有效時期或指示本周期不是同步記憶體裝置之寫入操作期間之讀取周期，及用以產生終端致能信號以回應從一模式暫存器組(MRS)之信號輸出。

當來自MRS的信號輸出\*0鉻汞A及該信號，其指示輸入資料之有效時期或指示本周期不是讀取周期，是致能時，終端致能信號即致能。而且當從MRS之信號輸出致能時，不論該信號指示輸入資料之有效時期或指示本周期不是讀取周期，終端致能信號即致能。

ODT電路更包括一第二終端電阻，其一端接到資料I/O埠而其另一端接到終端電壓埠。

根據本發明的另一特點，提供一種用於同步記憶體裝置之ODT方法，包括安裝一終端電壓埠在一同步記憶體裝置中，終端電壓埠接收一終端電壓；安裝一第一終端電阻在同步記憶體裝置中，第一終端電阻具有一端接到同步記憶體裝置中之資料I/O埠；及選擇性連接第一終端電阻之另一端與終端電壓埠。

在同步記憶體裝置寫入操作期間於輸入資料有效時期執行選擇性連接第一終端電阻之另一端，而且在同步記憶體裝置讀取操作以外周期中執行選擇性連接第一終端電阻之另一端，而且當同步記憶體裝置中包括之MRS設定在同步記憶體裝置以外時，選擇性連接第一終端電阻之另一端。

ODT方法更包括安裝一第二終端電阻在同步記憶體裝置中，第二終端電阻具有一端接到資料I/O埠及另一端接到終端電壓埠。

根據本發明的又一特點，提供一種記憶體系統，包括：一記憶體控制器；一電壓調節器其產生一終端電壓；及一同步記憶體裝置其接到記憶體控制器及電壓調節器，且包括一ODT電路，其中ODT電路包括：一終端電壓埠，其從電壓調節器接收終端電壓；一資料I/O埠，其從記憶體控制器接收輸入資料，或輸出輸出資料至記憶體控制器；一第一終端電阻，其一端接到資料I/O埠；及一開關，其選擇性連接第一終端電阻之另一端與終端電壓埠以回應一終端致能信號。

根據本發明的又一特點，提供一種記憶體系統，包括：

一記憶體控制器，其產生一終端電壓；及一同步記憶體裝置，其接到記憶體控制器且包括一ODT電路，其中ODT電路包括：一終端電壓埠，其從記憶體控制器接收終端電壓；一資料I/O埠，其從記憶體控制器接收輸入資料或輸出輸出資料至記憶體控制器；一第一終端電阻，其一端接到資料I/O埠；及一開關，其選擇性連接第一終端電阻之另一端與終端電壓埠以回應一終端致能信號。

根據本發明的又一特點，提供一種記憶體系統，包括：一記憶體控制器；及複數個同步記憶體裝置，其經由一通道而接到記憶體控制器且包括一ODT電路，其中ODT電路僅在複數個記憶體裝置之至少一者中致能，該記憶體裝置離開記憶體控制器最遠且在其它記憶體裝置中無效。

ODT電路包括：一終端電壓埠，其接收終端電壓；一資料I/O埠；一第一終端電阻，其一端接到資料I/O埠；及一開關，其連接終端電壓埠與第一終端電阻之另一端以回應一啟動之終端致能信號，其中當設定安裝在記憶體裝置中之MRS且ODT電路致能時，即啟動終端致能信號。

### 【實施方式】

圖3是根據本發明第一實例的ODT系統的電路圖，參考圖3，ODT系統包括一同步記憶體裝置300其中安裝終端電壓埠VTP，終端電阻R-term1及開關TM。

終端電阻R-term1的一端接到資料輸入/輸出(I/O)埠DQ，而開關TM接在終端電阻R-term1的另一端與終端電壓埠VTP之間，開關TM是由傳輸閘製造且選擇性連接終端電阻

R-term1的一端到終端電壓埠 VTP，以回應終端致能信號 TE。在圖3，PM及NM分別表示輸出緩衝器的上拉電晶體及輸出緩衝器的下拉電晶體，而數字31表示輸入緩衝器。

更明確地，終端電壓 VTTP(其經由終端電壓埠 VTP而輸入)施加到終端電阻 R-term1或使用開關TM而中止施加終端電壓 VTTP。依此，能選擇性控制傳輸線DB的終端，即資料匯流排，其接到資料I/O埠DQ，終端電阻值是開關TM的通道電阻值與終端電阻 R-term1的電阻值之和，惟開關TM的通道電阻值可以小到足以忽略。

終端電壓埠 VTP的數目最好至少是1，圖對量經由終端電壓埠 VTP的終端電壓 VTTP必須作為電流的同步及來源，因此終端電壓埠 VTP越多越好，通常DRAM具有x4,x8,x16等的配置，因此若資料I/O埠DQ的數目增加，終端電壓埠 VTP的數目也必須增加以得到足夠的信號一致性，在此例，一終端電壓埠 VTP可安裝在各資料I/O埠DQ中，或是一終端電壓埠 VTP可裝在數個資料I/O埠DQ中。

可使用內部信號產生終端致能信號TE，該信號僅於同步記憶體裝置寫入操作期間輸入資料是輸入時的周期中才致能，否則可使用一內部信號產生終端致能信號TE，該信號在連續致能除了在同步記憶體裝置的讀取操作期間，必要時可使用同步記憶體裝置中包括的模式暫存器組(MRS)而產生終端致能信號TE。

圖4是根據本發明第一實例的終端致能信號產生電路(以下稱為第一電路)的電路圖，參考圖4，第一電路包括：NOR

閘 41，第一反相器 42，第二反相器 43，第一 NAND 閘 44，第二 NAND 閘 45，及第三反相器 46。

NOR 閘 41 接收信號 WV 或信號 TRST 且接收 MRS 致能信號 MRS-EN，在同步記憶體裝置寫入操作期間，信號 WV 指示輸入資料的有效時期而信號 TRST 指示目前周期不是讀取周期，第一反相器 42 將 NOR 閘 41 的信號輸出反相，而第二反相器 43 將信號 MRS\_TE 反相。

第一 NAND 閘 44 接收 MRS 致能信號 MRS\_EN 及第二反相器 43 的信號輸出，而第二 NAND 閘 45 接收第一反相器 42 的信號輸出及第一 NAND 閘 44 的信號輸出，第三反相器 46 將第二 NAND 閘 45 的信號輸出反相以最後產生終端致能信號 TE。

信號 WV 在同步記憶體裝置中產生，且僅在同步記憶體裝置寫入操作期間當輸入該輸入資料時才致能到邏輯高，也在同步記憶體裝置中產生信號 TRST，但它是持續致能到邏輯高除了在同步記憶體裝置讀取操作期間以外，通常使用信號 TRST 作為致能信號以致能同步記憶體裝置的輸出驅動器。

MRS 致能信號 MRS\_EN 是安裝在同步記憶體裝置中的 MRS 的信號輸出，且從同步記憶體裝置外部設定 MRS 時致能為邏輯高，信號 MRS\_TE 是 MRS 致能信號 MRS\_EN 致能期間用於傳輸線 DB 終端的信號。

更明確地，終端致能信號 TE 於信號 WV 指示輸入資料的有效時期時，是邏輯高，或者信號 TRST 於指示本周期不是讀取周期時是邏輯高，同時 MRS 致能信號 MRS\_EN 無效變成邏

輯低，接著將圖3的開關TM開啟以連接終端電壓埠VTP與終端電阻R-term1，以使傳輸線DB的終端接到資料I/O埠DQ。

當MRS致能信號MRS\_EN致能到邏輯高時，若信號MRS\_TE是邏輯高，則終端致能信號TE是邏輯高。換言之，當MRS致能信號MRS\_EN及信號MRS\_TE都是邏輯高時，不論信號WV或信號TRST的位準，終端致能信號TE都致能到邏輯高，以終止傳輸線DB。

圖5是根據本發明第二實例的終端致能信號產生電路(以下稱為第二電路)的電路圖，參考圖5，第二電路包括：第一反相器51，第一NAND閘52，第二NAND閘53，及第二反相器54。

第一反相器51將信號MRS\_TE反相，第一NAND閘52接收信號WV或信號TRST，且從第一反相器51接收信號輸出。在同步記憶體裝置寫入操作期間，信號WV指示輸入資料的有效時期，而信號TRST指示本周期不是讀取周期，第二NAND閘53接收信號WV或信號TRST，且從第一NAND閘52接收信號輸出。

更明確地，若信號WV或信號TRST是邏輯低，不論信號MRS\_TE的位準都將終端致能信號TE無效變成邏輯低，若信號WV或信號TRST是邏輯高，當信號MRS\_TE是邏輯高時，終端致能信號TE致能到邏輯高，但是當信號MRS\_TE是邏輯低時，則無效變成邏輯低。

圖6是根據本發明第二實例的ODT系統的電路圖，參考圖6，與根據第一實例的ODT系統相比，ODT系統更包括記憶

體裝置600中的第二終端電阻R-term2。

第二終端電阻R-term2的一端接到資料I/O埠DQ，而其另一端接到終端電壓埠VTP，在此第二終端電阻R-term2的電阻值遠大於第一電阻R-term1的電阻值。

詳言之，若傳輸線DB的終端僅於記憶體裝置60的寫入操作期間致能，則傳輸線DB在數個周期中浮動，除了寫入周期以外的讀取周期，即在讀取及寫入周期以外的周期。惟在新寫入操作期間，它需要預設時間以便將傳輸線DB置於終端位準，因而使系統權重降低。

為了解決此問題，根據第一實例的ODT系統提供傳輸線DB的終端在讀取周期以外周期中致能。惟在此例，若記憶體控制器及記憶體裝置連續執行寫入及讀取操作，傳輸線DB可能浮動，結果是傳輸線DB可能立刻具有不期望的電壓位準。

因此為了防止傳輸線DB的可能浮動，根據本發明第二實例的ODT系統更包括第二終端電阻R-term2，其持續連接資料I/O埠DQ與終端電壓埠VTP，如上所述，僅使用第二終端電阻R-term2以防止傳輸線DB的浮動，因而仍具有比第一終端電阻R-term1大的電阻值。

在根據第二實例的ODT系統中，當開關TM開啟以致能傳輸線DB的終端時，終端電阻值成為第一終端電阻R-term1與第二終端電阻R-term2之間的並聯電阻值。並聯電阻值約等於第一終端電阻R-term1的電阻值，因為第二終端電阻R-term2遠大於第一終端電阻R-term1。

圖 7 是記憶體系統的一例的方塊圖，該系統採用一同步記憶體裝置 75 其包括根據本發明的 ODT 電路 751，在圖 7 的記憶體系統中，電壓調節器 73 產生終端電壓 VTTP，同步記憶體裝置 75，其包括圖 3 或 6 的 ODT 電路 751，經由終端電壓埠 VTP 而接收終端電壓 VTTP，其由電壓調節器 73 產生。

圖 8 是記憶體系統的另一例的方塊圖，該系統採用一同步記憶體裝置 85 其包括根據本發明的 ODT 電路 851，在圖 8 的記憶體系統中，記憶體控制器 81 產生終端電壓 VTTP，同步記憶體裝置 85，其包括 ODT 電路 851，經由終端電壓埠 VTP 而接收終端電壓 VTTP，其由記憶體控制器 81 產生。

圖 9 是記憶體系統的方塊圖，其採用複數個同步記憶體裝置 92, ..., 93 及 94 共享的多點網路，各同步記憶體裝置包括根據本發明的 ODT 電路。較佳的，在採用圖 9 所示多點網路的記憶體系統中，ODT 僅於記憶體裝置 94 與記憶體控制器 91 最遠時才致能，及在其它記憶體裝置 91, ..., 及 93 中 \*0 邁 A 因此只設定記憶體裝置 94 中與記憶體控制器 91 相距最遠的 MRS，而不設定其它記憶體裝置 92, ..., 及 93 中的 MRS。

換言之在具有設定 MRS 的記憶體裝置 94 中，信號 MRS\_EN 及 MRS\_TE 都是邏輯高，因而在圖 4 的終端致能信號產生電路中將終端致能信號 TE 致能到邏輯高，因而致能 ODT。惟在各記憶體裝置 92, ..., 及 93 其中未設定 MRS，信號 MRS\_EN 及 MRS\_TE 都是邏輯低，因而使終端致能信號 TE 無效變成邏輯低，以致能 ODT。

在本發明中，圖 9 的記憶體系統建構成僅致能記憶體裝置

94的ODT，惟必要時也能作出一記憶體系統，其中將距離記憶體控制器91最遠的至少一記憶體裝置致能。

而且，在圖9的記憶體系統中，記憶體裝置94的ODT的致能或無效是依是否設定MRS而定。可製造出一記憶體系統，以便各記憶體裝置具有一識別(ID)暫存器而不是MRS，由記憶體裝置設定該ID暫存器以致能記憶體裝置的ODT。

如上所述，在根據本發明的ODT電路及ODT方法中，在ODT致能期間，電流路徑不會在供給電壓VDD與接地電壓VSS之間形成，因而使晶片內建式直流電流的消耗減至極小。

雖然已參考本發明的較佳實例來說明本發明，熟於該技藝者可了解可以在不違反後附申請專利的範圍及精神下，作各種形式及細節的變化。

#### 【圖式簡單說明】

以上藉由較佳實例的說明且配合附圖即可更明了本發明的上述及其它特點及優點，其中：

圖1的電路圖說明一習知外部ODT系統；

圖2的電路圖說明一習知軌至軌ODT系統；

圖3的電路圖說明根據本發明第一實例的ODT系統；

圖4是根據本發明第一實例的終端致能信號產生電路的電路圖；

圖5是根據本發明第二實例的終端致能信號產生電路的電路圖；

圖6是根據本發明第二實例的ODT系統的電路圖；

圖7是記憶體系統的一例的方塊圖，該系統採用一同步記憶體裝置其包括根據本發明的ODT電路；

圖8是記憶體系統的另一例的方塊圖，該系統採用一同步記憶體裝置其包括根據本發明的ODT電路；及

圖9是記憶體系統的方塊圖，其採用複數個同步記憶體裝置共享的多點網路，各同步記憶體裝置包括根據本發明的ODT電路。

#### 【圖式代表符號說明】

31	輸入緩衝器
41	NOR閘
42， 51	第一反相器
43， 54	第二反相器
44， 52	第一NAND閘
45， 53	第二NAND閘
46	第三反相器
71，81，91	記憶體控制器
73	電壓調節器
75，92，93，94，100，200，600	記憶體裝置
85，300	同步記憶體裝置
751，851	ODT電路

## 伍、中文發明摘要：

本發明揭示一種晶片終端(ODT)電路及ODT方法，其能使晶片內建式直流電流之消耗減至極小，及一記憶體系統其採用具有此電路之記憶體裝置，其中ODT電路包括：一終端電壓埠，一資料輸入/輸出(I/O)埠，一第一終端電阻，一開關，及一終端致能信號產生電路；終端電壓埠從裝設在記憶體裝置外之電壓調節器或記憶體控制器接收終端電壓；第一終端電阻之一端接到資料I/O埠；開關選擇性連接終端電壓埠與第一終端電阻之另一端以回應一終端致能信號；終端致能信號產生電路產生終端致能信號以回應一信號，其指示輸入資料之有效時期或本周期不是記憶體裝置之寫入操作期間之讀取周期，及也產生終端致能信號以回應從一模式暫存器組(MRS)之信號輸出；及ODT電路包括一第二終端電阻，其一端接到資料I/O埠而其另一端接到終端電壓埠。

## 陸、英文發明摘要：

Provided are an on-die termination ("ODT") circuit and ODT method which are capable of minimizing consumption of an on-chip DC current, and a memory system which adopts a memory device having the same, where the ODT circuit includes a termination voltage port, a data input/output ("I/O") port, a first termination resistor, a switch, and a termination enable signal generating circuit; the termination voltage port receives termination voltage from a voltage regulator or a memory controller which is installed outside the memory device; one end of the first termination resistor is connected to the data I/O port; the switch selectively connects the termination voltage port to the other end of the first termination resistor in response to a termination enable signal; the termination enable signal generating circuit generates the termination enable signal in response to a signal which indicates a valid section of input data or that the present period is not a read period during write operations of the memory device, and may also generate the termination enable signal in response to a signal output from a mode register set ("MRS"); and the ODT circuit may include a second termination resistor, one end of which is connected to the data I/O port and the other end of which is connected to the termination voltage port.

柒、指定代表圖：

(一)本案指定代表圖為：第（ 3 ）圖。

(二)本代表圖之元件代表符號簡單說明：

31 輸入緩衝器

300 同步記憶體裝置

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

## 拾、申請專利範圍：

1. 一種用於同步記憶體裝置中之晶片終端(ODT)電路，該ODT電路包括：
  - 一終端電壓埠，用以接收一終端電壓；
  - 一資料輸入/輸出(I/O)埠；
  - 一第一終端電阻，其一端連接至資料I/O埠；及
  - 一開關，選擇性連接第一終端電阻之另一端與終端電壓埠以回應一終端致能信號。
2. 如申請專利範圍第1項之ODT電路，更包括一終端致能信號產生電路，用以產生終端致能信號以回應一信號，其指示輸入資料之有效時期，或指示本周期不是同步記憶體裝置之寫入操作期間之讀取周期，及用以產生終端致能信號以回應來自一模式暫存器組(MRS)之信號輸出。
3. 如申請專利範圍第2項之ODT電路，其中當來自MRS之信號輸出無效及當該信號，其指示輸入資料之有效時期或指示本周期不是一讀取周期，是致能時，終端致能信號即致能。
4. 如申請專利範圍第2項之ODT電路，其中當來自MRS之信號輸出致能時，不論該信號指示輸入資料之有效時期或指示本周期不是一讀取周期，終端致能信號即致能。
5. 如申請專利範圍第2項之ODT電路，更包括一第二終端電阻，其一端連接至資料I/O埠而其另一端連接至終端電壓埠。

6. 如申請專利範圍第5項之ODT電路，其中第二終端電阻之電阻值遠大於第一電阻之電阻值。
7. 如申請專利範圍第1項之ODT電路，其中藉由包括在一系統中之電壓調節器而產生終端電壓，而同步記憶體裝置連接至該系統。
8. 如申請專利範圍第1項之ODT電路，其中藉由包括在一系統中之記憶體控制器而產生終端電壓，而同步記憶體裝置連接至該系統。
9. 如申請專利範圍第1項之ODT電路，其中有至少一終端電壓埠。
10. 一種用於同步記憶體裝置之ODT方法，該方法包括：  
    安裝一終端電壓埠在一同步記憶體裝置中，終端電壓埠接收一終端電壓；  
    安裝一第一終端電阻在同步記憶體裝置中，第一終端電阻具有一端連接至同步記憶體裝置中之資料I/O埠；及選擇性連接第一終端電阻之另一端與終端電壓埠。
11. 如申請專利範圍第10項之ODT方法，其中在同步記憶體裝置寫入操作期間於輸入資料之有效時期中，執行選擇性連接第一終端電阻之另一端。
12. 如申請專利範圍第10項之ODT方法，其中在同步記憶體裝置讀取操作以外周期中，執行選擇性連接第一終端電阻之另一端。
13. 如申請專利範圍第10項之ODT方法，其中當同步記憶體裝置中包括之MRS設定在同步記憶體裝置以外時，執行

選擇性連接第一終端電阻之另一端。

14. 如申請專利範圍第10項之ODT方法，其中更包括安裝一第二終端電阻在同步記憶體裝置中，第二終端電阻具有一端連接至資料I/O埠及另一端連接至終端電壓埠。
15. 如申請專利範圍第14項之ODT方法，其中第二終端電阻之電阻值遠大於第一電阻之電阻值。
16. 如申請專利範圍第10項之ODT方法，更包括使用一電壓調節器而產生終端電壓，該電壓調節器包括在連接至同步記憶體裝置之系統中，及供給終端電壓至終端電壓埠。
17. 如申請專利範圍第10項之ODT方法，更包括使用一記憶體控制器而產生終端電壓，該記憶體控制器包括在連接至同步記憶體裝置之系統中，及供給終端電壓至終端電壓埠。
18. 一種記憶體系統，包括：  
一記憶體控制器；  
一電壓調節器，用以產生一終端電壓；及  
一同步記憶體裝置，其連接至記憶體控制器及電壓調節器，且包括一ODT電路，  
其中ODT電路包括：  
一終端電壓埠，用以從電壓調節器接收終端電壓；  
一資料I/O埠，用以從記憶體控制器接收輸入資料，或輸出輸出資料至記憶體控制器；  
一第一終端電阻，其一端連接至資料I/O埠；及

一開關，選擇性連接第一終端電阻之另一端與終端電壓埠以回應一終端致能信號。

19. 如申請專利範圍第18項之記憶體系統，其中ODT電路更包括一終端致能信號產生電路，用以產生終端致能信號以回應一信號，其指示輸入資料之有效時期或指示本周期不是同步記憶體裝置寫入操作期間之讀取周期，及用以產生終端致能信號以回應來自一MRS之信號輸出。
20. 如申請專利範圍第18項之記憶體系統，其中ODT電路更包括一第二終端電阻，其一端連接至資料I/O埠而其另一端連接至終端電壓埠。
21. 一種記憶體系統，包括：
  - 一記憶體控制器，用以產生一終端電壓；及
  - 一同步記憶體裝置，其連接至記憶體控制器且包括一ODT電路，  
其中ODT電路包括：
    - 一終端電壓埠，用以從記憶體控制器接收終端電壓；
    - 一資料I/O埠，用以從記憶體控制器接收輸入資料或輸出輸出資料至記憶體控制器；
    - 一第一終端電阻，其一端連接至資料I/O埠；及
    - 一開關，選擇性連接第一終端電阻之另一端與終端電壓埠以回應一終端致能信號。
22. 如申請專利範圍第21項之記憶體系統，其中ODT電路更包括一終端致能信號產生電路，用以產生終端致能信號以回應一信號，其指示輸入資料之有效時期或指示本周

期不是同步記憶體裝置寫入操作期間之讀取周期，及用以產生終端致能信號以回應來自一MRS之信號輸出。

23. 如申請專利範圍第21項之記憶體系統，其中ODT電路更包括一第二終端電阻，其一端連接至資料I/O埠而其另一端連接至終端電壓埠。

24. 一種記憶體系統，包括：

一記憶體控制器；及  
複數個同步記憶體裝置，其經由一通道而連接至記憶體控制器且包括一ODT電路，  
其中ODT電路僅在複數個記憶體裝置之至少一者中致能，該記憶體裝置離開記憶體控制器最遠且在其它記憶體裝置中無效。

25. 如申請專利範圍第24項之記憶體系統，其中ODT電路包括：

一終端電壓埠，用以接收一終端電壓；  
一資料I/O埠；  
一第一終端電阻，其一端連接至資料I/O埠；及  
一開關，連接終端電壓埠與第一終端電阻之另一端以回應一啟動之終端致能信號，其中當設定安裝在記憶體裝置中之MRS且致能ODT電路時，即啟動終端致能信號。

拾壹、圖式：

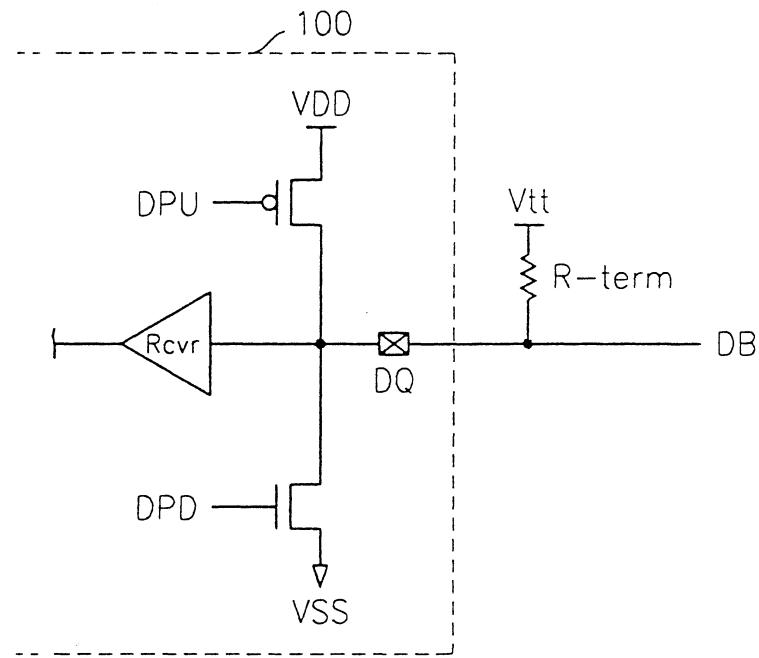


圖1(先前技藝)

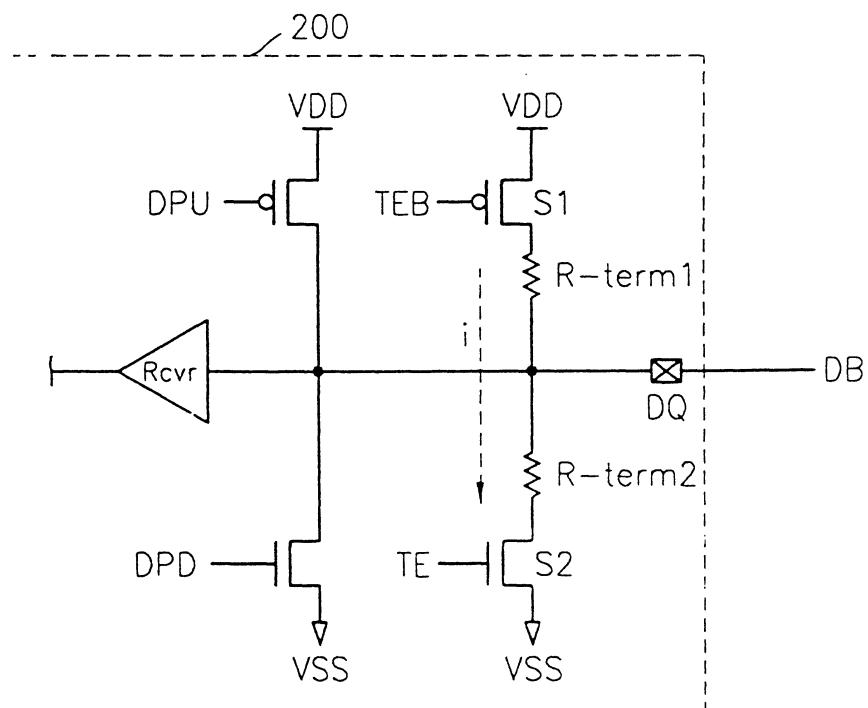


圖2(先前技藝)

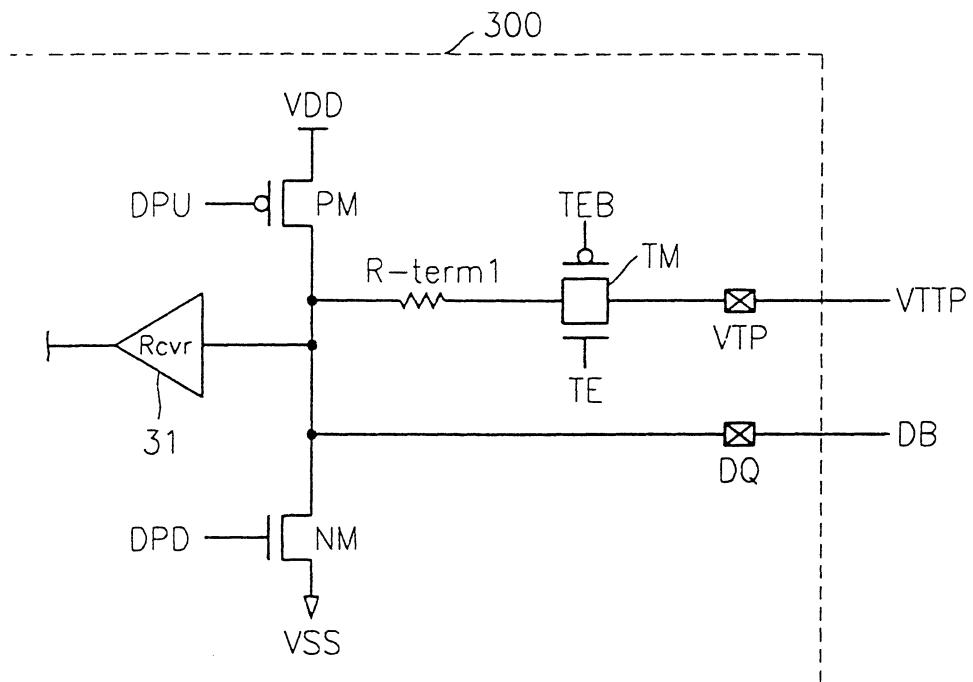


圖 3

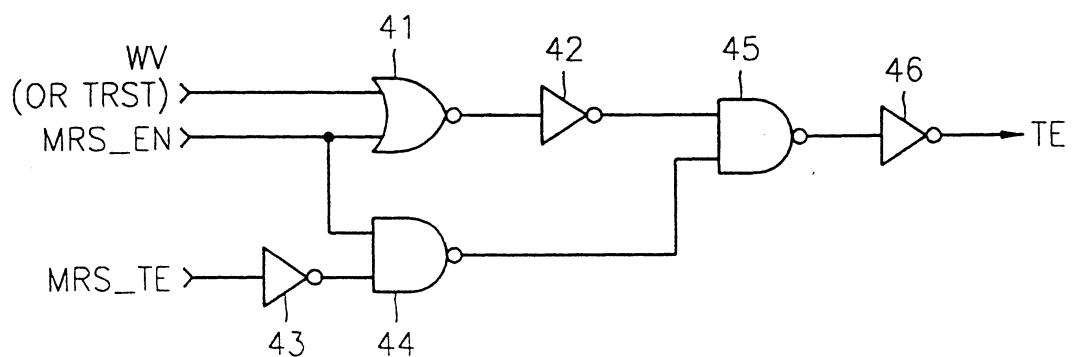


圖 4

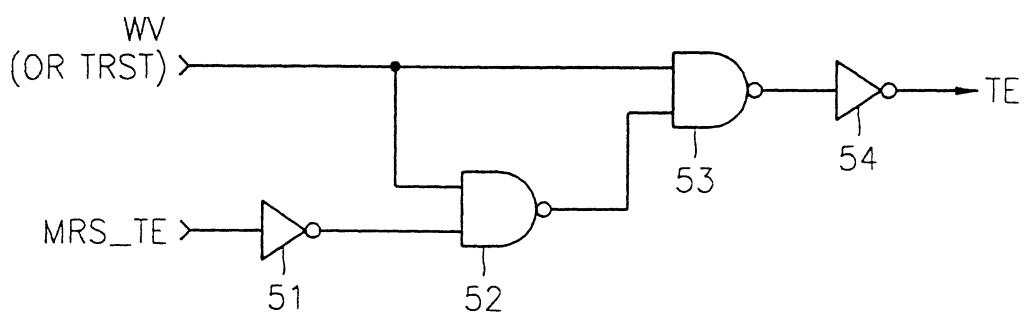


圖 5

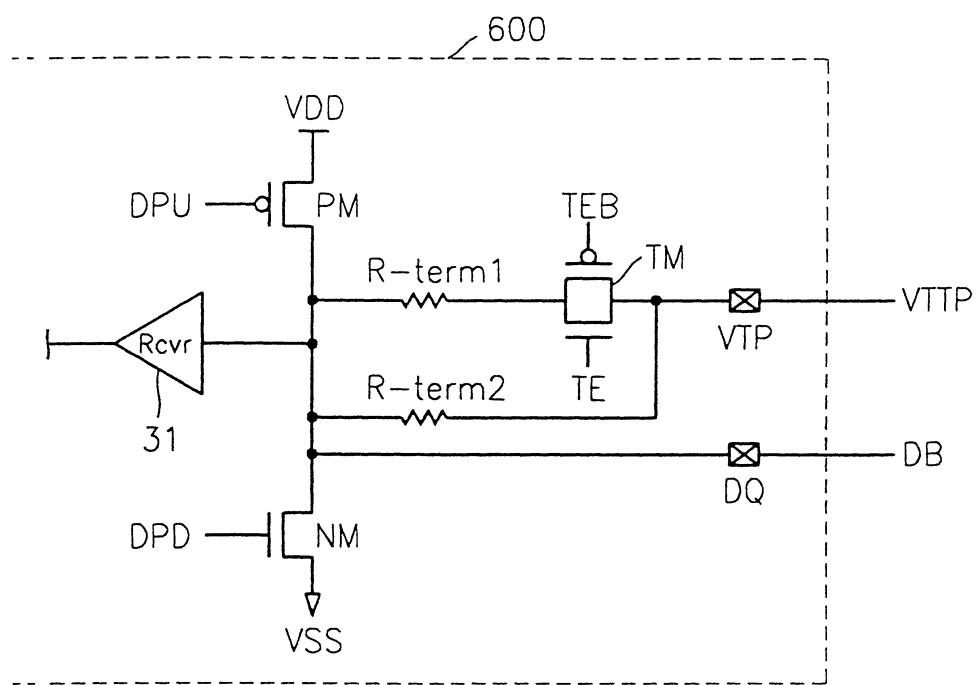


圖 6

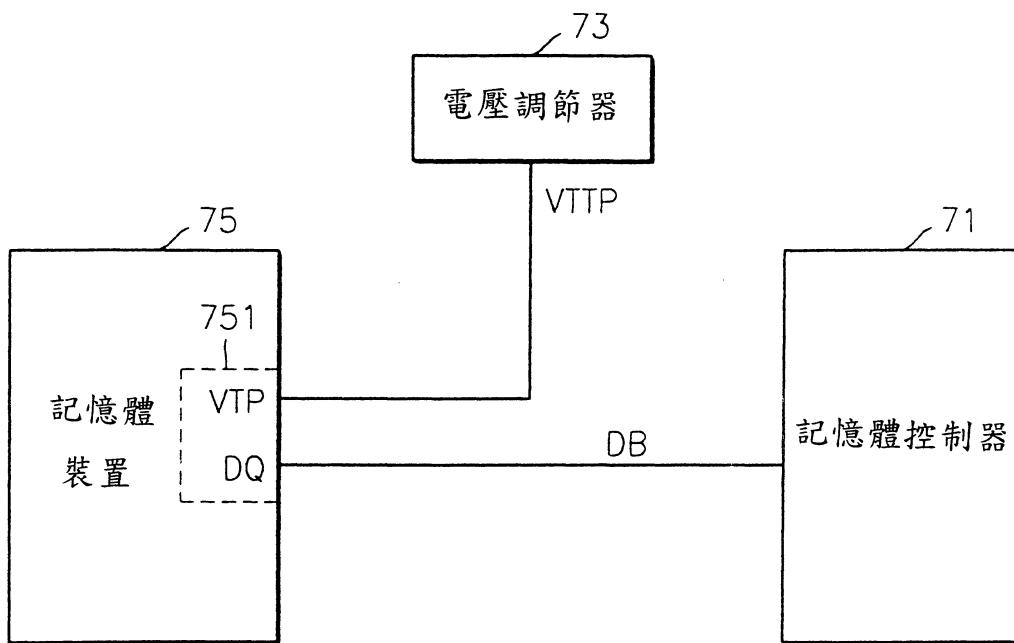


圖 7

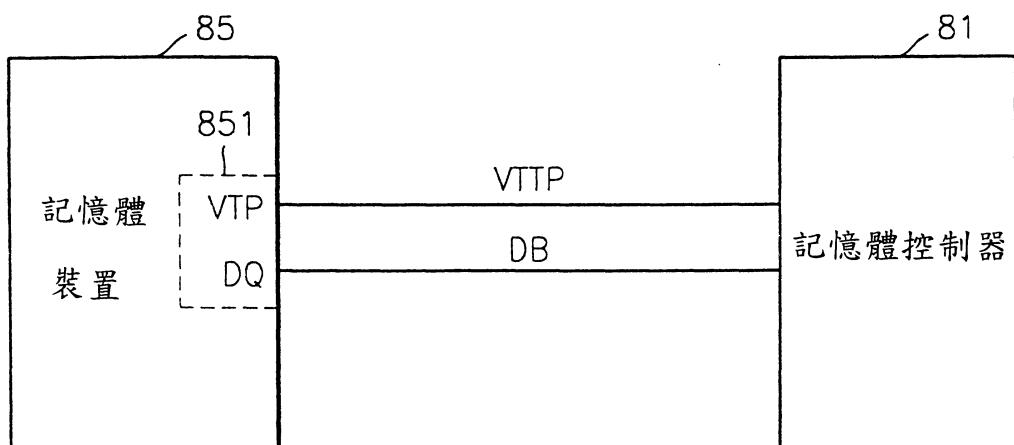


圖 8

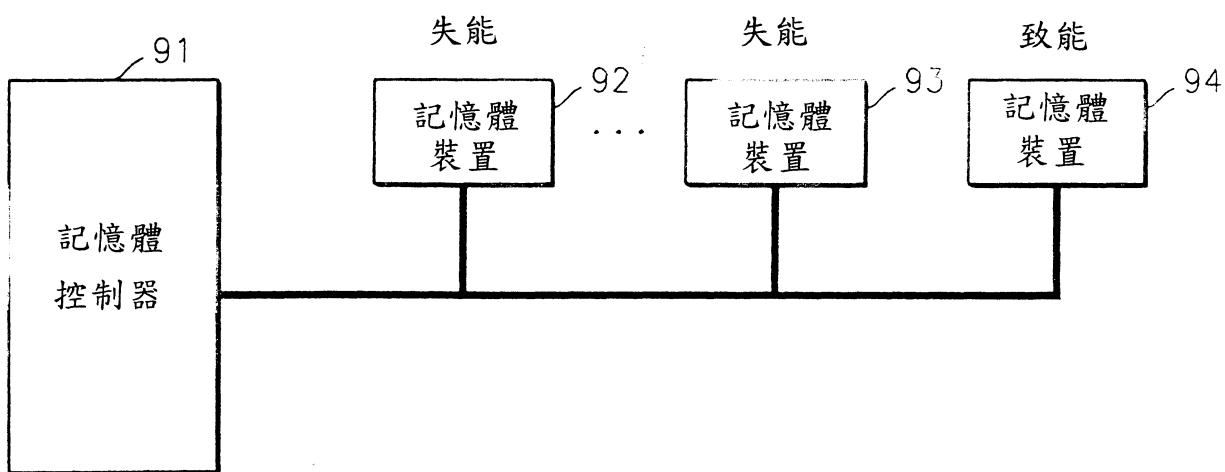


圖 9