

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2016年10月6日(06.10.2016)

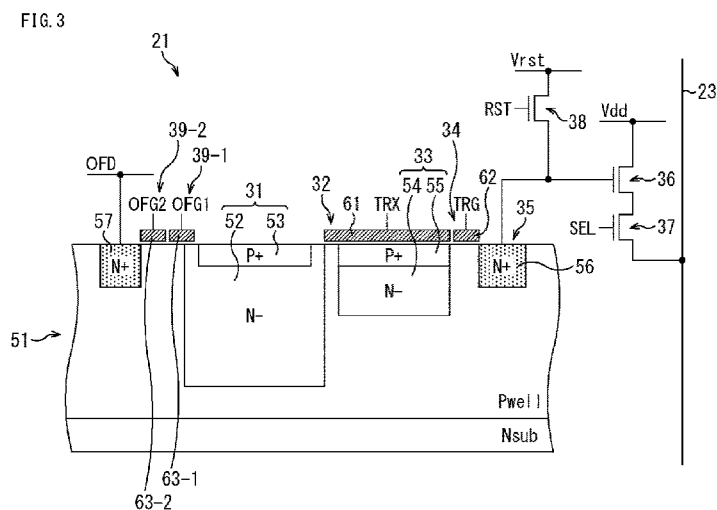


(10) 国際公開番号  
WO 2016/158483 A1

- (51) 国際特許分類:  
H04N 5/374 (2011.01) H04N 5/343 (2011.01)  
H01L 27/146 (2006.01) H04N 5/363 (2011.01)
  - (21) 国際出願番号: PCT/JP2016/058648
  - (22) 国際出願日: 2016年3月18日(18.03.2016)
  - (25) 国際出願の言語: 日本語
  - (26) 国際公開の言語: 日本語
  - (30) 優先権データ:  
特願 2015-076686 2015年4月3日(03.04.2015) JP
  - (71) 出願人: ソニー株式会社(SONY CORPORATION)  
[JP/JP]; 〒1080075 東京都港区港南1丁目7番1号 Tokyo (JP).
  - (72) 発明者: 熊谷 至通(KUMAGAI Yoshimichi); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP).
  - (74) 代理人: 西川 孝, 外(NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿7丁目5番25号 西新宿木村屋ビルディング9階 Tokyo (JP).
  - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
  - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:  
— 国際調査報告 (条約第21条(3))

(54) Title: SOLID-STATE IMAGING ELEMENT, DRIVING METHOD, AND ELECTRONIC DEVICE

(54) 発明の名称: 固体撮像素子、駆動方法、および電子機器



(57) Abstract: The present disclosure pertains to a solid-state imaging element, a driving method, and an electronic device, with which it is possible to capture higher-quality images. In the solid-state imaging element, two or more discharge driving units are arranged in series between a photoelectric conversion unit and a discharge unit. When a still image is being captured and a reset operation for the photoelectric conversion unit is performed when pixel exposure begins, driving is performed such that the potential of all of the serially arranged discharge driving units is reduced and the charge remaining in the photoelectric conversion unit is discharged to the discharge unit, after which the potential of the discharge driving unit on the photoelectric conversion unit side is returned to the original potential first, and then the potentials of the other discharge driving units are returned to their original potentials. The present technology can be applied to a CMOS image sensor that performs imaging by a global shutter method, for example.

(57) 要約:

[続葉有]



WO 2016/158483 A1

---

本開示は、より高画質な画像を撮像することができるようにする固体撮像素子、駆動方法、および電子機器に関する。固体撮像素子は、少なくとも2つ以上の排出駆動部が、光電変換部および排出部の間に直列的に配置されている。そして、静止画像の撮像時において、画素の露光を開始するときにおける光電変換部のリセット動作を行う際に、直列的に配置される全ての排出駆動部のポテンシャルを下げて光電変換部に残留している電荷を排出部に排出した後、光電変換部側の排出駆動部のポテンシャルを先に元に戻し、それから他の排出駆動部のポテンシャルを元に戻す駆動を行う。本技術は、例えば、グローバルシャッタ方式により撮像を行うCMOSイメージセンサに適用できる。

## 明 細 書

発明の名称： 固体撮像素子、駆動方法、および電子機器

### 技術分野

[0001] 本開示は、固体撮像素子、駆動方法、および電子機器に関し、特に、より高画質な画像を撮像することができるようにした固体撮像素子、駆動方法、および電子機器に関する。

### 背景技術

[0002] 従来、デジタルスチルカメラやデジタルビデオカメラなどの撮像機能を備えた電子機器においては、例えば、CCD (Charge Coupled Device) やCMOS (Complementary Metal Oxide Semiconductor) イメージセンサなどの固体撮像素子が使用されている。固体撮像素子は、光電変換を行うPD (photodiode : フォトダイオード) と複数のトランジスタとが組み合わされた画素を有しており、被写体の像が結像する像面に配置された複数の画素から出力される画素信号に基づいて画像が構築される。

[0003] 一般的に、CMOSイメージセンサでは、画素が配置される行ごとに順次、PDで発生した電荷を読み出すローリングシャッタ方式による撮像が行われている。

[0004] これに対し、近年、PDで発生した電荷を画素内で一時的に保持するメモリ部を有する構造とし、PDからメモリ部へ一斉に電荷を転送することで、電荷蓄積の同時性を実現するグローバルシャッタ方式により撮像を行うCMOSイメージセンサが開発されている。

[0005] ところで、グローバルシャッタ方式により撮像を行う構造のCMOSイメージセンサにおいて、途切れのない動画像を撮影するためには、PDにおける電荷の蓄積とメモリ部における電荷の保持とを並行的に行う必要がある。このため、動画像を撮像する際には、PDからメモリ部へのブルーミングを抑制するために、PDの蓄積電荷量よりも多く発生した電荷をオーバーフローさせるオーバーフローゲートのポテンシャルを低く形成することが好ましい。

[0006] 一方、静止画像を撮像する際には、PDにおける電荷の蓄積とメモリ部における電荷の保持とを並行的に行う必要がないため、PDから電荷をオーバーフローさせるパスを作り込む必要がない。

[0007] このため、オーバーフローゲートのポテンシャルが低く形成された動画画像の撮像に適した構成は、静止画像の撮像に適した構成とはなっていなかった。つまり、撮像システム全体を鑑みると、オーバーフローゲートのポテンシャルを低くする必要があるため、結果としてPDの蓄積電荷量が低下することになっていた。

[0008] そこで、本願出願人は、静止画像と動画画像とで、オーバーフローゲートのポテンシャルを切り替えることができる固体撮像素子を提案している（例えば、特許文献1参照）。

## 先行技術文献

## 特許文献

[0009] 特許文献1：特開2014-060519号公報

## 発明の概要

## 発明が解決しようとする課題

[0010] ところで、特許文献1で開示されている固体撮像素子では、オーバーフロードレインの電位を変更することにより、オーバーフローゲートのポテンシャルを切り替える構成となっていたため、オーバーフロードレインを低電圧化したときに、オーバーフロードレインからPDに電荷が逆流することが懸念される。このように、オーバーフロードレインからPDに逆流した電荷は、画質に悪影響を与える恐れがあり、画質が低下することになる。

[0011] 本開示は、このような状況に鑑みてなされたものであり、より高画質な画像を撮像することができるようにするものである。

## 課題を解決するための手段

[0012] 本開示の一側面の固体撮像素子は、入射した光を光電変換により電荷に変換して蓄積する光電変換部と、前記光電変換部に残留している電荷を排出す

る排出部と、前記光電変換部から前記排出部へ電荷を排出する際に駆動する排出駆動部とを有する複数の画素を備え、少なくとも2つ以上の前記排出駆動部が、前記光電変換部および前記排出部の間に直列的に配置される。

[0013] 本開示の一側面の駆動方法は、固体撮像素子の駆動方法であって、前記固体撮像素子は、入射した光を光電変換により電荷に変換して蓄積する光電変換部と、前記光電変換部に残留している電荷を排出する排出部と、前記光電変換部から前記排出部へ電荷を排出する際に駆動する排出駆動部とを有する複数の画素を備え、少なくとも2つ以上の前記排出駆動部が、前記光電変換部および前記排出部の間に直列的に配置されており、静止画像の撮像時において、前記画素の露光を開始するときにおける前記光電変換部のリセット動作を行う際に、直列的に配置される全ての前記排出駆動部のポテンシャルを下げて前記光電変換部に残留している電荷を前記排出部に排出した後、前記光電変換部側の前記排出駆動部のポテンシャルを先に元に戻し、それから他の前記排出駆動部のポテンシャルを元に戻す駆動を行う。

[0014] 本開示の一側面の電子機器は、入射した光を光電変換により電荷に変換して蓄積する光電変換部と、前記光電変換部に残留している電荷を排出する排出部と、前記光電変換部から前記排出部へ電荷を排出する際に駆動する排出駆動部とを有する複数の画素を備え、少なくとも2つ以上の前記排出駆動部が、前記光電変換部および前記排出部の間に直列的に配置される固体撮像素子を備える。

[0015] 本開示の一側面においては、入射した光を光電変換により電荷に変換して蓄積する光電変換部と、光電変換部に残留している電荷を排出する排出部と、光電変換部から排出部へ電荷を排出する際に駆動する排出駆動部とを有する複数の画素を備え、少なくとも2つ以上の排出駆動部が、光電変換部および排出部の間に直列的に配置される。そして、静止画像の撮像時において、前記画素の露光を開始するときにおける前記光電変換部のリセット動作を行う際に、直列的に配置される全ての前記排出駆動部のポテンシャルを下げて前記光電変換部に残留している電荷を前記排出部に排出した後、前記光電変

換部側の前記排出駆動部のポテンシャルを先に元に戻し、それから他の前記排出駆動部のポテンシャルを元に戻す駆動が行われる。

### 発明の効果

[0016] 本開示の一側面よれば、より高画質な画像を撮像することができる。

### 図面の簡単な説明

[0017] [図1]本技術を適用した撮像素子の一実施の形態の構成例を示すブロック図である。

[図2]画素の構成例を示す回路図である。

[図3]画素の断面的な構成例について説明する図である。

[図4]画素の第1のレイアウト例を示す図である。

[図5]オーバーフローゲートのポテンシャルの切り替えについて説明する図である。

[図6]静止画像の撮像時における駆動方法を説明する図である。

[図7]静止画像の撮像時における駆動方法を説明する図である。

[図8]静止画像の撮像時における駆動方法の他の例を説明する図である。

[図9]静止画像の撮像時における駆動方法のさらに他の例を説明する図である。

[図10]動画の撮像時における駆動方法を説明する図である。

[図11]オーバーフローゲートのポテンシャルの関係性を説明する図である。

[図12]画素の製造方法を説明する図である。

[図13]画素21の第2のレイアウト例を示す図である。

[図14]画素21の第3のレイアウト例を示す図である。

[図15]画素21の第4のレイアウト例を示す図である。

[図16]画素21の第5のレイアウト例を示す図である。

[図17]画素21の第6のレイアウト例を示す図である。

[図18]画素21の第7のレイアウト例を示す図である。

[図19]画素21の第8のレイアウト例を示す図である。

[図20]画素21の第9のレイアウト例を示す図である。

[図21]画素21の第10のレイアウト例を示す図である。

[図22]本技術を適用した撮像装置の一実施の形態の構成例を示すブロック図である。

[図23]イメージセンサを使用する使用例を示す図である。

### 発明を実施するための形態

[0018] 以下、本技術を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。

[0019] 図1は、本技術を適用した撮像素子の一実施の形態の構成例を示すブロック図である。

[0020] 図1に示すように、撮像素子11は、画素領域12、垂直駆動回路13、カラム信号処理回路14、水平駆動回路15、出力回路16、および制御回路17を備えて構成される。

[0021] 画素領域12は、図示しない光学系により集光される光を受光する受光面である。画素領域12には、複数の画素21が行列状に配置されており、それぞれの画素21は、水平信号線22を介して行ごとに垂直駆動回路13に接続されるとともに、垂直信号線23を介して列ごとにカラム信号処理回路14に接続される。複数の画素21は、それぞれ受光する光の光量に応じたレベルの画素信号をそれぞれ出力し、それらの画素信号から、画素領域12に結像する被写体の画像が構築される。

[0022] 垂直駆動回路13は、画素領域12に配置される複数の画素21の行ごとに順次、それぞれの画素21を駆動（転送や、選択、リセットなど）するための駆動信号を、水平信号線22を介して画素21に供給する。カラム信号処理回路14は、複数の画素21から垂直信号線23を介して出力される画素信号に対してCDS(Correlated Double Sampling：相関2重サンプリング)処理を施すことにより、画素信号のAD変換を行うとともにリセットノイズを除去する。

[0023] 水平駆動回路15は、画素領域12に配置される複数の画素21の列ごとに順次、カラム信号処理回路14から画素信号をデータ出力信号線24に出

力させるための駆動信号を、カラム信号処理回路14に供給する。出力回路16は、水平駆動回路15の駆動信号に従ったタイミングでカラム信号処理回路14からデータ出力信号線24を介して供給される画素信号を増幅し、後段の信号処理回路に出力する。制御回路17は、例えば、撮像素子11の各ブロックの駆動周期に従ったクロック信号を生成して供給することで、それらの各ブロックの駆動を制御する。

[0024] このように構成される撮像素子11では、全ての画素21における電荷の蓄積の同時性を実現するグローバルシャッタ方式により駆動される。これにより、撮像素子11は、例えば、ローリングシャッタ方式による撮像において発生するような歪が発生することのない画像を撮像することができる。

[0025] 次に、図2は、画素21の構成例を示す回路図である。

[0026] 図2に示すように、画素21は、PD31、第1の転送トランジスタ32、メモリ部33、第2の転送トランジスタ34、FD部35、増幅トランジスタ36、選択トランジスタ37、リセットトランジスタ38、並びに、2つの排出トランジスタ39-1および39-2を備えて構成される。

[0027] PD31は、入射した光を光電変換により電荷に変換して蓄積する光電変換部であり、アノード端子が接地されているとともに、カソード端子が第1の転送トランジスタ32および排出トランジスタ39-1に接続されている。

[0028] 第1の転送トランジスタ32は、垂直駆動回路13から供給される転送信号TRXに従って駆動し、第1の転送トランジスタ32がオンになると、PD31に蓄積されている電荷がメモリ部33に転送される。

[0029] メモリ部33は、例えば、後述する図3に示すように、PウェルにN型の不純物が注入されて構成される埋め込み型の低ノイズな電荷保持部であり、第1の転送トランジスタ32を介してPD31から転送される電荷を一時的に保持する。

[0030] 第2の転送トランジスタ34は、垂直駆動回路13から供給される転送信号TRGに従って駆動し、第2の転送トランジスタ34がオンになると、メモリ

部 3 3 に蓄積されている電荷が F D 部 3 5 に転送される。

- [0031] F D 部 3 5 は、増幅トランジスタ 3 6 のゲート電極に接続された所定の蓄積容量を有する浮遊拡散領域であり、メモリ部 3 3 から転送される電荷を蓄積する。
- [0032] 増幅トランジスタ 3 6 は、F D 部 3 5 に蓄積されている電荷に応じたレベル（即ち、F D 部 3 5 の電位）の画素信号を、選択トランジスタ 3 7 を介して垂直信号線 2 3 に出力する。つまり、F D 部 3 5 が増幅トランジスタ 3 6 のゲート電極に接続される構成により、F D 部 3 5 および増幅トランジスタ 3 6 は、P D 3 1 において発生した電荷を、その電荷に応じたレベルの画素信号に変換する変換部として機能する。
- [0033] 選択トランジスタ 3 7 は、垂直駆動回路 1 3 から供給される選択信号 SEL に従って駆動し、選択トランジスタ 3 7 がオンになると、増幅トランジスタ 3 6 から出力される画素信号が垂直信号線 2 3 に出力可能な状態となる。
- [0034] リセットトランジスタ 3 8 は、垂直駆動回路 1 3 から供給されるリセット信号 RST に従って駆動し、リセットトランジスタ 3 8 がオンになると、F D 部 3 5 に蓄積されている電荷がリセット電源  $V_{rst}$  に排出されて、F D 部 3 5 がリセットされる。
- [0035] 排出トランジスタ 3 9 - 1 および 3 9 - 2 は、P D 3 1 とオーバードレイン OFD（排出部）との間に直列的に配置される。また、排出トランジスタ 3 9 - 1 は、垂直駆動回路 1 3 から供給される排出信号 OFG1 に従って駆動し、排出トランジスタ 3 9 - 2 は、垂直駆動回路 1 3 から供給される排出信号 OFG2 に従って駆動する。従って、排出トランジスタ 3 9 - 1 および 3 9 - 2 が共にオンになると、P D 3 1 に蓄積されている電荷がオーバードレイン OFD に排出される。また、排出トランジスタ 3 9 - 1 および 3 9 - 2 のポテンシャルは、P D 3 1 で発生する蓄積容量以上の電荷がオーバードレイン OFD に溢れ出るように、第 1 の転送トランジスタ 3 2 のポテンシャルよりも低く設定される。
- [0036] このように構成される画素 2 1 では、P D 3 1 に残留している電荷を、排

出トランジスタ39-1および39-2を介してオーバーフロードレインOFFDに排出するリセット動作を行った後に、PD31の露光を開始するような駆動が行われる。

- [0037] 次に、図3を参照して、画素21の断面的な構成例について説明する。
- [0038] 図3に示すように、画素21では、半導体基板51のPウェルに形成されるN型領域52およびP型領域53のPN接合によりPD31が形成される。また、PD31から第1の転送トランジスタ32を介して隣接する領域に形成されるN型領域54およびP型領域55によりメモリ部33が形成される。なお、メモリ部33は、P型領域55を形成せずに、N型領域54だけで構成してもよい。
- [0039] また、メモリ部33から第2の転送トランジスタ34を介して隣接する領域に形成されるN型の不純物濃度の高い高濃度N型領域56は、配線を介して増幅トランジスタ36のゲート電極に接続され、FD部35として機能する。また、PD31から排出トランジスタ39-1および39-2を介して隣接する領域に形成されるN型の不純物濃度の高い高濃度N型領域57には、配線を介してオーバーフロードレインOFFDが接続される。
- [0040] また、半導体基板51の受光面側には、図示しないゲート絶縁膜を介して、第1の転送トランジスタ32のゲート電極61、第2の転送トランジスタ34のゲート電極62、排出トランジスタ39-1のゲート電極63-1、および排出トランジスタ39-2のゲート電極63-2が積層される。
- [0041] 第1の転送トランジスタ32のゲート電極61は、PD31およびメモリ部33の間の領域と、メモリ部33の全体とを覆うように形成される。第2の転送トランジスタ34のゲート電極62は、メモリ部33および高濃度N型領域56の間の領域を覆うように形成される。
- [0042] 排出トランジスタ39-1のゲート電極63-1、および、排出トランジスタ39-2のゲート電極63-2は、PD31および高濃度N型領域57の間の領域を覆うように形成される。図示するように、排出トランジスタ39-1のゲート電極63-1はPD31側に配置され、排出トランジスタ3

9-2のゲート電極63-2は高濃度N型領域57側に配置される。このように、PD31から高濃度N型領域57に向かって直列的に、排出トランジスタ39-1のゲート電極63-1および排出トランジスタ39-2のゲート電極63-2が配置される。

[0043] このように構成される画素21は、PD31で発生した電荷を、メモリ部33に転送し、画素21の画素信号の読み出しが行われるタイミングとなるまで、メモリ部33に一時的に保持させることができる。これにより、複数の画素21において、露光を同時に開始し、PD31からメモリ部33への電荷の転送を一斉に行うことで、露光を同時に終了させることができる。

[0044] 図4は、画素21の平面的な構成を示す第1のレイアウト例である。

[0045] 図4に示すように、画素21では、PD31およびメモリ部33が配置されている方向を上下方向とすると、PD31が下側に配置され、メモリ部33が上側に配置されている。なお、メモリ部33は、第1の転送トランジスタ32のゲート電極61に覆われている。

[0046] また、画素21では、メモリ部33に対して、図4における左側に、第2の転送トランジスタ34を介して高濃度N型領域56が配置されており、高濃度N型領域56には、増幅トランジスタ36のゲート電極との接続を行うための配線71が接続されている。

[0047] そして、画素21では、PD31に対して、図4における右側に、排出トランジスタ39-1および39-2を介して高濃度N型領域57が配置されている。また、画素21では、PD31に対して高濃度N型領域57が配置される側の反対側（図4における左側）に、図3に示した増幅トランジスタ36、選択トランジスタ37、およびリセットトランジスタ38を形成するための画素トランジスタ領域72が配置される。

[0048] このように、画素21は、PD31と高濃度N型領域57との間に、排出トランジスタ39-1および39-2が直列的に配置される構造となっている。また、画素21は、排出トランジスタ39-1および39-2を、メモリ部33に隣接するように配置する必要はない。また、画素21は、メモリ

部33に対して第2の転送トランジスタ34が配置される側と反対側に、PD31に対して排出トランジスタ39-1および39-2が配置されるレイアウトとなっている。

[0049] このように画素21は構成されており、静止画像の撮像時と動画像の撮像時とで、排出トランジスタ39-2に供給される排出信号0FG2により、PD31からオーバーフロードレインOFDに電荷を排出するオーバーフローゲートのポテンシャルが切り替えられる。

[0050] ここで、図5を参照して、画素21で静止画像および動画像を撮像する際におけるオーバーフローゲートのポテンシャルの切り替えについて説明する。

[0051] 図5の左側には、静止画像の撮像時における画素21のポテンシャルが示されており、図5の右側には、動画像の撮像時における画素21のポテンシャルが示されている。

[0052] 画素21は、動画像の撮像時には、排出トランジスタ39-2に供給される排出信号0FG2が常にHiレベルに設定される。このため、PD31に残留している電荷を排出するリセット動作は、動画像の撮像時には、排出トランジスタ39-1のみを駆動することにより行われ、静止画像の撮像時には、排出トランジスタ39-1および39-2の両方を駆動することにより行われる。

[0053] そして、画素21は、動画像の撮像時において排出トランジスタ39-2に供給される排出信号0FG2をHiレベルに設定することで、静止画像の撮像時と比較して、オーバーフローゲートのポテンシャルを低くすることができる。つまり、排出トランジスタ39-2に供給される排出信号0FG2をHiレベルにして、排出トランジスタ39-2の下方のポテンシャルを低くし、その変調を受けて、排出トランジスタ39-1の下方のポテンシャルが低下することになる。

[0054] このように、画素21は、動画像の撮像するときにおいて、排出信号0FG2を常にHiレベルにしてオーバーフローゲートのポテンシャルを低く、特に

、第1の転送トランジスタ32のポテンシャルよりも低くするように構成されている。一方、画素21は、静止画像の撮像するときにおいて、PD31の露光時に、排出信号0FG1および0FG2をLowレベルにしてオーバーフローゲートのポテンシャルを高くするように構成されている。

[0055] 例えば、従来の画素では、オーバーフロードレインOFDの電位を変更することにより、PDで発生した電荷をオーバーフローさせるオーバーフローゲートのポテンシャルの調整が行われていた。即ち、従来の画素は、オーバーフロードレインOFDの電位の変調を受けて、オーバーフローゲートのポテンシャルが変更されるような構成となっていた。しかしながら、このような構成では、オーバーフローゲートの界面準位が経年劣化することが懸念される。

[0056] これに対し、画素21は、オーバーフロードレインOFDの電位を変更させることなく、排出トランジスタ39-2に供給される排出信号0FG2を切り替えることにより、オーバーフローゲートのポテンシャルを調整するように構成される。これにより、画素21では、オーバーフローゲートの界面準位の経年劣化を抑制することができ、信頼性が低下することを回避することができる。また、画素21は、転送不良の点欠陥として見えるようなことも回避され、画質の低下を回避することができる。

[0057] さらに、画素21は、露光を開始する際に行われるPD31のリセット動作において、オーバーフロードレインOFDから電荷が汲み上げられてしまうことを防止するような駆動方法で駆動することができる。

[0058] 次に、図6乃至図10を参照して、画素21の駆動方法について説明する。

[0059] 図6および図7には、静止画像の撮像時において、画素21の露光を開始するときに、PD31のリセット動作を行う際のポテンシャルの変化が示されている。

[0060] 露光を開始する前における画素21では、図6の最上段に示すように、ノイズとなる電荷がPD31に残留した状態となっている。即ち、1フレーム

前の露光で発生した電荷をPD31からメモリ部33 (MEM) に転送した後に、PD31で光電変換された電荷が蓄積されている。従って、この電荷により画素信号が影響を受けることを回避するため、露光を開始するとき、PD31に残留している電荷をオーバーフロードレインOFDに排出するリセット動作が行われる。

[0061] また、PD31のリセット動作を開始する時点において、排出トランジスタ39-1に供給される駆動信号0FG1はLowレベルとなっており、排出トランジスタ39-2に供給される駆動信号0FG2はLowレベルとなっている。このように、駆動信号0FG1および駆動信号0FG2の両方がLowレベルであるときに、排出トランジスタ39-1の下方のポテンシャルは、第1の転送トランジスタ32の下方のポテンシャルよりも若干低くなるように設定されている。また、排出トランジスタ39-2の下方のポテンシャルは、第1の転送トランジスタ32の下方のポテンシャルよりも十分に低くなるように設定されている。

[0062] まず、画素21では、図6の上から2段目に示すように、オーバーフロードレインOFD側である排出トランジスタ39-2に供給される駆動信号0FG2のみがLowレベルからHiレベルに切り替えられる。これにより、排出トランジスタ39-2の下方のポテンシャルは、PD31のポテンシャル以下となる。

[0063] 次に、画素21では、図6の上から3段目 (最下段) に示すように、排出トランジスタ39-1に供給される駆動信号0FG1がLowレベルからHiレベルに切り替えられる。これにより、排出トランジスタ39-1のポテンシャルが、PD31のポテンシャルよりも低くなり、PD31に蓄積されていた電荷が、オーバーフロードレインOFDに排出される。つまり、画素21は、駆動信号0FG1および0FG2の両方がHiレベルである状態で、排出トランジスタ39-1のポテンシャルは、PD31のポテンシャルよりも低くなり、排出トランジスタ39-2のポテンシャルは、排出トランジスタ39-1のポテンシャルよりも低くなるように、それぞれのポテンシャルが設定さ

れている。

- [0064] その後、図7の上段に示すように、排出トランジスタ39-1に供給される駆動信号0FG1がHiレベルからLowレベルに切り替えられて、排出トランジスタ39-1のポテンシャルが元に戻る。
- [0065] 続いて、図7の下段に示すように、排出トランジスタ39-2に供給される駆動信号0FG2がHiレベルからLowレベルに切り替えられて、排出トランジスタ39-2のポテンシャルが元に戻る。これにより、PD31のリセット動作が終了して、PD31の露光が開始される。
- [0066] このように、画素21では、静止画像の撮像時において、PD31に蓄積されていた電荷を排出し、その後、排出トランジスタ39-1のポテンシャルを先に元に戻し、それから排出トランジスタ39-2のポテンシャルを元に戻すような駆動が行われる。これにより、画素21では、オーバードレインOFDから電荷が組み上げられることを防止することができる。
- [0067] 例えば、従来の画素では、オーバードレインOFDを低電圧化したときに、オーバードレインOFDからPDに電荷が逆流することがあり、PDに漏れ込んだ電荷によって、画素信号が飽和してしまう（白点となる）ことがあった。これにより、画質が低下することが懸念される結果、期待されているようなPDの蓄積電荷量の増加を見込むことはできなかった。
- [0068] これに対し、画素21では、図6および図7を参照して説明したような駆動方法によって駆動することで、オーバードレインOFDからPD31に電荷が逆流することが防止される結果、画質が低下することを回避することができる。
- [0069] なお、図6に示したようなPD31に残留していた電荷をオーバードレインOFDに排出するまでの動作について、例えば、図8に示すように、駆動信号0FG1および0FG2の両方を同一のタイミングでHiレベルにするような駆動を行ってもよい。また、例えば、図9に示すように、駆動信号0FG1を先にHiレベルにし、それから駆動信号0FG2をHiレベルにするような駆動を行ってもよい。

- [0070] 即ち、PD31に蓄積されていた電荷をオーバーフロードレインOFDに排出するまでの動作について、駆動信号0FG1をHiレベルにするタイミングと、駆動信号0FG2をHiレベルにするタイミングとは、どのような順番であってもよい。
- [0071] 次に、図10には、動画像の撮像時において、画素21の露光を開始するときに、PD31のリセット動作を行う際のポテンシャルの変化が示されている。
- [0072] 図5を参照して上述したように、画素21では、動画像の撮像時には、排出トランジスタ39-2に供給される排出信号0FG2が常にHiレベルに設定される。従って、排出トランジスタ39-1を駆動するだけで、PD31に蓄積されている電荷をオーバーフロードレインOFDに排出することができる。
- [0073] 例えば、静止画像の撮像時と同様に、露光を開始する前における画素21では、図10の最上段に示すように、ノイズとなる電荷がPD31に残留した状態となっている。
- [0074] そして、図10の上から2段目に示すように、排出トランジスタ39-1に供給される駆動信号0FG1がLowレベルからHiレベルに切り替えられる。これにより、排出トランジスタ39-1のポテンシャルが、PD31のポテンシャルよりも低くなり、PD31に蓄積されていた電荷が、オーバーフロードレインOFDに排出される。
- [0075] その後、図10の上から3段目（最下段）に示すように、排出トランジスタ39-1に供給される駆動信号0FG1がHiレベルからLowレベルに切り替えられて、排出トランジスタ39-1のポテンシャルが元に戻る。これにより、PD31のリセット動作が終了して、PD31の露光が開始される。
- [0076] このように、画素21では、動画像の撮像時において、排出トランジスタ39-1の駆動のみで、PD31のリセット動作が行われる。また、画素21では、Hiレベルの排出信号0FG2が供給されている状態で排出トランジスタ39-2の下方のポテンシャルがオーバーフロードレインOFDよりも高

くなるように設定されているので、オーバーフロードレインOFDから電荷が組み上げられることを防止することができる。

[0077] なお、動画像の撮像時には、画素21は、PD31のメモリ部33側のポテンシャルよりも、PD31のオーバーフロードレインOFD側のポテンシャルが低くなるように設定する必要があった。これに対し、静止画像の撮像時には、画素21は、このようなポテンシャルの関係性を備える必要がない。

[0078] 例えば、静止画像の撮像時には、図11のAに示すように、PD31のメモリ部33側のポテンシャルと、PD31のオーバーフロードレインOFD側のポテンシャルとが略同一のレベルであってもよい。もちろん、図11のBに示すように、PD31のメモリ部33側のポテンシャルよりも、PD31のオーバーフロードレインOFD側のポテンシャルが低くてもよい。また、図11のCに示すように、PD31のメモリ部33側のポテンシャルよりも、PD31のオーバーフロードレインOFD側のポテンシャルが高くてもよい。

[0079] このように、画素21は、静止画像の撮像時には、図11に示すように、PD31のオーバーフロードレインOFD側のポテンシャルを、3つの状態のいずれに設定してもよい。

[0080] 次に、図12を参照して、画素21の製造方法について説明する。

[0081] まず、図12の最上段に示すように、Pウェルが形成されたN型の半導体基板51が用いられ、第1の工程において、N型の不純物が注入されることによりN型領域52および54が形成され、P型の不純物が注入されることによりP型領域55が形成される。これにより、図12の上から2段目に示すように、N型領域54およびP型領域55からなるメモリ部33が形成される。

[0082] 次に、第2の工程において、図示しないゲート絶縁膜が成膜された後に、例えば、ポリシリコンを堆積させてエッチングを行うことにより、図12の上から3段目に示すように、ゲート電極61、ゲート電極62、ゲート電極

63-1、およびゲート電極63-2が積層される。

[0083] また、第3の工程において、N型領域52の表面にP型の不純物が注入されることによって、P型領域53が形成される。これにより、図12の上から4段目に示すように、N型領域52およびP型領域53のPN接合によるPD31 (HAD: Hole-Accumulation Diode) が形成される。

[0084] そして、第4の工程において、高濃度のN型の不純物が注入されることにより、図12の上から5段目(最下段)に示すように、拡散層となる高濃度N型領域56および高濃度N型領域57が形成される。

[0085] その後、図3に示したように、高濃度N型領域56および高濃度N型領域57にそれぞれ配線を接続して、画素21を形成することができる。なお、半導体基板51は、NsubおよびPsubのどちらでもよく、メモリ部33は、P型領域55を設けない構成としてもよい。

[0086] 次に、図13乃至図20を参照して、画素21の平面的な構成の変形例について説明する。なお、以下の説明において、図4に示した画素21の第1のレイアウトと共通する構成については同一の符号を付し、その詳細な説明は省略する。

[0087] 図13には、画素21の第2のレイアウト例が示されている。

[0088] 図13に示す画素21Aは、図4の画素21と同様に、PD31が下側に配置され、メモリ部33が上側に配置されており、メモリ部33に対して、図13における左側に、第2の転送トランジスタ34を介して高濃度N型領域56が配置されている。

[0089] そして、画素21Aでは、PD31に対して、図13における左側に、排出トランジスタ39-1および39-2を介して高濃度N型領域57が配置されて、その反対側に、画素トランジスタ領域72が配置される。つまり、画素21Aは、メモリ部33に対して第2の転送トランジスタ34が配置される側と同じ側に、PD31に対して排出トランジスタ39-1および39-2が配置されるレイアウトとなっている。

[0090] このように、画素21Aは、PD31に対する排出トランジスタ39-1

および39-2の配置が、図4の画素21と異なるレイアウトとなっている。また、図4の画素21と同様に、画素21Aにおいても、排出トランジスタ39-1および39-2が、メモリ部33に隣接する位置に配置する必要はない。

[0091] 図14には、画素21の第3のレイアウト例が示されている。

[0092] 図14に示す画素21Bは、図4の画素21と同様に、PD31が下側に配置され、メモリ部33が上側に配置されており、メモリ部33に対して、図13における左側に、第2の転送トランジスタ34を介して高濃度N型領域56が配置されている。

[0093] そして、画素21Bでは、PD31に対して、図14における下側に、排出トランジスタ39-1および39-2を介して高濃度N型領域57が配置されており、PD31に対して左側に、画素トランジスタ領域72が配置される。つまり、画素21Bは、PD31に対してメモリ部33が配置される側の反対側に、排出トランジスタ39-1および39-2が配置されたレイアウトとなっている。

[0094] このように、画素21Bは、PD31に対する排出トランジスタ39-1および39-2の配置が、図4の画素21と異なるレイアウトとなっている。また、図4の画素21と同様に、画素21Bにおいても、排出トランジスタ39-1および39-2が、メモリ部33に隣接する位置に配置する必要はない。

[0095] 図15には、画素21の第4のレイアウト例が示されている。

[0096] 図15に示す画素21Cは、図4の画素21と同様に、PD31が下側に配置され、PD31に対して、図15における右側に、排出トランジスタ39-1および39-2を介して高濃度N型領域57が配置され、図15における左側に、画素トランジスタ領域72が配置される。

[0097] そして、画素21Cでは、2つのメモリ部33-1および33-2を有し、高濃度N型領域56が第2の転送トランジスタ34を介してメモリ部33-1および33-2の上側に配置されている点で、図4の画素21と異なる

レイアウトとなっている。

[0098] このように、画素21Cは、1つのPD31に対して2つのメモリ部33-1および33-2が配置される構成を採用することができる。即ち、メモリ部33の個数は1つに限定されることはなく、複数個のメモリ部33を配置する構成としてもよい。

[0099] 図16には、画素21の第5のレイアウト例が示されている。

[0100] 図16に示す画素21Dは、図4の画素21と同様に、PD31が下側に配置され、PD31に対して、図16における右側に、排出トランジスタ39-1および39-2を介して高濃度N型領域57が配置され、図16における左側に、画素トランジスタ領域72が配置される。

[0101] そして、画素21Dでは、1つの高濃度N型領域56に対して、第2の転送トランジスタ34を介して2つのメモリ部33-1および33-2が設けられた構成となっており、図示しない隣接する画素21Dとで、FD部35を共有するレイアウトとなっている。

[0102] 即ち、画素21Dは、メモリ部33-1に電荷を転送して、FD部35を介して画素信号が読み出され、左側に隣接する画素21D（図示せず）は、メモリ部33-2に電荷を転送して、画素21Dと共有するFD部35を介して画素信号が読み出される。

[0103] このように、画素21Dは、隣接する画素21Dどうしで、FD部35を共有する構成を採用することができる。

[0104] 図17には、画素21の第6のレイアウト例が示されている。

[0105] 図17に示す画素21Eは、図4の画素21と同様に、PD31が下側に配置され、メモリ部33が上側に配置されている。また、メモリ部33に対して、図17における左側に、第2の転送トランジスタ34を介して高濃度N型領域56が配置され、PD31に対して、図17における左側に、画素トランジスタ領域72が配置される。

[0106] そして、画素21Eでは、PD31に対して、図17における右側に、上下方向に直列的に設けられる排出トランジスタ39-1および39-2が配

置されている。即ち、図4の画素21では、左右方向に直列的に排出トランジスタ39-1および39-2が配置されている点で、画素21Eは異なる構成とされている。

[0107] このように、排出トランジスタ39-1および39-2は、上下方向または左右方向のどのように配置されていてもよく、PD31と高濃度N型領域57との間に直列的に配置されていればよい。

[0108] 図18には、画素21の第7のレイアウト例が示されている。

[0109] 図18に示す画素21Fは、図4の画素21と同様に、PD31が下側に配置され、メモリ部33が上側に配置されている。また、メモリ部33に対して、図18における左側に、第2の転送トランジスタ34を介して高濃度N型領域56が配置され、PD31に対して、図18における左側に、画素トランジスタ領域72が配置される。

[0110] そして、画素21Fでは、PD31に対して、図18における右側に、図17の画素21Eと同様に、上下方向に直列的に設けられる排出トランジスタ39-1および39-2が配置されている。さらに、画素21Fでは、排出トランジスタ39-2が、高濃度N型領域57のPD31側および排出トランジスタ39-1側を囲うように形成されている。

[0111] このように、排出トランジスタ39-1および39-2は、上下方向または左右方向のどのように配置されていてもよく、PD31と高濃度N型領域57との間に直列的に配置されていればよい。また、排出トランジスタ39-2の形状も、長方形に限定されることはない。

[0112] 図19には、画素21の第8のレイアウト例が示されている。

[0113] 図19に示す画素21Gは、図4の画素21と同様に、PD31が下側に配置され、メモリ部33が上側に配置されている。また、画素21Gは、メモリ部33に対して、図19における左側に、第2の転送トランジスタ34を介して高濃度N型領域56が配置され、PD31に対して、図19における左側に、画素トランジスタ領域72が配置される。

[0114] そして、画素21Gでは、PD31に対して、図19における右側に、直

線的な形状ではない排出トランジスタ39-1および39-2が配置されている。即ち、画素21Gは、排出トランジスタ39-1および39-2の形状が、図4の画素21と異なるレイアウトとなっている。

[0115] このように、PD31と高濃度N型領域57との間に配置される排出トランジスタ39-1および39-2の形状は、高濃度N型領域57のPD31側の三辺を囲うような屈曲した形状とすることができる。即ち、画素21Gは、PD31と高濃度N型領域57との間に排出トランジスタ39-1および39-2を直列的に配置することができれば、直線的な形状以外の様々な形状の排出トランジスタ39-1および39-2を採用することができる。

[0116] 図20には、画素21の第9のレイアウト例が示されている。

[0117] 図20に示す画素21Hは、図4の画素21と同様に、PD31が下側に配置され、メモリ部33が上側に配置されている。また、メモリ部33に対して、図20における左側に、第2の転送トランジスタ34を介して高濃度N型領域56が配置され、PD31に対して、図20における左側に、画素トランジスタ領域72が配置される。

[0118] そして、画素21Hでは、PD31に対して、図20における右側に、排出トランジスタ39-1乃至39-3を介して高濃度N型領域57が配置されている。即ち、画素21Hは、3つの排出トランジスタ39-1乃至39-3を備える点で、図4の画素21と異なるレイアウトとなっている。

[0119] このように、PD31と高濃度N型領域57との間に、図4の画素21のように2つの排出トランジスタ39-1および39-2が配置される構成に限られることなく、3つの排出トランジスタ39-1乃至39-3が配置される構成を採用することができる。もちろん、3つ以上の排出トランジスタ39が直列的に配置される構成を採用してもよい。

[0120] 図21には、画素21の第10のレイアウト例が示されている。

[0121] 図21に示す画素21Jは、図4の画素21と同様に、PD31が下側に配置され、メモリ部33が上側に配置されている。また、メモリ部33に対して、図21における左側に、第2の転送トランジスタ34を介して高濃度

N型領域56が配置され、PD31に対して、図21における左側に、画素トランジスタ領域72が配置される。

[0122] そして、画素21Jでは、PD31に対して、図21における右側に、直線的な形状ではない排出トランジスタ39-1および39-2が配置されている。即ち、画素21Jは、排出トランジスタ39-1および39-2の形状が、図4の画素21と異なるレイアウトとなっている。

[0123] このように、PD31と高濃度N型領域57との間に配置される排出トランジスタ39-2の形状は、高濃度N型領域57を囲うように、PD31側に向かって中央が突出するような略三角形の形状とすることができる。さらに、排出トランジスタ39-1は、排出トランジスタ39-2のPD31の二辺に沿うような、屈曲した形状とすることができる。即ち、画素21Jは、PD31と高濃度N型領域57との間に排出トランジスタ39-1および39-2を直列的に配置することができれば、直線的な形状以外の様々な形状の排出トランジスタ39-1および39-2を採用することができる。

[0124] なお、画素21では、排出トランジスタ39-1および39-2を駆動する電圧は、HiレベルまたはLowレベルの2値に限られることはなく、任意のレベルの電圧を設定することができる。

[0125] なお、上述したような各実施の形態の撮像素子11は、例えば、デジタルスチルカメラやデジタルビデオカメラなどの撮像システム、撮像機能を備えた携帯電話機、または、撮像機能を備えた他の機器といった各種の電子機器に適用することができる。

[0126] 図22は、電子機器に搭載される撮像装置の構成例を示すブロック図である。

[0127] 図22に示すように、撮像装置101は、光学系102、撮像素子103、信号処理回路104、モニタ105、およびメモリ106を備えて構成され、静止画像および動画を撮像可能である。

[0128] 光学系102は、1枚または複数枚のレンズを有して構成され、被写体からの像光（入射光）を撮像素子103に導き、撮像素子103の受光面（セ

ンサ部)に結像させる。

[0129] 撮像素子103としては、上述した実施の形態の撮像素子11が適用される。撮像素子103には、光学系102を介して受光面に結像される像に応じて、一定期間、電子が蓄積される。そして、撮像素子103に蓄積された電子に応じた信号が信号処理回路104に供給される。

[0130] 信号処理回路104は、撮像素子103から出力された画素信号に対して各種の信号処理を施す。信号処理回路104が信号処理を施すことにより得られた画像(画像データ)は、モニタ105に供給されて表示されたり、メモリ106に供給されて記憶(記録)されたりする。

[0131] このように構成されている撮像装置101では、上述した実施の形態の撮像素子11を適用することで、例えば、オーバーフロドレインOFDの電位を変更することによる悪影響を回避し、より高画質な画像を撮像することができる。

[0132] 図23は、上述の撮像素子11(イメージセンサ)を使用する使用例を示す図である。

[0133] 上述したイメージセンサは、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる。

[0134] ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの

用に供される装置

・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0135] なお、本技術は以下のような構成も取ることができる。

(1)

入射した光を光電変換により電荷に変換して蓄積する光電変換部と、  
前記光電変換部に残留している電荷を排出する排出部と、  
前記光電変換部から前記排出部へ電荷を排出する際に駆動する排出駆動部と

を有する複数の画素を備え、

少なくとも2つ以上の前記排出駆動部が、前記光電変換部および前記排出部の間に直列的に配置される

固体撮像素子。

(2)

静止画像の撮像時において、前記画素の露光を開始するときにおける前記光電変換部のリセット動作を行う際に、直列的に配置される全ての前記排出駆動部のポテンシャルを下げて前記光電変換部に残留している電荷を前記排出部に排出した後、前記光電変換部側の前記排出駆動部のポテンシャルを先に元に戻し、それから他の前記排出駆動部のポテンシャルを元に戻す駆動を行う

上記(1)に記載の固体撮像素子。

(3)

前記光電変換部のリセット動作を行う際に、直列的に配置される複数の前記排出駆動部のうち、前記排出部側の前記排出駆動部から順次、ポテンシャルを下げる駆動を行って、前記光電変換部に残留している電荷を前記排出部

に排出させる

上記（１）または（２）に記載の固体撮像素子。

（４）

動画像の撮像時において、直列的に配置される複数の前記排出駆動部のうち、前記排出部側の前記排出駆動部のポテンシャルを常に下げた状態にして駆動を行う

上記（１）から（３）までのいずれかに記載の固体撮像素子。

（５）

前記排出部側の前記排出駆動部のポテンシャルを下げた状態にすることによる変調を受け、その排出駆動部に隣接する他の前記排出駆動部のポテンシャルが低下する

上記（１）から（４）までのいずれかに記載の固体撮像素子。

（６）

前記光電変換部において発生した電荷をメモリ部に転送する転送駆動素子をさらに備え、

動画像の撮像時において、前記光電変換部に対する前記排出駆動部側のポテンシャルは、前記転送駆動素子側のポテンシャルよりも低く設定される

上記（１）から（５）までのいずれかに記載の固体撮像素子。

（７）

固体撮像素子の駆動方法であって、

前記固体撮像素子は、

入射した光を光電変換により電荷に変換して蓄積する光電変換部と、

前記光電変換部に残留している電荷を排出する排出部と、

前記光電変換部から前記排出部へ電荷を排出する際に駆動する排出駆動部と

を有する複数の画素を備え、

少なくとも２つ以上の前記排出駆動部が、前記光電変換部および前記排出部間に直列的に配置されており、

静止画像の撮像時において、前記画素の露光を開始するときにおける前記光電変換部のリセット動作を行う際に、直列的に配置される全ての前記排出駆動部のポテンシャルを下げ、前記光電変換部に残留している電荷を前記排出部に排出した後、前記光電変換部側の前記排出駆動部のポテンシャルを先に元に戻し、それから他の前記排出駆動部のポテンシャルを元に戻す駆動を行う

駆動方法。

(8)

入射した光を光電変換により電荷に変換して蓄積する光電変換部と、前記光電変換部に残留している電荷を排出する排出部と、前記光電変換部から前記排出部へ電荷を排出する際に駆動する排出駆動部と

を有する複数の画素を備え、

少なくとも2つ以上の前記排出駆動部が、前記光電変換部および前記排出部の間に直列的に配置される

固体撮像素子を備える電子機器。

[0136] なお、本実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。

## 符号の説明

[0137] 11 撮像素子, 12 画素領域, 13 垂直駆動回路, 14 カラム信号処理回路, 15 水平駆動回路, 16 出力回路, 17 制御回路, 21 画素, 22 水平信号線, 23 垂直信号線, 24 データ出力信号線, 31 PD, 32 第1の転送トランジスタ, 33 メモリ部, 34 第2の転送トランジスタ, 35 FD部, 36 増幅トランジスタ, 37 選択トランジスタ, 38 リセットトランジスタ, 39-1および39-2 排出トランジスタ, 51 半導体基板, 52 N型領域, 53 P型領域, 54 N型領域, 55 P型領域, 56および57 高濃度N型領域, 61, 62, 63-1、

および63-2 ゲート電極, 71 配線, 72 画素トランジスタ領  
域

## 請求の範囲

- [請求項1] 入射した光を光電変換により電荷に変換して蓄積する光電変換部と、  
、  
前記光電変換部に残留している電荷を排出する排出部と、  
前記光電変換部から前記排出部へ電荷を排出する際に駆動する排出駆動部と  
を有する複数の画素を備え、  
少なくとも2つ以上の前記排出駆動部が、前記光電変換部および前記排出部の間に直列的に配置される  
固体撮像素子。
- [請求項2] 静止画像の撮像時において、前記画素の露光を開始するときにおける前記光電変換部のリセット動作を行う際に、直列的に配置される全ての前記排出駆動部のポテンシャルを下げて前記光電変換部に残留している電荷を前記排出部に排出した後、前記光電変換部側の前記排出駆動部のポテンシャルを先に元に戻し、それから他の前記排出駆動部のポテンシャルを元に戻す駆動を行う  
請求項1に記載の固体撮像素子。
- [請求項3] 前記光電変換部のリセット動作を行う際に、直列的に配置される複数の前記排出駆動部のうち、前記排出部側の前記排出駆動部から順次、ポテンシャルを下げる駆動を行って、前記光電変換部に残留している電荷を前記排出部に排出させる  
請求項2に記載の固体撮像素子。
- [請求項4] 動画画像の撮像時において、直列的に配置される複数の前記排出駆動部のうち、前記排出部側の前記排出駆動部のポテンシャルを常に下げた状態にして駆動を行う  
請求項1に記載の固体撮像素子。
- [請求項5] 前記排出部側の前記排出駆動部のポテンシャルを下げた状態にすることによる変調を受け、その排出駆動部に隣接する他の前記排出駆動

部のポテンシャルが低下する

請求項4に記載の固体撮像素子。

[請求項6]

前記光電変換部において発生した電荷をメモリ部に転送する転送駆動素子をさらに備え、

動画像の撮像時において、前記光電変換部に対する前記排出駆動部側のポテンシャルは、前記転送駆動素子側のポテンシャルよりも低く設定される

請求項4に記載の固体撮像素子。

[請求項7]

固体撮像素子の駆動方法であって、

前記固体撮像素子は、

入射した光を光電変換により電荷に変換して蓄積する光電変換部と、

前記光電変換部に残留している電荷を排出する排出部と、

前記光電変換部から前記排出部へ電荷を排出する際に駆動する排出駆動部と

を有する複数の画素を備え、

少なくとも2つ以上の前記排出駆動部が、前記光電変換部および前記排出部の間に直列的に配置されており、

静止画像の撮像時において、前記画素の露光を開始するときにおける前記光電変換部のリセット動作を行う際に、直列的に配置される全ての前記排出駆動部のポテンシャルを下げ、前記光電変換部に残留している電荷を前記排出部に排出した後、前記光電変換部側の前記排出駆動部のポテンシャルを先に元に戻し、それから他の前記排出駆動部のポテンシャルを元に戻す駆動を行う

駆動方法。

[請求項8]

入射した光を光電変換により電荷に変換して蓄積する光電変換部と、

、

前記光電変換部に残留している電荷を排出する排出部と、

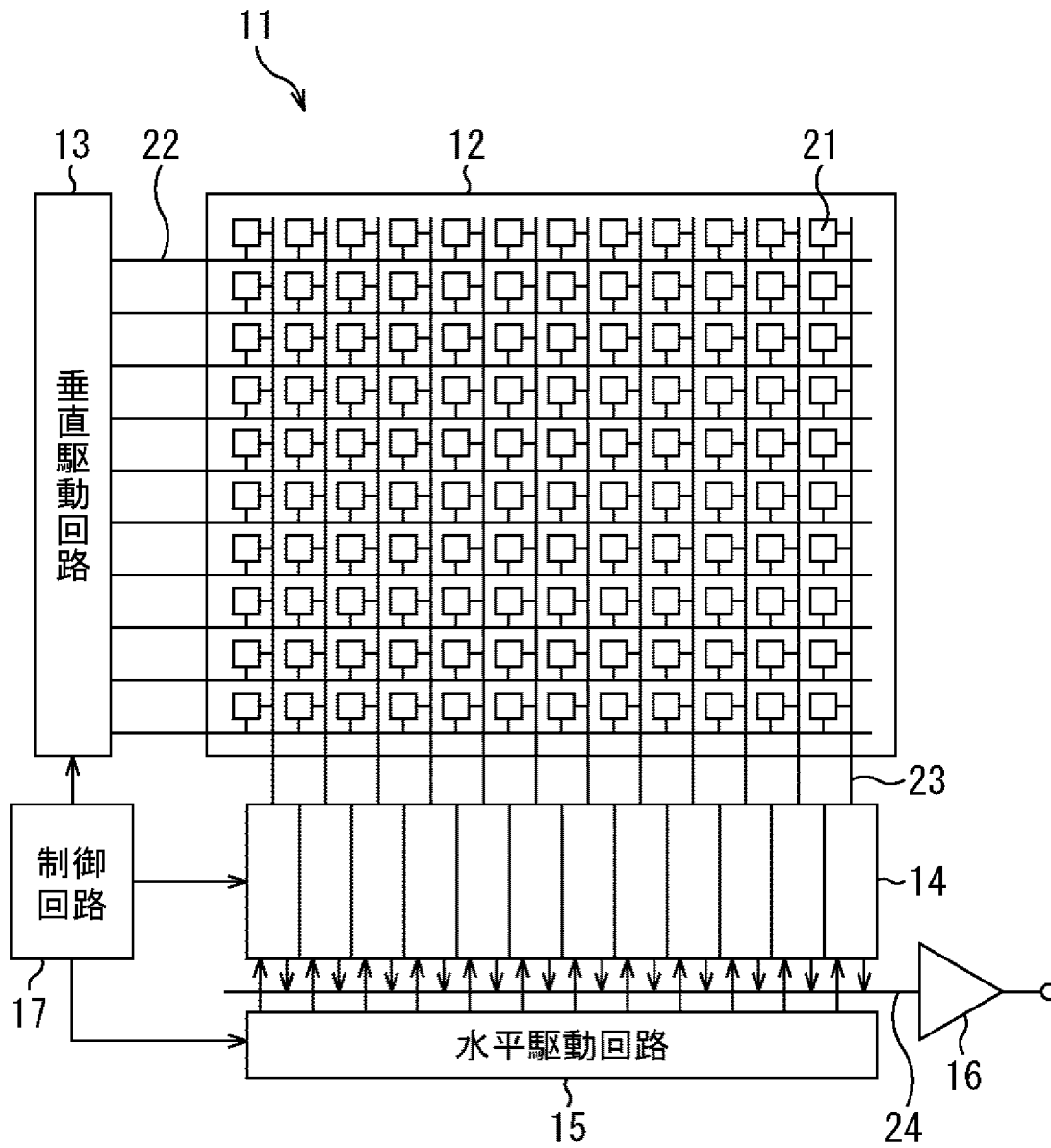
前記光電変換部から前記排出部へ電荷を排出する際に駆動する排出駆動部と

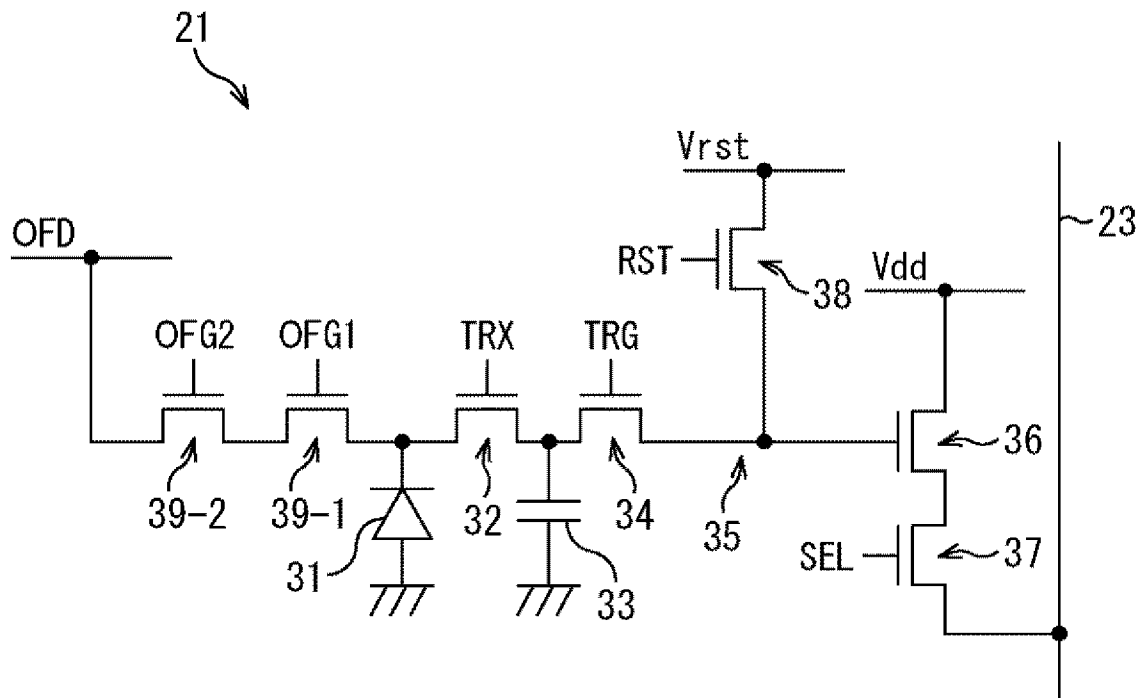
を有する複数の画素を備え、


少なくとも2つ以上の前記排出駆動部が、前記光電変換部および前記排出部の上に直列的に配置される

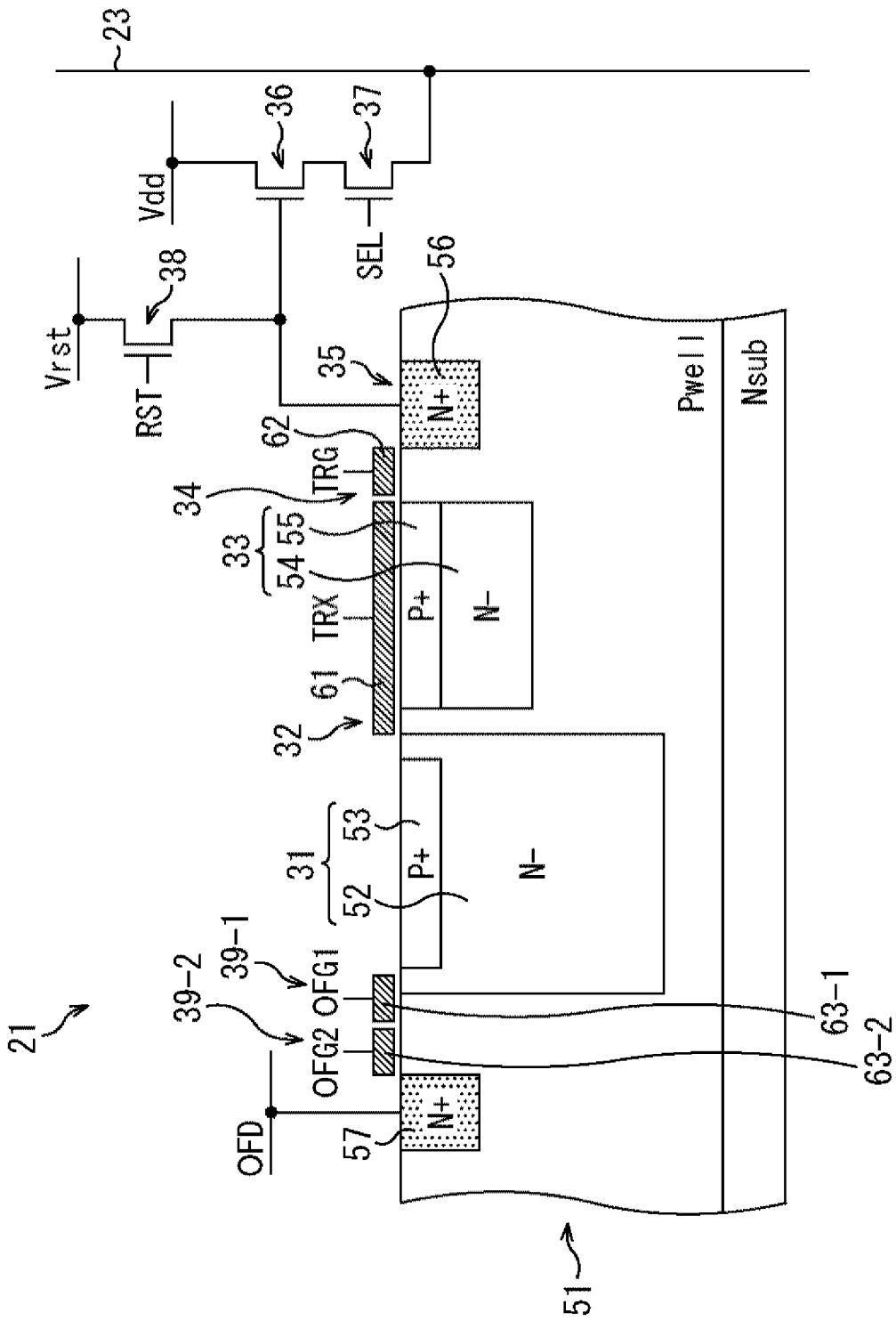
固体撮像素子を備える電子機器。

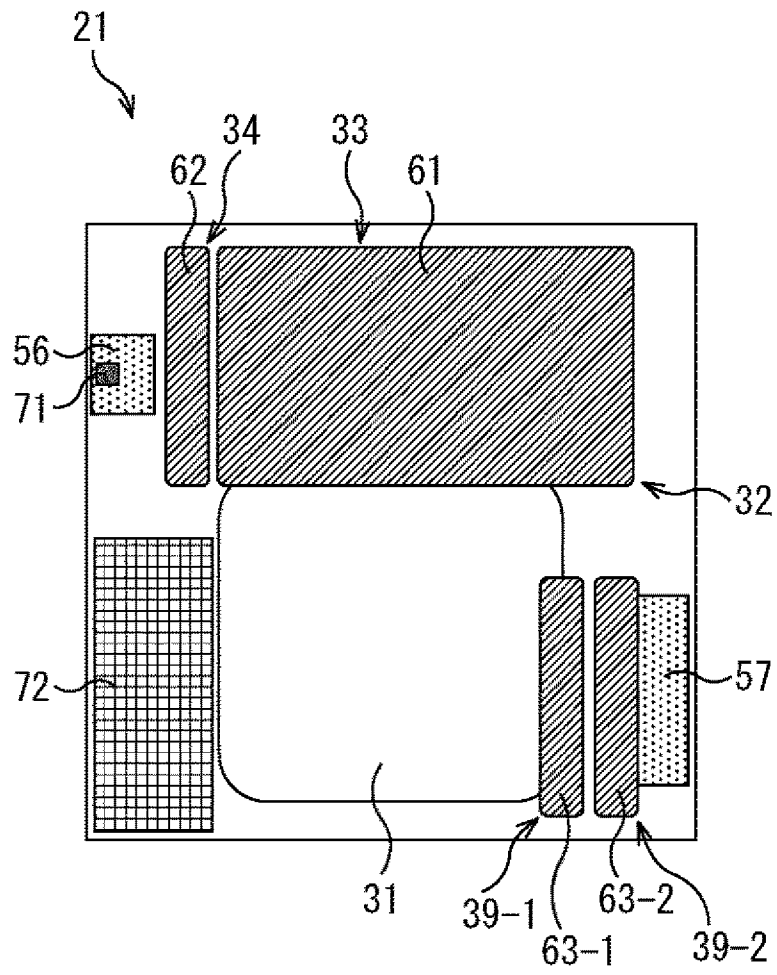
[図1]  
FIG. 1



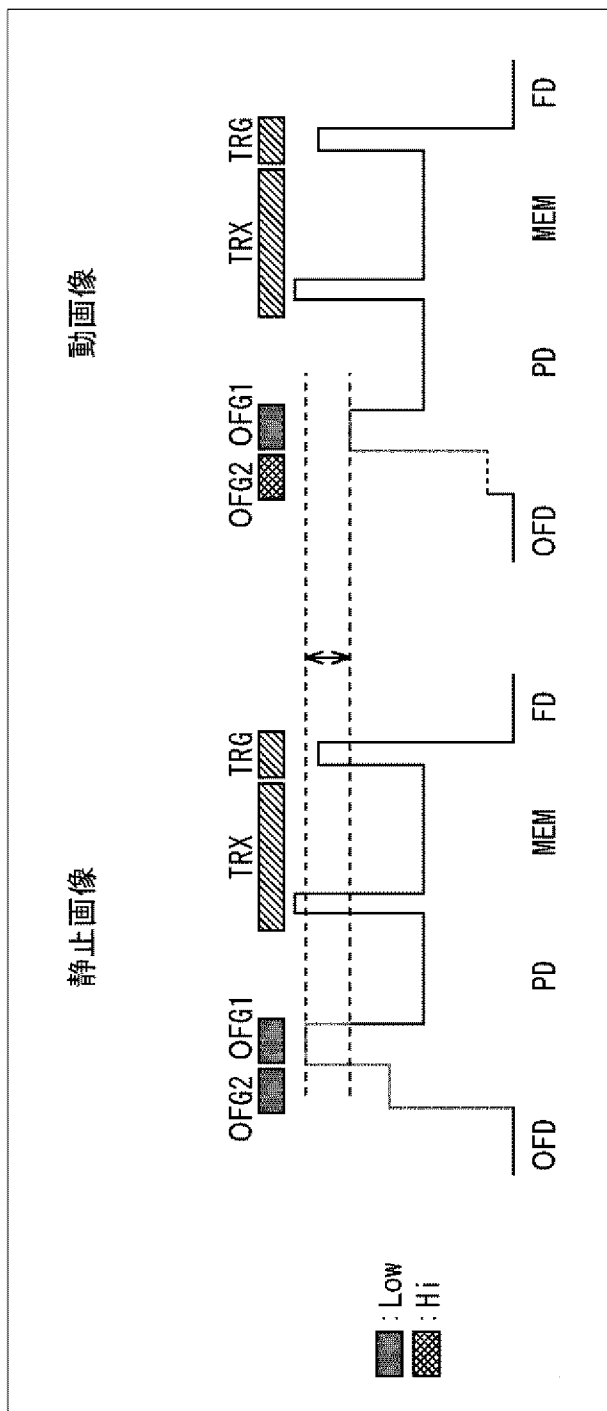
[図2]  
FIG. 2

[]3]  
FIG. 3

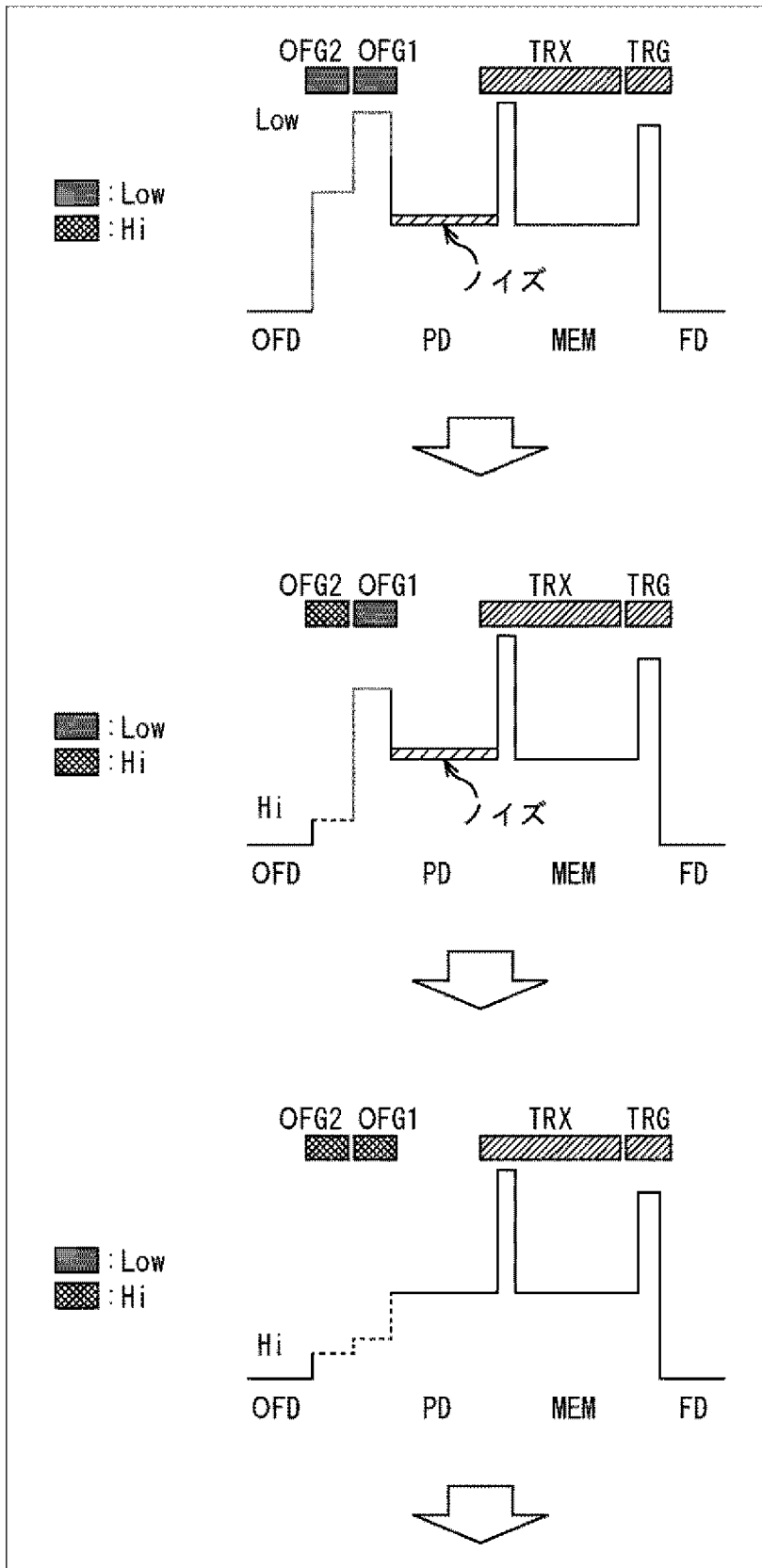


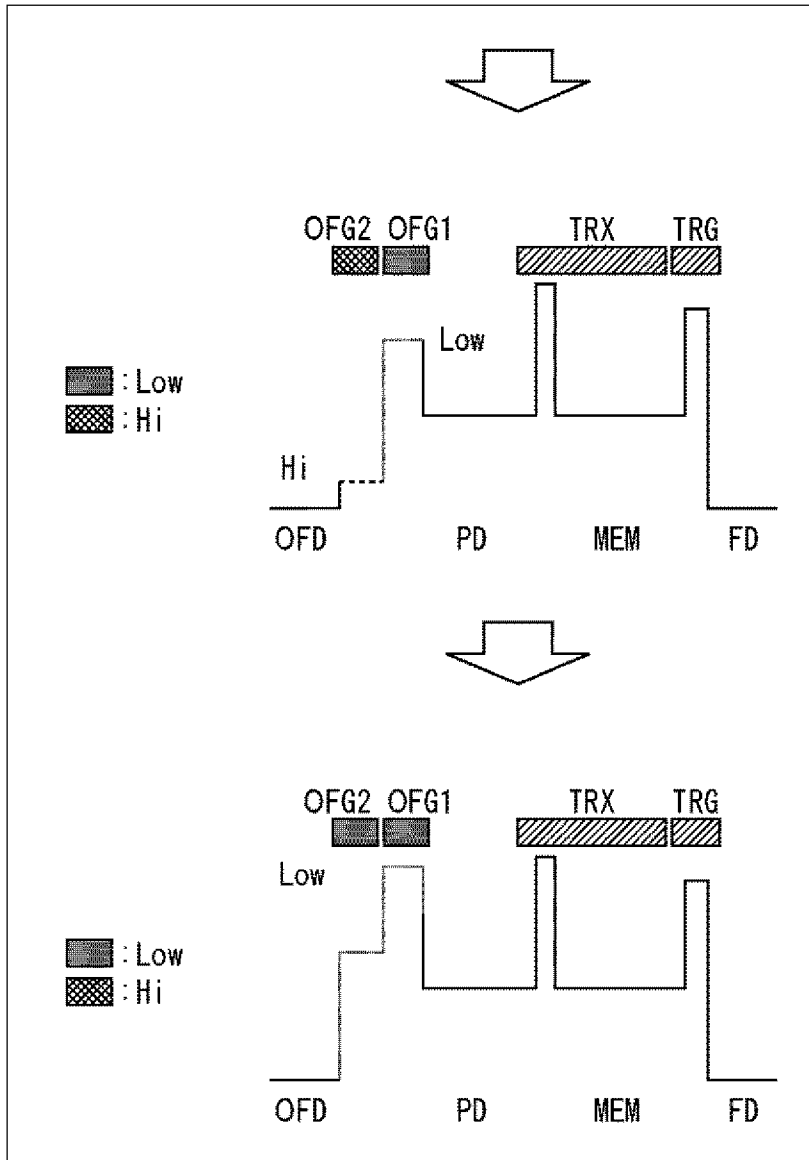
[図4]  
FIG. 4

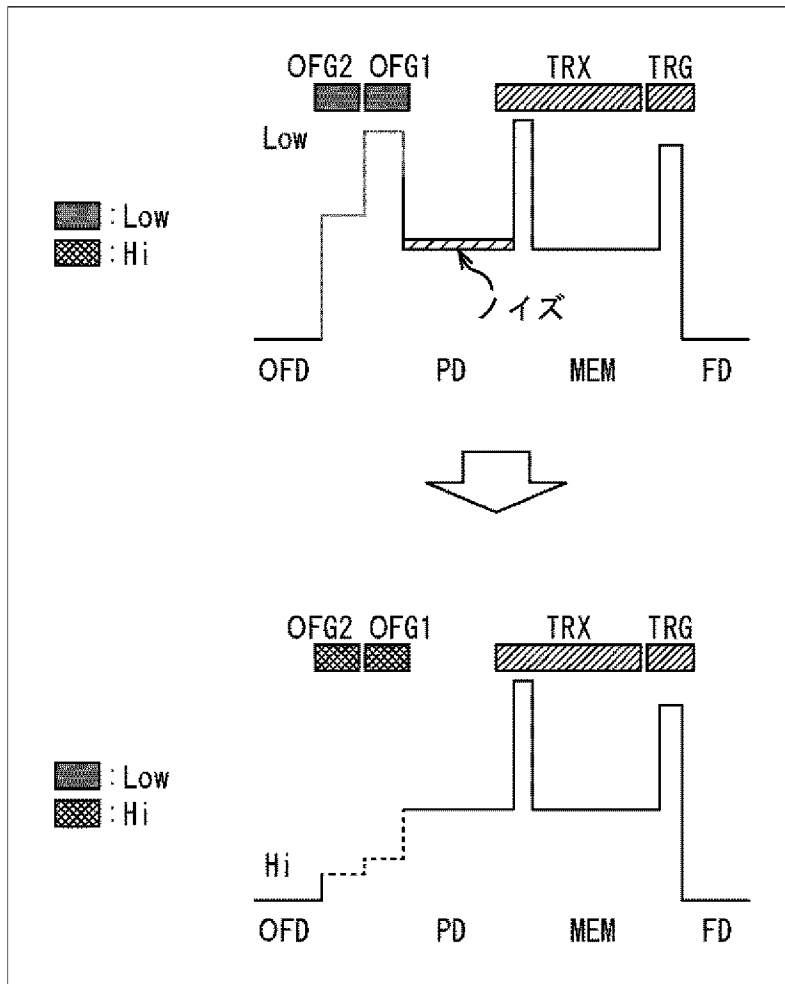
[図5]  
FIG. 5



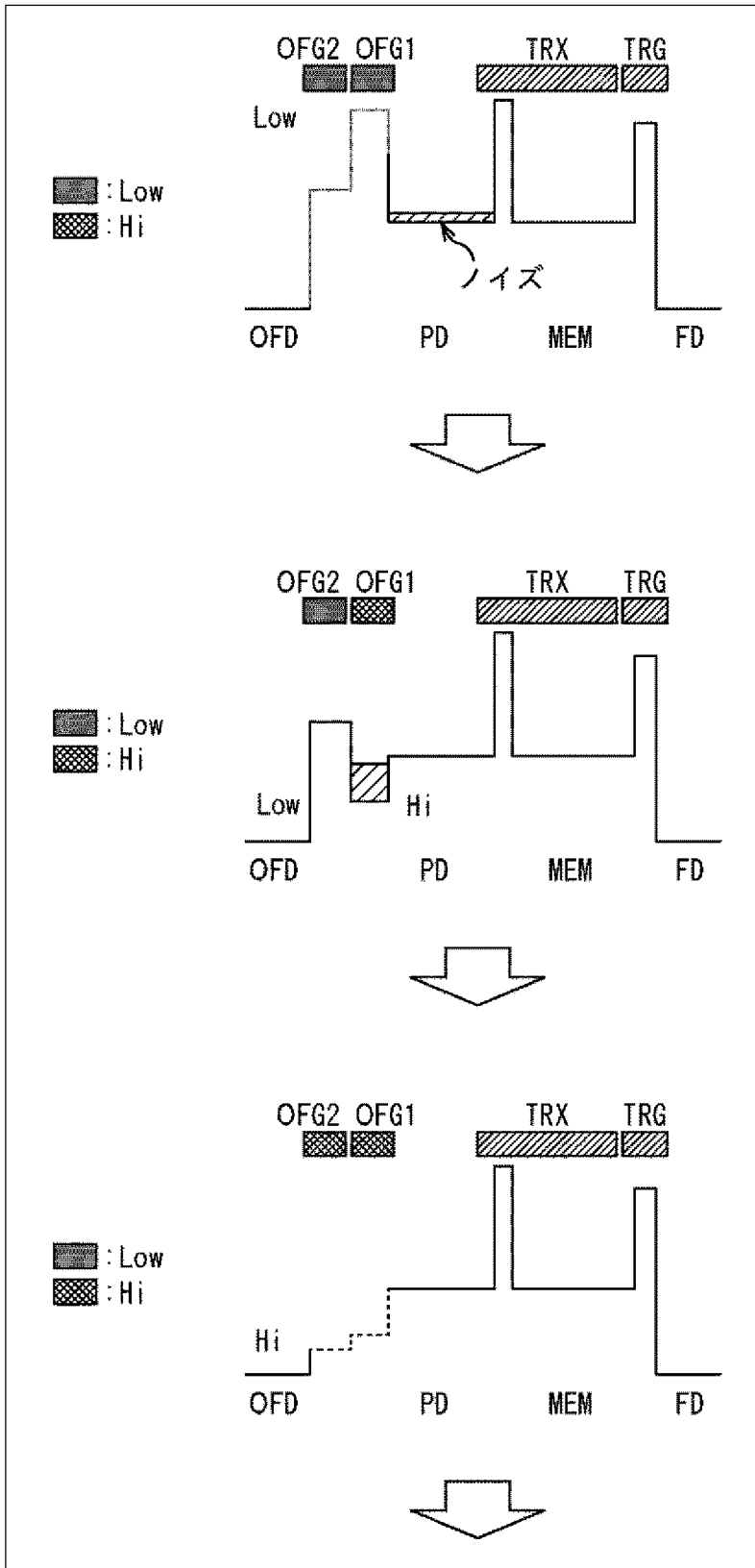
[図6]  
FIG. 6



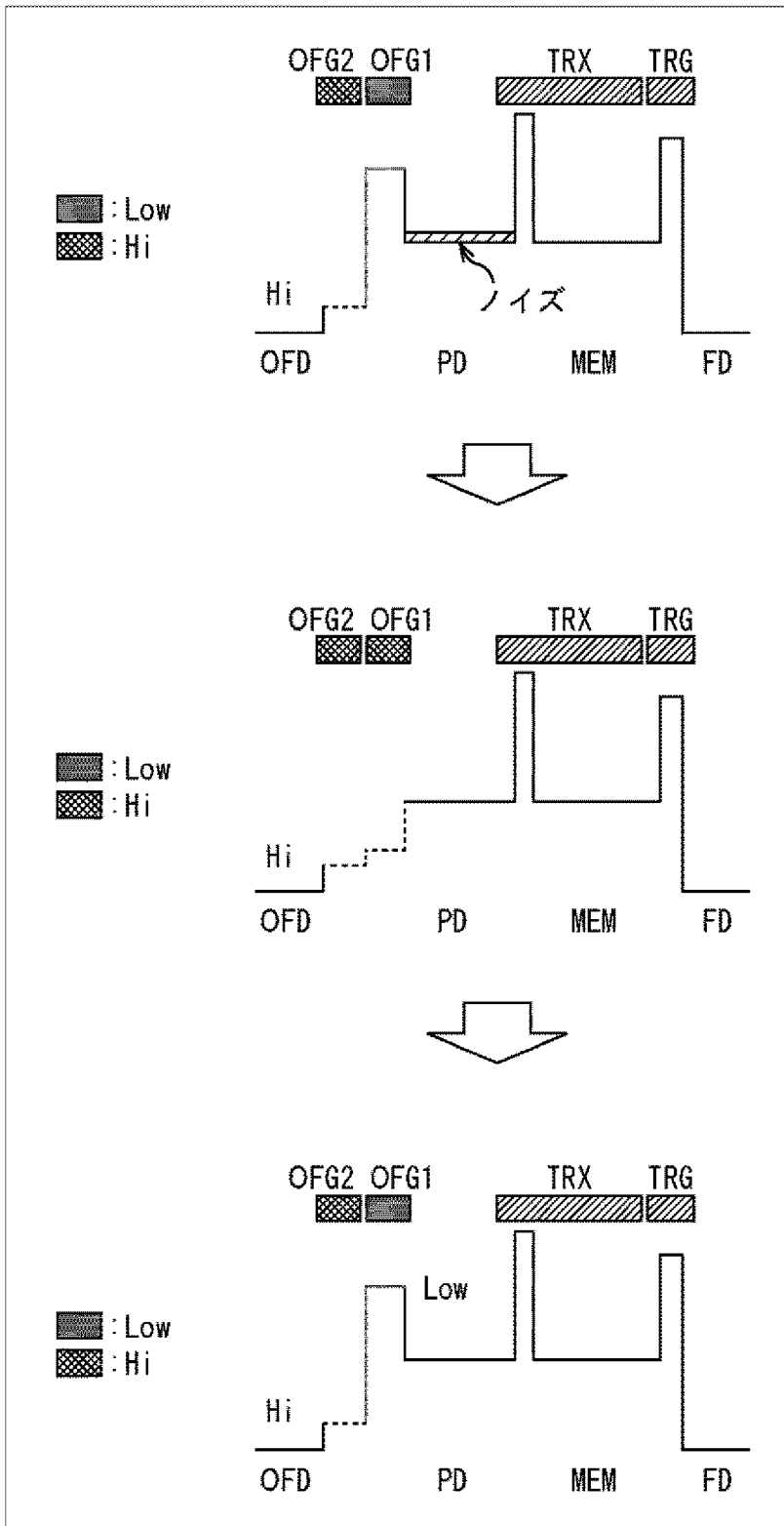
[図7]  
FIG. 7

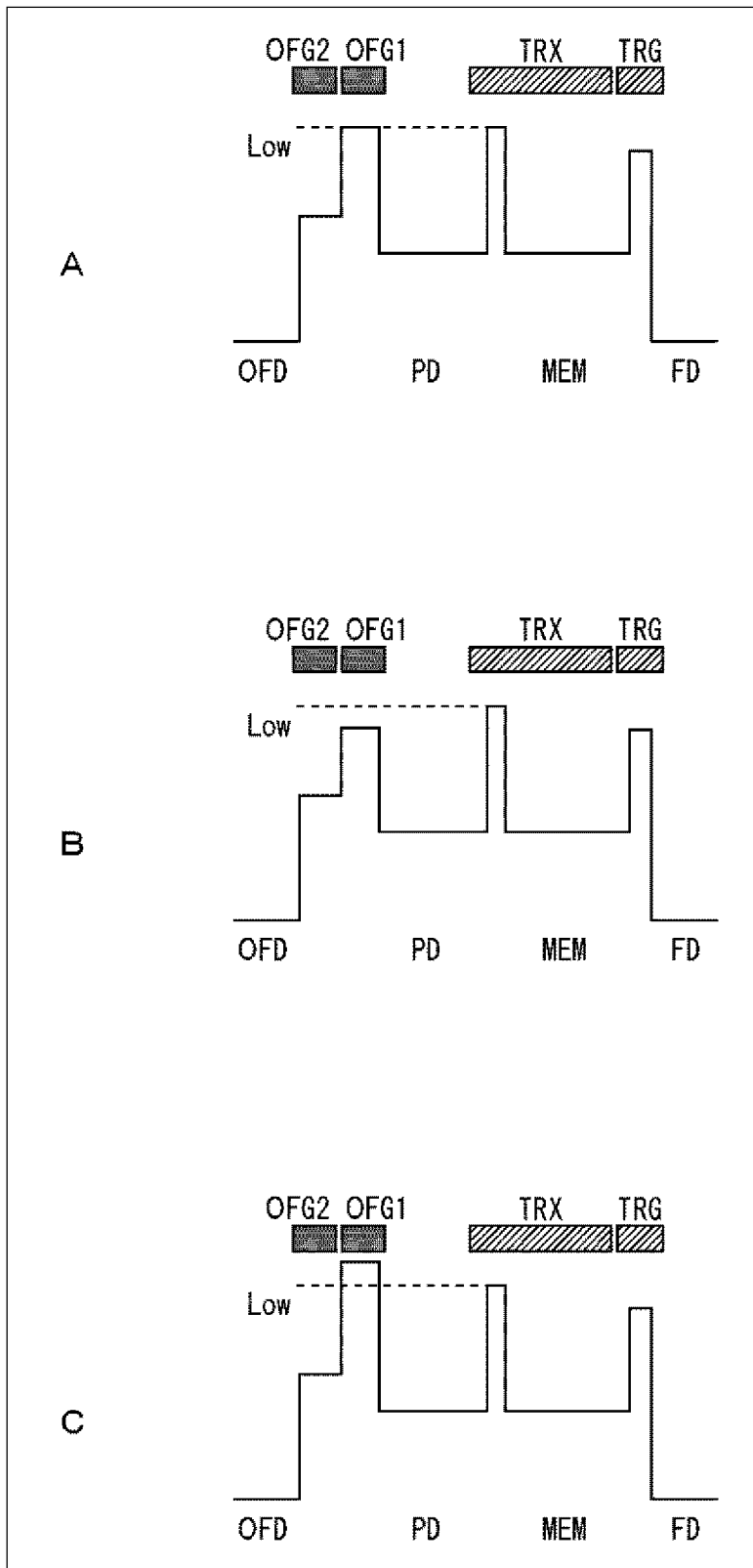
[図8]  
FIG. 8

[図9]  
FIG. 9

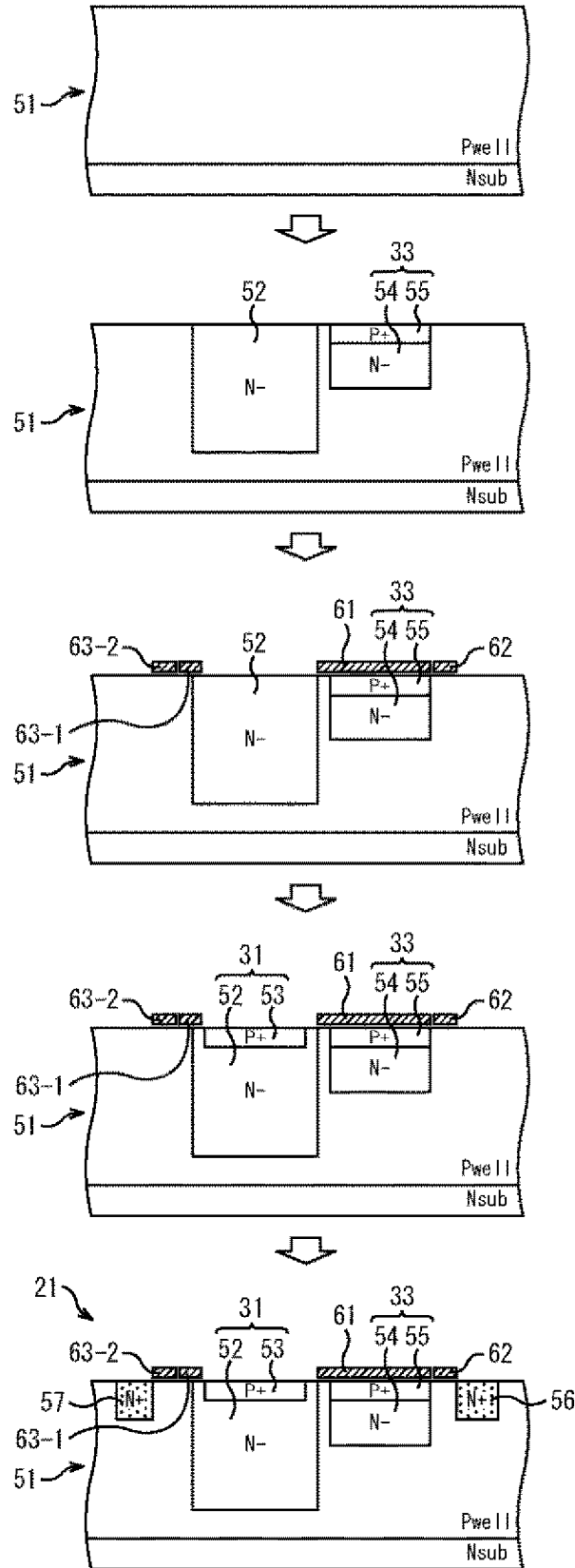


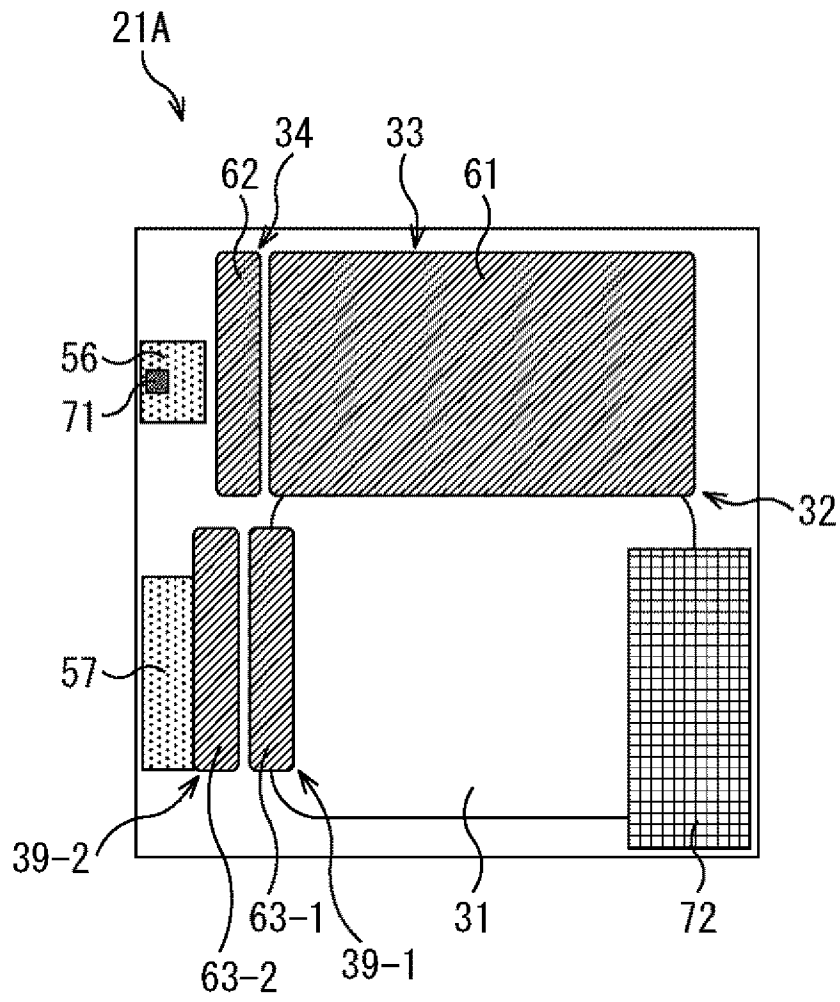
[図10]  
FIG.10

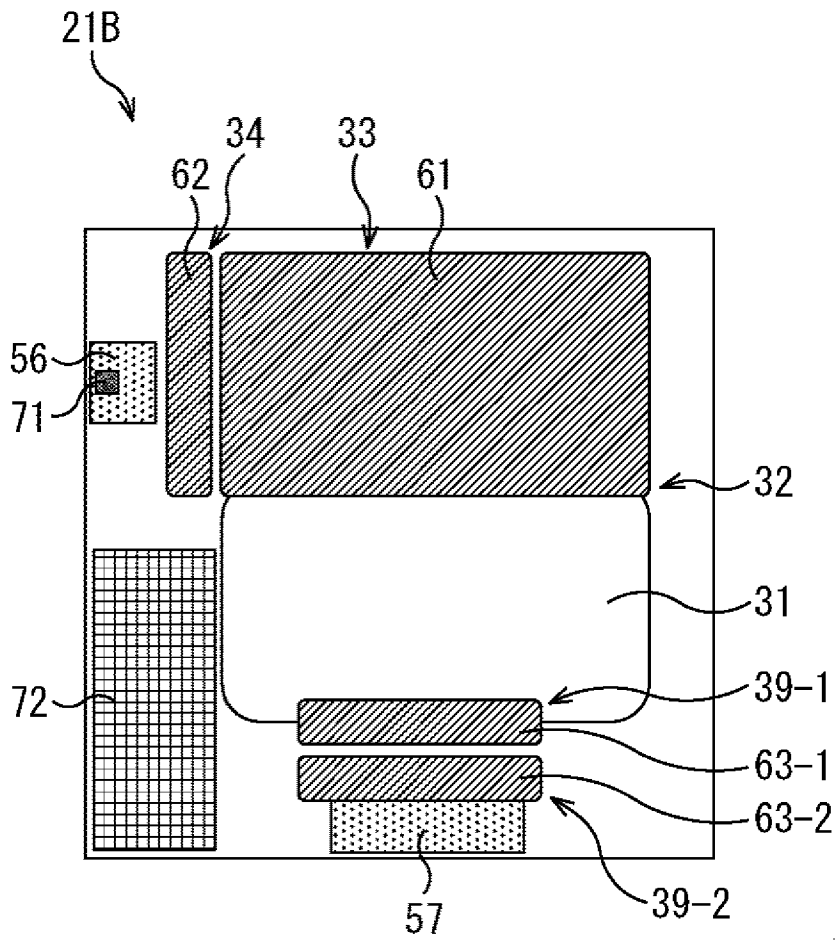


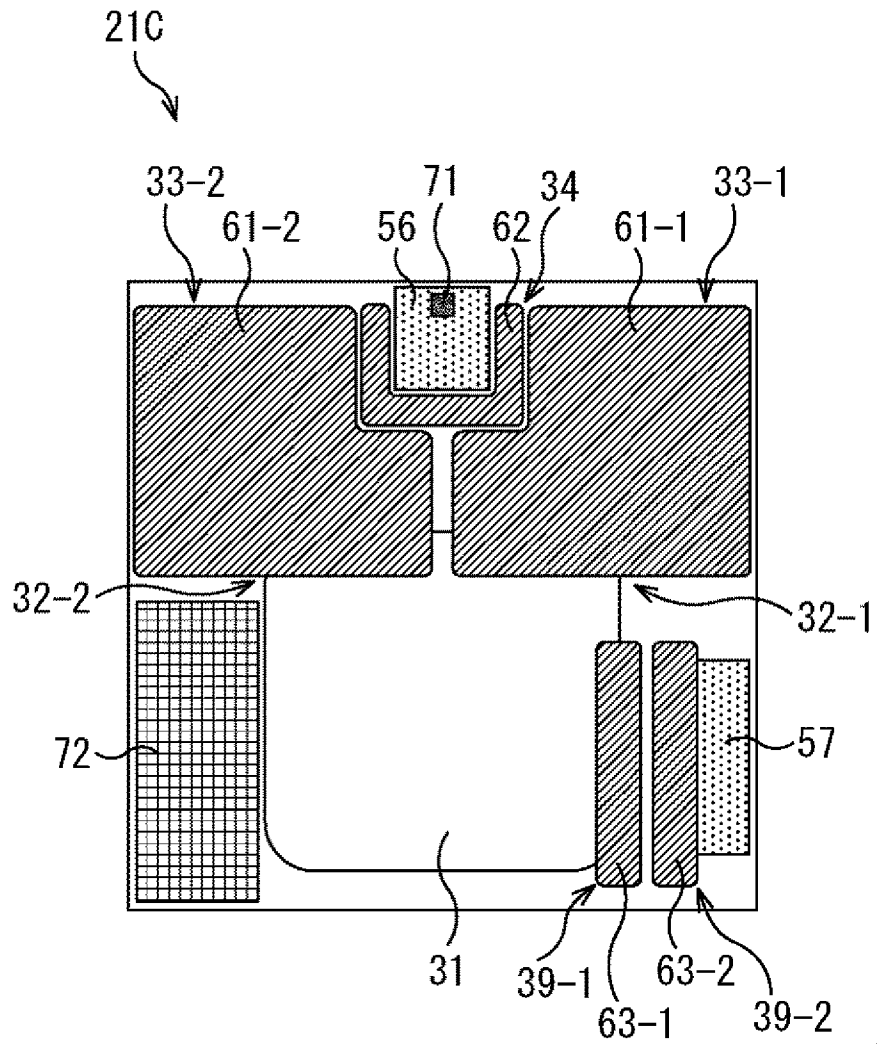
[図11]  
FIG.11

[図12]  
FIG.12

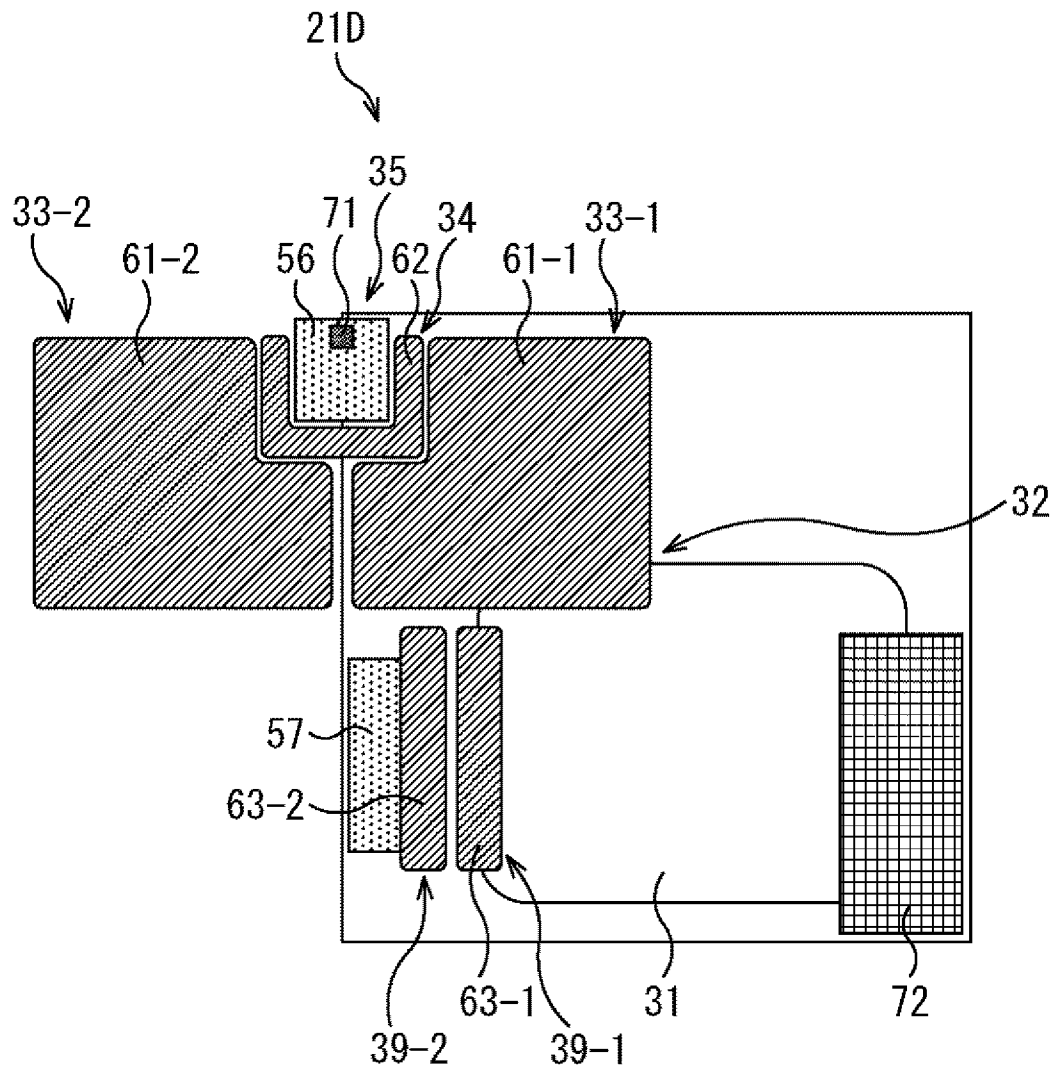


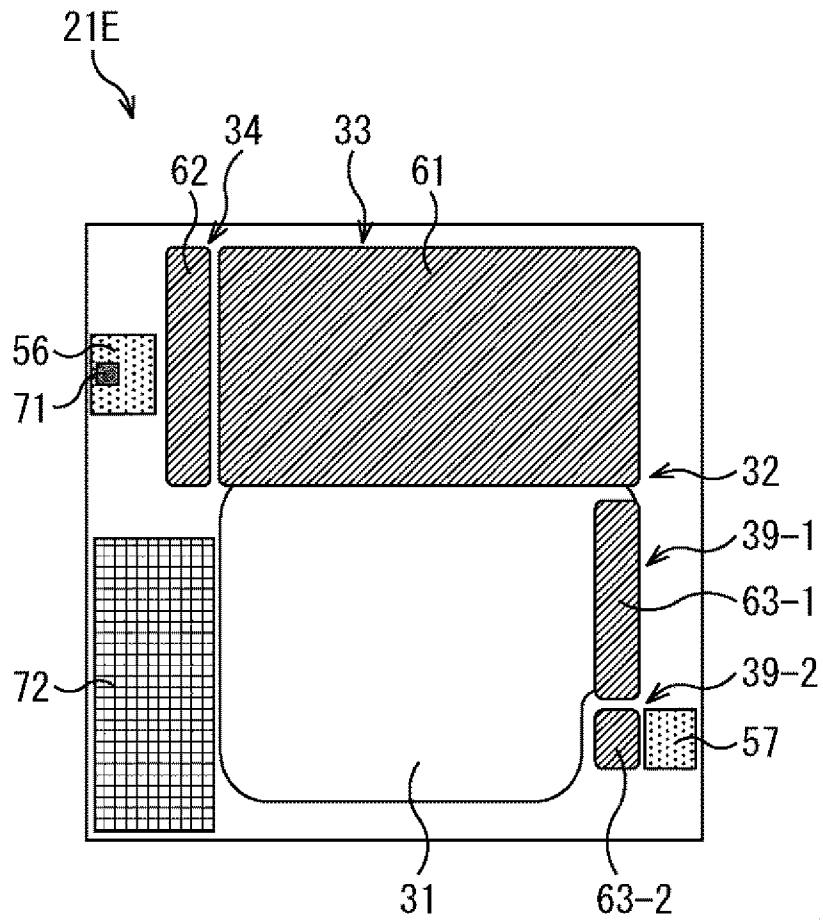
[図13]  
FIG.13

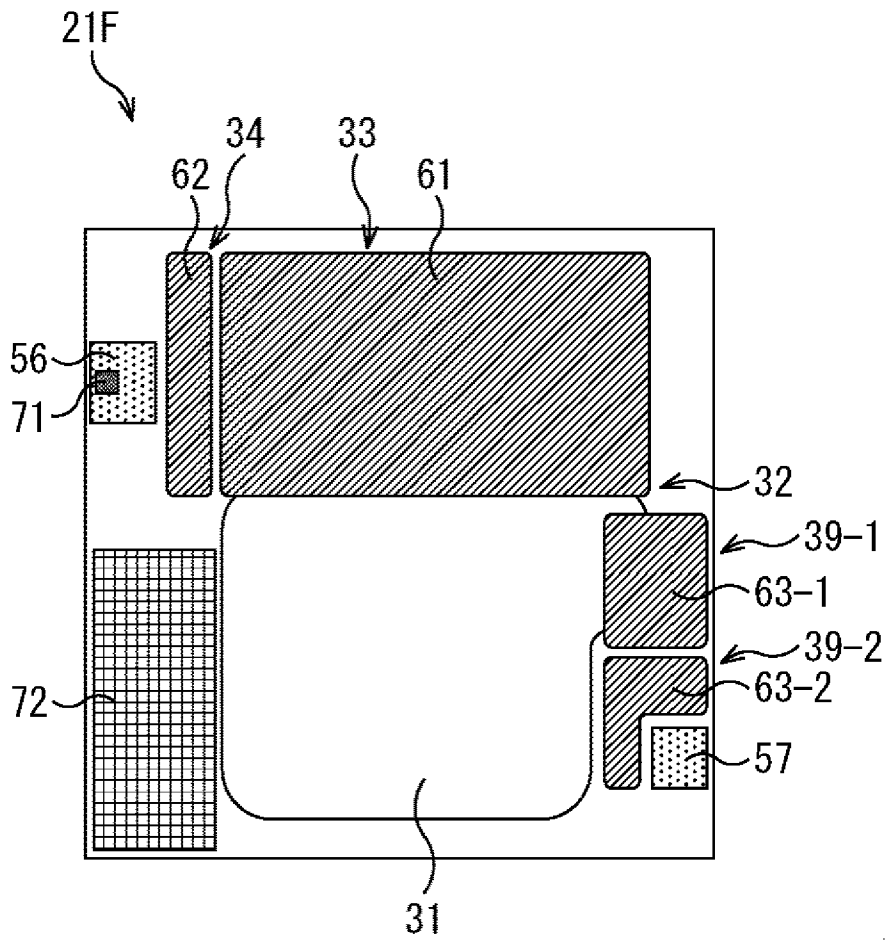
[図14]  
FIG. 14

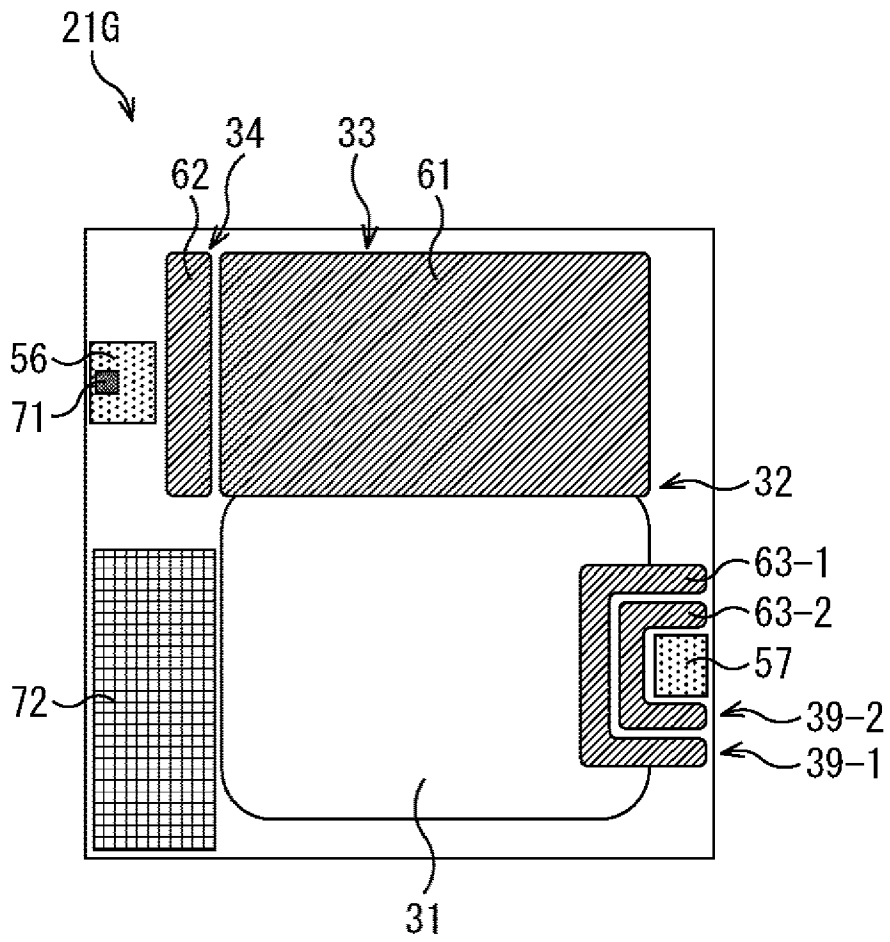
[図15]  
FIG.15

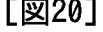
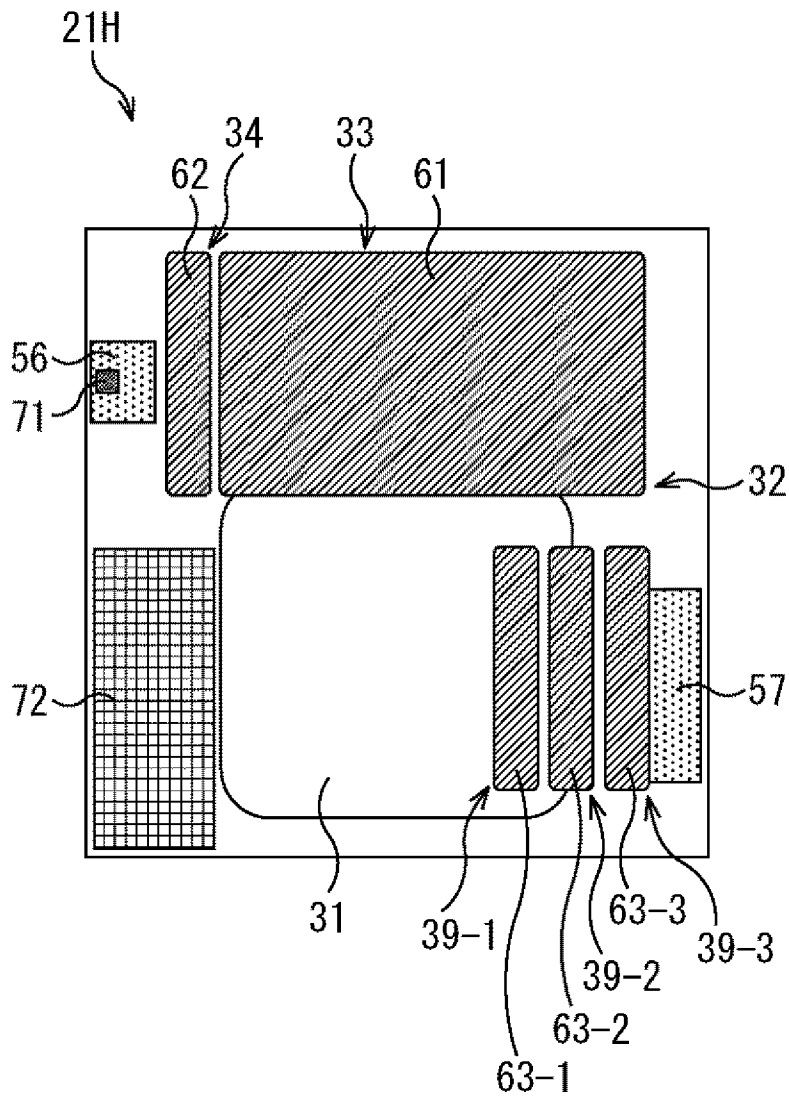
[図16]  
FIG.16



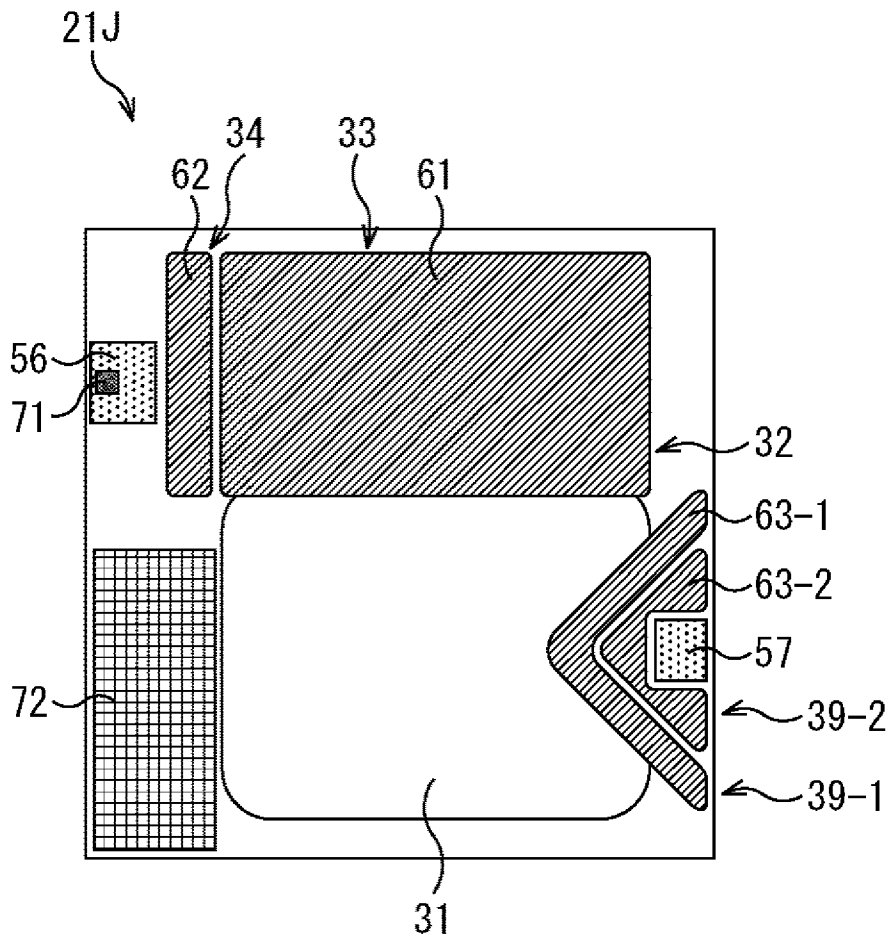
[図17]  
FIG. 17

[図18]  
FIG.18

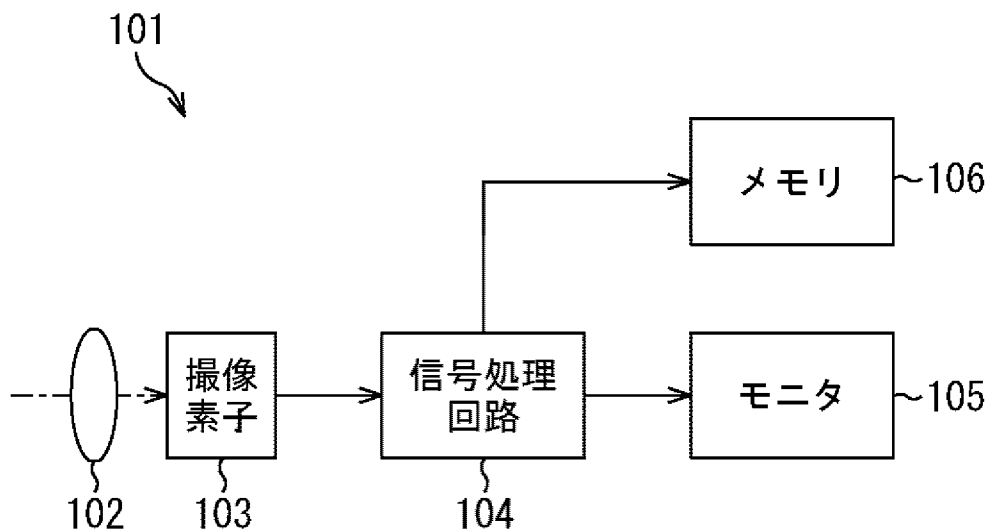
[図19]  
FIG.19

[] 20  
FIG. 20

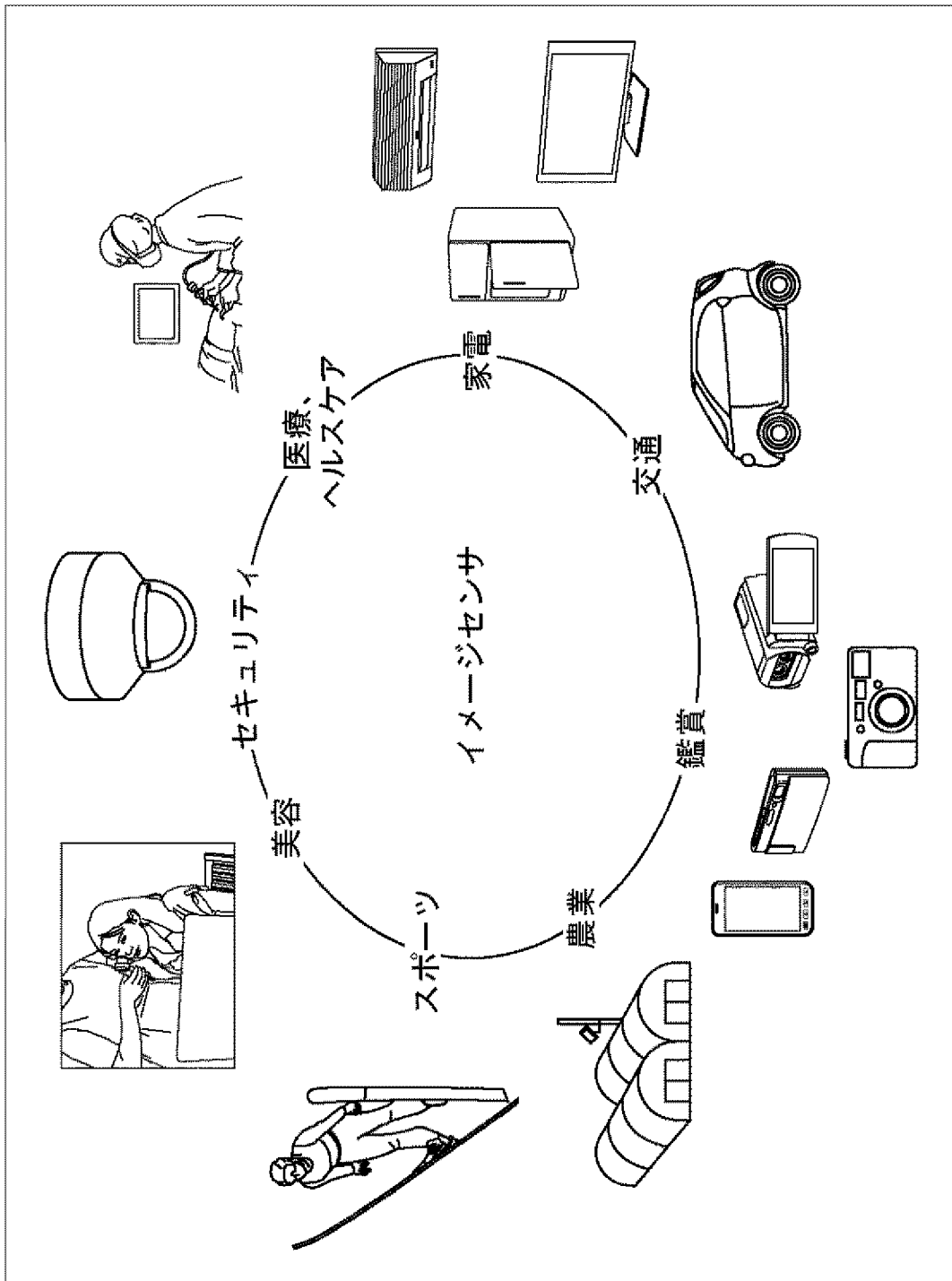
[図21]  
FIG. 21



[図22]  
FIG. 22



[図23]  
FIG. 23



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/058648

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> H04N5/374(2011.01)i, H01L27/146(2006.01)i, H04N5/343(2011.01)i, H04N5/363(2011.01)i  According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) H04N5/374, H01L27/146, H04N5/343, H04N5/363  Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2016 Kokai Jitsuyo Shinan Koho 1971-2016 Toroku Jitsuyo Shinan Koho 1994-2016  Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2011-204878 A (Sony Corp.), 13 October 2011 (13.10.2011), paragraph [0138]; fig. 36 & US 2011/0234836 A1 paragraph [0281]; fig. 36A & CN 102202189 A & KR 10-2011-0107750 A	1, 8 2-7
A	JP 2014-60519 A (Sony Corp.), 03 April 2014 (03.04.2014), entire text; all drawings & US 8785834 B2 & CN 103685999 A	1-8
E, X	JP 2016-66766 A (Sony Corp.), 28 April 2016 (28.04.2016), paragraph [0033]; fig. 5 (Family: none)	1, 8
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 19 May 2016 (19.05.16)		Date of mailing of the international search report 07 June 2016 (07.06.16)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer  Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H04N5/374(2011.01)i, H01L27/146(2006.01)i, H04N5/343(2011.01)i, H04N5/363(2011.01)i										
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H04N5/374, H01L27/146, H04N5/343, H04N5/363										
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2016年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2016年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2016年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2016年	日本国実用新案登録公報	1996-2016年	日本国登録実用新案公報	1994-2016年
日本国実用新案公報	1922-1996年									
日本国公開実用新案公報	1971-2016年									
日本国実用新案登録公報	1996-2016年									
日本国登録実用新案公報	1994-2016年									
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
X A A E, X	JP 2011-204878 A（ソニー株式会社）2011.10.13, 段落 [0138], 第36図 & US 2011/0234836 A1, 段落 [0281], 第36A図 & CN 102202189 A & KR 10-2011-0107750 A JP 2014-60519 A（ソニー株式会社）2014.04.03, 全文, 全図 & US 8785834 B2 & CN 103685999 A JP 2016-66766 A（ソニー株式会社）2016.04.28, 段落 [0033], 第5図（ファミリーなし）	1, 8 2-7 1-8 1, 8								
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。										
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献										
国際調査を完了した日 19.05.2016	国際調査報告の発送日 07.06.2016									
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 鈴木 明 電話番号 03-3581-1101 内線 3571	5V 9185								