



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0069664
(43) 공개일자 2011년06월23일

(51) Int. Cl.

H03K 21/10 (2006.01)

(21) 출원번호 10-2010-0014991

(22) 출원일자 2010년02월19일

심사청구일자 없음

(30) 우선권주장

12/640,004 2009년12월17일 미국(US)

(71) 출원인

엘에스아이 코포레이션

미국 캘리포니아 밀피타스 바어버 레인 1621 (우:95035)

(72) 별명자

스리아디브하트라 스리니바스

인도 방갈로르 - 560029 바네르그하타 로드 4 / 1
아이비씨 널리지 파크 '디' 블록 엘에스아이 테크놀로지스 인디아 피브이티. 엘티디. 4층

(74) 대리인

장훈

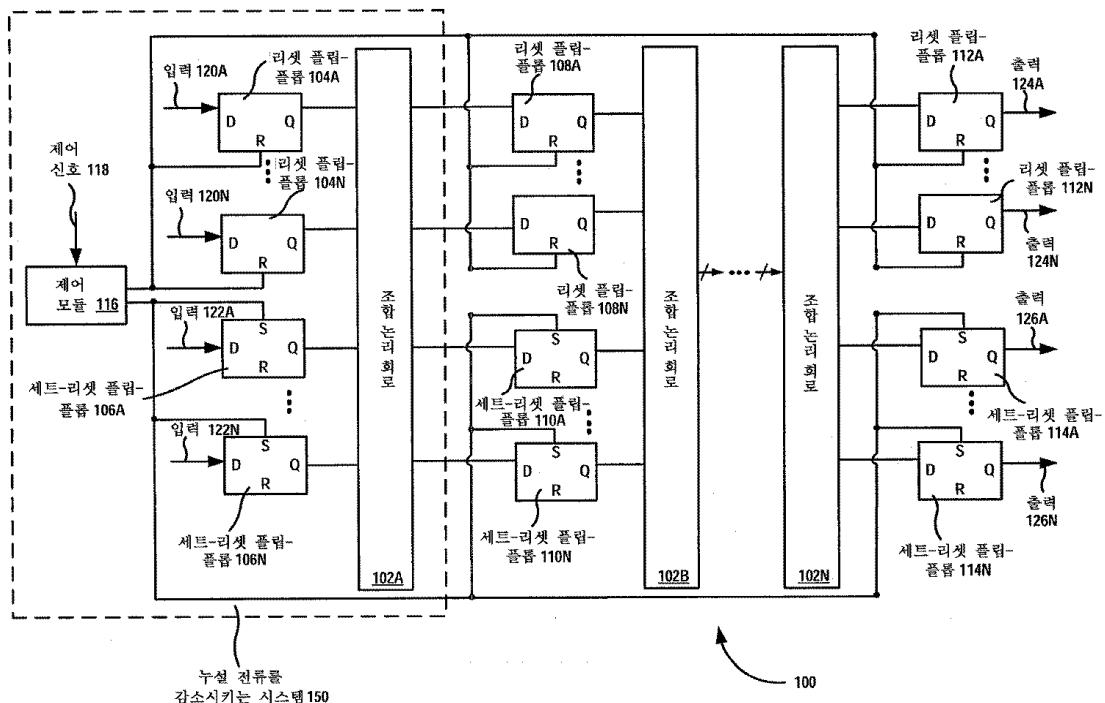
전체 청구항 수 : 총 20 항

(54) 순차 회로에서 누설 전류 감소

(57) 요 약

순차 회로에서 누설 전류를 감소시키기 위한 시스템 및 디바이스가 개시된다. 일 실시예에 따라, 시스템은 조합 논리 회로, 조합 논리 회로에 결합된 하나 이상의 리셋 플립-플롭들, 및 조합 논리 회로에 결합된 하나 이상의 세트-리셋 플립-플롭들을 포함한다. 시스템은 리셋 플립-플롭들 및 세트 플립-플롭들에 결합되고 순차 회로의 대기 모드가 트리거될 때 리셋 플립-플롭들을 리셋하고 세트-리셋 플립-플롭들을 세트하도록 구성된 제어 모듈을 더 포함한다.

대 표 도



특허청구의 범위

청구항 1

순차 회로에서 누설 전류를 감소시키는 시스템에 있어서:

조합 논리 회로;

상기 조합 논리 회로에 결합된 적어도 하나의 리셋 플립-플롭;

상기 조합 논리 회로에 결합된 적어도 하나의 세트-리셋 플립-플롭; 및

상기 적어도 하나의 리셋 플립-플롭 및 상기 적어도 하나의 세트 플립-플롭에 결합되고, 상기 순차 회로의 대기 모드가 트리거될 때 상기 적어도 하나의 리셋 플립-플롭을 리셋하고 상기 적어도 하나의 세트-리셋 플립-플롭을 세트하도록 구성된 제어 모듈을 포함하는, 누설 전류 감소 시스템.

청구항 2

제 1 항에 있어서,

상기 적어도 하나의 리셋 플립-플롭은 적어도 하나의 비동기 리셋 플립-플롭을 포함하고, 상기 적어도 하나의 세트-리셋 플립-플롭은 적어도 하나의 비동기 세트-리셋 플립-플롭을 포함하는, 누설 전류 감소 시스템.

청구항 3

제 1 항에 있어서,

상기 적어도 하나의 리셋 플립-플롭은 적어도 하나의 동기 리셋 플립-플롭을 포함하고, 상기 적어도 하나의 세트-리셋 플립-플롭은 적어도 하나의 동기 세트-리셋 플립-플롭을 포함하는, 누설 전류 감소 시스템.

청구항 4

제 1 항에 있어서,

상기 적어도 하나의 리셋 플립-플롭 및 상기 적어도 하나의 세트-리셋 플립-플롭은 상기 대기 모드 동안 상기 조합 논리 회로에 최소 누설 비트들(minimum leakage bits)을 공급하도록 구성되는, 누설 전류 감소 시스템.

청구항 5

제 4 항에 있어서,

상기 최소 누설 비트들은 상기 조합 논리 회로를 통해 최소 누설 전류를 제공하기 위해 이용되는, 누설 전류 감소 시스템.

청구항 6

제 4 항에 있어서,

상기 최소 누설 비트들은 입력 벡터 제어 방법을 이용하여 얻어지는, 누설 전류 감소 시스템.

청구항 7

제 1 항에 있어서,

상기 제어 모듈은:

상기 적어도 하나의 세트-리셋 플립-플롭에 결합된 OR 게이트; 및

상기 적어도 하나의 리셋 플립-플롭에 결합된 AND 게이트를 포함하는, 누설 전류 감소 시스템.

청구항 8

제 7 항에 있어서,

상기 OR 게이트는 상기 순차 회로의 상기 대기 모드가 트리거될 때 수신되는 활성 로우 슬립 신호(active low sleep signal)에 기초하여, 상기 적어도 하나의 세트-리셋 플립-플롭을 세트하도록 구성되는, 누설 전류 감소 시스템.

청구항 9

제 8 항에 있어서,

상기 OR 게이트는 제 1 입력 노드 및 제 2 입력 노드를 포함하고, 상기 OR 게이트는 상기 제 2 입력 노드를 통해 상기 활성 로우 슬립 신호를 반전 및 처리하도록 구성되는, 누설 전류 감소 시스템.

청구항 10

제 9 항에 있어서,

상기 OR 게이트는 상기 순차 회로의 활성 모드가 트리거될 때, 상기 제 2 입력 노드를 통해 하이 슬립 신호를 반전 및 처리하도록 구성되는, 누설 전류 감소 시스템.

청구항 11

제 7 항에 있어서,

상기 AND 게이트는 상기 순차 회로의 상기 대기 모드가 트리거될 때 수신되는 활성 로우 슬립 신호에 기초하여 상기 적어도 하나의 리셋 플립-플롭을 리셋하도록 구성되는, 누설 전류 감소 시스템.

청구항 12

제 11 항에 있어서,

상기 AND 게이트는 제 1 입력 단자 및 제 2 입력 단자를 포함하고, 상기 AND 게이트는 상기 제 1 단자를 통해 상기 활성 로우 슬립 신호를 처리하도록 구성되는, 누설 전류 감소 시스템.

청구항 13

제 12 항에 있어서,

상기 AND 게이트는 상기 순차 회로의 활성 모드가 트리거될 때 상기 제 1 입력 단자를 통해 하이 슬립 신호를 처리하도록 구성되는, 누설 전류 감소 시스템.

청구항 14

순차 회로에 있어서:

복수의 조합 논리 회로들;

상기 복수의 조합 논리 회로들의 각각에 결합된 적어도 하나의 리셋 플립-플롭;

상기 복수의 조합 논리 회로들의 각각에 결합된 적어도 하나의 세트-리셋 플립-플롭; 및

상기 적어도 하나의 리셋 플립-플롭 및 상기 적어도 하나의 세트-리셋 플립-플롭에 결합되고, 상기 순차 회로의 대기 모드가 트리거될 때 상기 적어도 하나의 리셋 플립-플롭을 리셋하고 상기 적어도 하나의 세트-리셋 플립-플롭을 세트하도록 구성된 제어 모듈을 포함하는, 순차 회로.

청구항 15

제 14 항에 있어서,

상기 적어도 하나의 리셋 플립-플롭 및 상기 적어도 하나의 세트-리셋 플립-플롭의 각각은 D형 플립-플롭에 기초하는, 순차 회로.

청구항 16

제 14 항에 있어서,

상기 적어도 하나의 리셋 플립-플롭은 적어도 하나의 비동기 리셋 플립-플롭을 포함하고, 상기 적어도 하나의 세트-리셋 플립-플롭은 적어도 하나의 비동기 세트-리셋 플립-플롭을 포함하는, 순차 회로.

청구항 17

제 14 항에 있어서,

상기 적어도 하나의 리셋 플립-플롭은 적어도 하나의 동기 리셋 플립-플롭을 포함하고, 상기 적어도 하나의 세트-리셋 플립-플롭은 적어도 하나의 동기 세트-리셋 플립-플롭을 포함하는, 순차 회로.

청구항 18

제 14 항에 있어서,

상기 제어 모듈은:

상기 적어도 하나의 세트-리셋 플립-플롭에 결합된 OR 게이트; 및

상기 적어도 하나의 리셋 플립-플롭에 결합된 AND 게이트를 포함하는, 순차 회로.

청구항 19

순차 회로를 포함하는 디바이스에 있어서:

상기 순차 회로는:

복수의 조합 논리 회로들;

상기 복수의 조합 논리 회로들의 각각에 결합된 적어도 하나의 리셋 플립-플롭;

상기 복수의 조합 논리 회로들의 각각에 결합된 적어도 하나의 세트-리셋 플립-플롭; 및

상기 적어도 하나의 리셋 플립-플롭 및 상기 적어도 하나의 세트-리셋 플립-플롭에 결합되고, 상기 순차 회로의 대기 모드가 트리거될 때 상기 적어도 하나의 리셋 플립-플롭을 리셋하고 상기 적어도 하나의 세트-리셋 플립-플롭을 세트하도록 구성된 제어 모듈을 포함하는, 디바이스.

청구항 20

제 19 항에 있어서,

상기 제어 모듈에 결합되어, 상기 순차 회로의 상기 대기 모드가 트리거될 때 슬립 신호를 전송하기 위한 전력 관리 유닛을 더 포함하는, 디바이스.

명세서

기술 분야

[0001] 본 발명의 실시예들은 전자 분야에 관한 것이다. 특히, 본 발명의 실시예들은 전자 디바이스들 및 시스템들의 전력 관리 유닛을 더 포함하는, 디바이스.

배경 기술

[0002] 누설 전류는 오프 상태에서 디바이스로부터 누설되는 작은 전류일 수 있으며, 디바이스의 반도체 특성들에 의해 유발된다. 예를 들면, 상보성 금속-산화물-반도체(CMOS) 회로들을 구성하는 트랜지스터들의 임계 전압, 채널 길이 및 게이트 산화물 두께가 디바이스를 스케일링 다운하기 위한 진행 결과들로 인해 계속 감소되고 있으므로, 심층-서브마이크로미터 방식들에서의 높은 누설 전류가 디바이스에서 CMOS 회로들의 전력 소실에 대한 상당한 기여자가 되고 있다.

[0003] 디바이스에는 3개의 주요 누설원들, 즉 하위 임계 누설(subthreshold leakage), 게이트 누설, 및 역 바이어스 정합 누설이 있을 수 있다. 하위 임계 누설은 약한 반전 영역에서 동작하는 트랜지스터의 드레인으로부터 소스로 흐르는 전류에 의해 유발될 수 있다. 게이트 누설은 게이트 산화물을 터널링 및 핫 캐리어(hot carrier) 주입으로 인해 게이트로부터 산화물을 통해 트랜지스터의 기판으로 흐르는 전류에 의해 유발될 수 있다. 역 바이어스

스 정합 누설은 트랜지스터의 소스 또는 드레인으로부터 역 바이어싱된 다이오드들을 통해 트랜지스터의 기판으로 흐르는 전류에 의해 유발될 수 있다. 트랜지스터의 스케일링 다운으로, 누설원들의 각각이 따라서 증가할 수 있고, 따라서 총 누설 전류의 증가를 유발한다.

[0004] 회로에서의 누설 전류의 크기는 주요 입력들에 인가되는 입력 벡터들에 의존할 수 있다. 또한, 회로의 논리 게이트들에 대한 상이한 입력 조합들 사이의 누설 전류비는 10만큼 높을 수 있다. 입력 벡터 제어 방법은 누설 전류를 감소시키는 기술이다. 예를 들면, 조합 논리 회로에 접속되는 다중 상태들의 플립-플롭들을 포함하는 순차 회로의 설계 동안, 조합 논리 회로에 대한 누설 전류 또는 누설 전력 소비를 감소시키는 최소 누설 비트들(MLB들: minimum leakage bits)은 순차 회로의 설계 단계 중에 계산될 수 있고 순차 회로의 제조 단계 중에 구현될 수 있다. MLB들은 그 후에, 누설 전류를 감소시키기 위해 순차 회로의 대기 모드(standby mode) 동안 조합 논리 회로에 인가될 수 있다.

발명의 내용

해결하려는 과제

[0005] 플립-플롭들에 대한 입력들이 순차 회로의 활성 모드 동안 조합 논리 회로에 공급될 수 있도록, 순차 회로에 멀티플렉서들을 추가함으로써 구현해낼 수 있다. 역으로, MLB들은 순차 회로의 대기 모드 동안 멀티플렉서들을 이용하여 조합 논리 회로에 공급될 수 있다. 조합 논리 회로를 통한 누설 전류가 이 방법에 따라 감소될 수 있지만, 멀티플렉서들의 추가는 순차 회로를 이용하는 디바이스의 상당한 면적을 써버릴 수 있고 및/또는 상당한 타이밍 오버헤드를 유발할 수 있다. 대안으로, MLB들이 대기 모드 동안 조합 논리 회로에 이용 가능하게 될 수 있도록, MLB들을 저장할 메모리가 디바이스에 구현될 수 있다. 이러한 방법은 멀티플렉서들을 이용하는 방법보다 영역 오버헤드를 감소시키는 점에서 더욱 효율적일 수 있지만, 메모리는 조합 논리 회로에 MLB들을 유지 및 이동시키는 상당한 전력을 소비할 수 있다.

과제의 해결 수단

[0006] 순차 회로에서 누설 전류를 감소시키는 시스템이 개시된다. 본 발명의 양태에 따라, 시스템은 조합 논리 회로, 조합 논리 회로에 결합된 하나 이상의 리셋 플립-플롭들, 및 조합 논리 회로에 결합된 하나 이상의 세트-리셋 플립-플롭들을 포함한다. 시스템은, 리셋 플립-플롭들 및 세트 플립-플롭들에 결합되고 순차 회로의 대기 모드가 트리거될 때 리셋 플립-플롭들을 리셋하고 세트-리셋 플립-플롭들을 세트하도록 구성된 제어 모듈을 더 포함한다.

[0007] 본 발명의 다른 양태에 따라, 순차 회로는 다수의 조합 논리 회로들, 조합 논리 회로들의 각각에 결합된 하나 이상의 리셋 플립-플롭들, 및 조합 논리 회로들의 각각에 결합된 하나 이상의 세트-리셋 플립-플롭들을 포함한다. 순차 회로는 또한, 리셋 플립-플롭들 및 세트-리셋 플립-플롭들에 결합되고 순차 회로의 대기 모드가 트리거될 때 리셋 플립-플롭들을 리셋하고 세트-리셋 플립-플롭들을 세트하도록 구성된 제어 모듈을 포함한다.

[0008] 본 발명의 또 다른 양태에 따라, 디바이스는 순차 회로를 포함하고, 상기 순차 회로는, 다수의 조합 논리 회로들, 조합 논리 회로들의 각각에 결합된 하나 이상의 리셋 플립-플롭들, 및 조합 논리 회로들의 각각에 결합된 하나 이상의 세트-리셋 플립-플롭들을 포함한다. 순차 회로는 또한, 리셋 플립-플롭들 및 세트-리셋 플립-플롭들에 결합되고 순차 회로의 대기 모드가 트리거될 때 리셋 플립-플롭들을 리셋하고 세트-리셋 플립-플롭들을 세트하도록 구성된 제어 모듈을 포함한다. 디바이스는 순차 회로의 대기 모드가 트리거될 때 슬립 신호를 전송하기 위해 상기 제어 모듈에 결합된 전력 관리 유닛을 더 포함한다.

[0009] 본 명세서에 개시된 시스템들 및 디바이스들은 다양한 양태들을 달성하기 위한 임의의 수단으로 구현될 수 있고, 다른 특징들은 첨부 도면들 및 다음의 상세한 기술로부터 명확할 것이다.

[0010] 다양한 양호한 실시예들이 도면들을 참조하여 본 명세서에 기술된다.

발명의 효과

[0011] 본 발명은 순차 회로에서 누설 전류를 감소시키는 시스템을 제공한다.

도면의 간단한 설명

[0012] 도 1은 일 실시예에 따라, 누설 전류를 감소시키는 시스템을 구비한 예시적인 순차 회로를 도시한 도면.

도 2a는 일 실시예에 따라, 도 1의 시스템의 예시적인 회로를 도시한 도면.

도 2b는 일 실시예에 따라, 도 2a의 회로의 동작을 도시하는 예시적인 테이블을 도시한 도면.

도 3a는 일 실시예에 따라, 도 1의 시스템의 다른 예시적인 회로를 도시한 도면.

도 3b는 일 실시예에 따라, 도 3a의 회로의 동작을 도시하는 예시적인 테이블을 도시한 도면.

도 4는 일 실시예에 따라, 도 1의 순차 회로를 구비한 예시적인 디바이스를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0013]

본 명세서에 기술된 도면들은 단지 예시를 위한 것일 뿐, 어떠한 방식으로도 본 개시내용의 범위를 제한하는 것으로 의도되지 않는다.

[0014]

순차 회로에서 누설 전류를 감소시키는 시스템들 및 디바이스들이 개시된다. 본 발명의 실시예들의 다음의 상세한 기술에서, 그 일부를 형성하는 첨부 도면들에 대한 참조가 이루어지고, 도면들에는 본 발명이 실시될 수 있는 특정 실시예들이 예의 방식으로 도시된다. 이를 실시예들은 본 기술분야의 통상의 지식을 가진 기술자가 본 발명을 실시할 수 있도록 충분히 상세히 기술되고, 다른 실시예들이 활용될 수 있다는 것과, 본 발명의 범위를 벗어나지 않고 변경들이 이루어질 수 있다는 것을 이해할 것이다. 따라서, 다음의 상세한 기술은 제한하는 관점으로 취해지지 않고, 본 발명의 범위는 첨부된 특허청구범위에 의해서만 규정된다.

[0015]

도 1은 일 실시예에 따라, 누설 전류를 감소시키는 시스템(150)을 구비한 예시적인 순차 회로(100)를 도시한다. 특히, 도 1은 파이프라인 형태의 순차 회로를 도시한다. 순차 회로(100)는 조합 논리 회로들(102A-N), 복수의 리셋 플립-플롭들(104A-N, 108A-N, 112A-N), 및 복수의 세트-리셋 플립-플롭들(106A-N, 110A-N, 114A-N)을 포함한다. 순차 회로(100)는 또한 제어 모듈(116)을 포함한다.

[0016]

조합 논리 회로들(102A-N)은 복수의 논리 게이트들(예를 들면, AND, OR, NAND, NOR 등)을 조합하여 형성된 회로들이 될 수 있고, 조합 논리 회로들(102A-N)에 결합된 플립-플롭들로부터 수신된 입력들(120A-N, 122A-N)에 대한 불 대수(boolean algebra)를 수행하도록 구성된다. 일 예시적인 구현에서, 리셋 플립-플롭들(104A-N, 108A-N, 112A-N) 및 세트-리셋 플립-플롭들(106A-N, 110A-N, 114A-N)은 D형 플립-플롭들일 수 있다. 또한, 리셋 플립-플롭들(104A-N, 108A-N, 112A-N) 및 세트-리셋 플립-플롭들(106A-N, 110A-N, 114A-N)은 비동기 또는 동기 형태가 될 수 있다.

[0017]

도시된 바와 같이, 리셋 플립-플롭들(104A-N) 및 세트-리셋 플립-플롭들(106A-N)은 조합 논리 회로(102A)에 결합된다. 또한, 리셋 플립-플롭들(108A-N) 및 세트-리셋 플립-플롭들(110A-N)은 조합 논리 회로(102A) 및 조합 논리 회로(102B)에 결합된다. 순차 회로(100)에서 2개의 인접한 조합 논리 회로들은 리셋 플립-플롭들 및 세트-리셋 플립-플롭들을 통해 접속되는 것을 유념할 수 있다. 또한, 도시된 바와 같이, 조합 논리 회로(102N)는 리셋 플립-플롭들(112A-N) 및 세트-리셋 플립-플롭들(114A-N)에 결합된다.

[0018]

제어 모듈(116)은 리셋 플립-플롭들(104A-N, 108A-N, 112A-N) 및 세트-리셋 플립-플롭들(106A-N, 110A-N, 114A-N)에 결합된다. 일 예시적 실시예에서, 제어 모듈(116)은 리셋 플립-플롭들(104A-N, 108A-N, 112A-N)에 결합된 OR 게이트와, 세트-리셋 플립-플롭들(106A-N, 110A-N, 114A-N)에 결합된 AND 게이트를 포함한다. 제어 모듈(116), 리셋 플립-플롭들(104A-N), 세트-리셋 플립-플롭들(106A-N) 및 조합 논리 회로(102A)가 누설 전류를 감소시키는 시스템(150)을 형성하는 것을 도 1로부터 알 수 있다. 순차 회로(100)가 조합 논리 회로에 결합된 다중 단계들의 입력 플립-플롭들과 제어 모듈(116)을 포함할 수 있다는 것을 안다.

[0019]

순차 회로(100)의 활성 모드 동안, 입력들(120A-N)은 리셋 플립-플롭들(104A-N)에 각각 공급된다. 또한, 입력들(122A-N)은 세트-리셋 플립-플롭들(106A-N)에 각각 공급된다. 입력들(120A-N, 122A-N)을 이용하여, 리셋 플립-플롭들(104A-N) 및 세트-리셋 플립-플롭들(106A-N)은 조합 논리 회로(102A)를 구동한다. 조합 논리 회로(102A)의 출력들은 조합 논리 회로(102B)를 구동하기 위해 리셋 플립-플롭들(108A-N) 및 세트-리셋 플립-플롭들(110A-N)에 저장되거나 유지된다. 여러 단계들의 플립-플롭들 및 조합 논리 회로들을 통해 진행한 후에, 출력들(124A-N, 126A-N)이 생성된다.

[0020]

순차 회로(100)의 대기 또는 슬립 모드(예를 들면, 또는 순차 회로(100)를 포함하는 디바이스)가 트리거될 때 (예를 들면, 제어 신호(118)를 수신할 때), 제어 모듈(116)은 리셋 플립-플롭들(104A-N, 108A-N, 112A-N)을 리셋하고 세트-리셋 플립-플롭들(106A-N, 110A-N, 114A-N)을 세트하도록 구성된다. 제어 신호(118)(예를 들면, 활성 로우 슬립 신호)는 순차 회로(100)의 대기 또는 슬립 모드가 트리거될 때 제어 모듈(116)에 의해 수신되어

처리될 수 있다. 순차 회로(100)가 다시 활성이 될 때, 제어 모듈(116)은 투명하고 리셋 및 세트 신호들을 플립-플롭들에 넘겨준다.

[0021] 본 발명의 실시예에 따라, 다음의 처리가 순차 회로(100)의 설계 동안에 이용될 수 있다. 순차 회로(100)를 설계하기 위하여, 동기화되고, 맵핑되고 타이밍 정지된 넷리스트(netlist)가 논리 합성 도구로부터 입력으로 취해진다. 모든 조합 논리 회로들(102A-N)에 대해, 최소 누설 비트들(MLB들)이 입력 벡터 제어 방법을 이용하여 계산되며, 이 방법은 본 기술분야의 통상의 지식을 가진 기술자에게 잘 알려져 있다. 그 후에, 논리값 '1'의 MLB를 유발하는 순차 회로(100)에서의 리셋 플립-플롭들은 세트-리셋 플립-플롭들(예를 들면, 세트-리셋 플립-플롭들(106A-N, 110A-N, 114A-N))로 대체된다. 리셋 플립-플롭들을 세트-리셋 플립-플롭들(106A-N, 110A-N, 114A-N)로 대체하기 위해, 리셋 플립-플롭들이 합성 처리에 앞서 활성 로우 리셋을 가진다고 가정한다.

[0022] 그 후에, 논리값 '0'의 MLB를 가진 리셋 플립-플롭들(예를 들면, 리셋 플립-플롭들(104A-N, 108A-N, 112A-N))의 리셋 핀들은 활성 로우 슬립 신호에 논리적으로 접속된다. 세트-리셋 플립-플롭들(106A-N, 110A-N, 114A-N)의 리셋 핀들의 접속은 변하지 않은 상태로 남아 있다는 것을 유념할 수 있다. 달리 말하면, 세트-리셋 플립-플롭들(106A-N, 110A-N, 114A-N)의 리셋 핀들은 리셋 신호에 접속된다. 또한, 세트-리셋 플립-플롭들(106A-N, 110A-N, 114A-N)의 세트 핀들이 함께 연결되어, 순차 회로(100)가 대기 모드에 들어갈 때 반전된 슬립 신호가 세트 핀들에 공급될 수 있다.

[0023] 그 후에, 정적 타이밍 분석(STA: static timing analysis)이 수정된 넷리스트에 대해 수행된다. 세트-리셋 플립-플롭들(106A-N, 110A-N, 114A-N)의 삽입에 의해 유발된 어떤 변형들의 경우에, 세트-리셋 플립-플롭들(106A-N, 110A-N, 114A-N)은 등가의 리셋 플립-플롭들에 의해 대체된다는 것을 유념할 수 있다. STA를 수행할 때, 수정된 넷리스트는 순차 회로(100)의 설계를 완료하기 위한 물리적 설계 도구에 공급된다. 최종적으로, 도 1에 도시된 바와 같은 순차 회로(100)가 얻어진다.

[0024] 도 2a는 일 실시예에 따라 도 1의 시스템(150)의 예시적인 회로(200)를 도시한다. 도시된 바와 같이, 회로(200)는 조합 논리 회로(202), 비동기 리셋 플립-플롭들(204A-N) 및 비동기 세트-리셋 플립-플롭들(206A-N)을 포함한다. 회로(200)는 또한, OR 게이트(208) 및 AND 게이트(210)를 포함한다. OR 게이트(208) 및 AND 게이트(210)는 함께 도 1의 제어 모듈(116)을 구성한다는 것을 안다.

[0025] 도 2a에서, 비동기 리셋 플립-플롭들(204A-N) 및 비동기 세트-리셋 플립-플롭들(206A-N)은 조합 논리 회로(202)에 결합된다. OR 게이트(208)의 출력은 비동기 세트-리셋 플립-플롭들(206A-N)에 결합된다. 또한, OR 게이트(208)는 제 1 입력 노드(214) 및 제 2 입력 노드(216)를 포함하며, 제 1 입력 노드(214)는 세트 신호(218)를 수신하도록 구성되고, 제 2 입력 노드(216)는 슬립 신호(220)를 수신하도록 구성된다. AND 게이트의 출력은 비동기 리셋 플립-플롭들(204A-N)에 결합된다. 또한, AND 게이트(210)는 제 1 입력 단자(222) 및 제 2 입력 단자(224)를 포함하고, 제 1 입력 단자(222)는 슬립 신호(220)를 수신하도록 구성되고, 제 2 입력 단자(224)는 리셋 신호(226)를 수신하도록 구성된다.

[0026] 도시된 바와 같이, 비동기 리셋 플립-플롭들(204A-N) 및 비동기 세트-리셋 플립-플롭들(206A-N)은 입력들(228)을 수신하도록 구성된다. 활성 모드 동안, 비동기 리셋 플립-플롭들(204A-N) 및 비동기 세트-리셋 플립-플롭들(206A-N)은 출력들(230)을 생성하기 위해 입력들(228)을 조합 논리 회로(202)에 공급한다. 그 후에, 출력들(230)은 순차 회로(100)의 후속 단계들에 입력들로서 공급된다. 대기 동작 모드 동안, 비동기 리셋 플립-플롭들(204A-N) 및 비동기 세트-리셋 플립-플롭들(206A-N)은 최소 누설 비트들(212)(예를 들면, 0 또는 1)을 조합 논리 회로(202)에 공급한다. 최소 누설 비트들(212)은 입력 벡터 제어 방법을 이용하여 얻어진다는 것을 안다. 또한, 최소 누설 비트들(212)은 대기 동작 모드 동안 조합 논리 회로(202)를 통해 최소 누설 전류를 제공하기 위해 이용된다는 것을 안다.

[0027] 도 2b는 일 실시예에 따라, 도 2a의 회로(200)의 동작을 도시하는 예시적인 테이블(250)을 도시한다. 테이블(250)은 3개 형태들의 신호(252)와 2개 형태들의 동작 모드(254)를 도시한다. 테이블(250)에 도시된 바와 같이, 회로(200)가 대기 모드(256)로 진입하도록 트리거될 때, OR 게이트(208)는 제 2 입력 노드(216)를 통해 활성 로우 슬립 신호(예를 들면, 논리값 '0'의)를 반전 및 처리하도록 구성된다. 따라서, OR 게이트(208)는 비동기 세트-리셋 플립-플롭들(206A-N)을 세트한다. 결과적으로, 비동기 세트-리셋 플립-플롭들(206A-N)은, 조합 논리 회로(202)를 통한 누설 전류가 최소가 되도록, 최소 누설 비트들(212)(예를 들면, 값 1의)을 조합 논리 회로(202)에 공급한다.

[0028] 또한, AND 게이트(210)는 비동기 리셋 플립-플롭들(204A-N)을 리셋하기 위해 제 1 입력 단자(222)를 통해 활성

로우 슬립 신호(220)(예를 들면, 논리값 '0'의)를 처리하도록 구성된다. 이것은, 조합 논리 회로(202)를 통한 누설 전류가 최소가 되도록, 비동기 리셋 플립-플롭들(204A-N)로 하여금 최소 누설 비트들(212)(예를 들면 값 0의)을 조합 논리 회로(202)에 공급하게 한다.

[0029] 활성 모드(258)가 트리거될 때, OR 게이트(208)는 제 1 입력 노드(214)를 통해 세트 신호(218)를 처리하고, 제 2 입력 노드(216)를 통해 하이 슬립 신호(220)(예를 들면, 논리값 '1'의)를 처리하도록 구성된다. 따라서, OR 게이트(208)는 세트 신호(218)를 비동기 세트-리셋 플립-플롭들(206A-N)에 넘겨준다. 또한, AND 게이트(210)는 제 1 입력 단자(222)를 통해 하이 슬립 신호(220)(예를 들면, 논리값 '1'의)를 처리하고 제 2 입력 단자(224)를 통해 리셋 신호(226)를 처리하도록 구성된다. 따라서, AND 게이트(210)는 리셋 신호(226)를 비동기 리셋 플립-플롭들(204A-N)에 넘겨준다. 즉, OR 게이트(208) 및 AND 게이트(210)를 포함하는 제어 모듈은 세트 신호(218) 및 리셋 신호(226)를 플립-플롭들에 넘긴 이후, 활성 모드(258) 동안 투명해진다. 따라서, 회로(200)의 활성 모드(258)가 트리거되고 세트 신호(218) 및 리셋 신호(226)가 존재하지 않을 때, 비동기 리셋 플립-플롭들(204A-N) 및 비동기 세트-리셋 플립-플롭들(206A-N)은 입력들(228)을 조합 논리 회로(202)에 공급한다. 결과적으로, 조합 논리 회로(202)는 순차 회로(100)의 후속 단계(들)에 제공될 출력들(230)을 생성한다.

[0030] 도 3a는 일 실시예에 따라 도 1의 시스템(150)의 예시적인 회로(300)를 도시한다. 도시된 바와 같이, 회로(300)는 조합 논리 회로(302), 동기 리셋 플립-플롭들(304A-N) 및 동기 세트-리셋 플립-플롭들(306A-N)을 포함한다. 회로(300)는 또한, OR 게이트(308) 및 AND 게이트(310)를 포함한다. OR 게이트(308) 및 AND 게이트(310)는 함께 도 1의 제어 모듈(116)을 구성한다는 것을 안다.

[0031] 도 3a에서, 동기 리셋 플립-플롭들(304A-N) 및 동기 세트-리셋 플립-플롭들(306A-N)은 조합 논리 회로(302)에 결합된다. OR 게이트(308)의 출력은 동기 세트-리셋 플립-플롭들(306A-N)에 결합된다. 또한, OR 게이트(308)는 제 1 입력 노드(314) 및 제 2 입력 노드(316)를 포함하며, 제 1 입력 노드(314)는 세트 신호(318)를 수신하도록 구성되고, 제 2 입력 노드(316)는 슬립 신호(320)를 수신하도록 구성된다. AND 게이트(310)의 출력은 동기 리셋 플립-플롭들(304A-N)에 결합된다. 또한, AND 게이트(310)는 제 1 입력 단자(322) 및 제 2 입력 단자(324)를 포함하고, 제 1 입력 단자(322)는 슬립 신호(320)를 수신하도록 구성되고, 제 2 입력 단자(324)는 리셋 신호(326)를 수신하도록 구성된다.

[0032] 도시된 바와 같이, 동기 리셋 플립-플롭들(304A-N) 및 동기 세트-리셋 플립-플롭들(306A-N)은 입력들(328)을 수신하도록 구성된다. 활성 모드 동안, 동기 리셋 플립-플롭들(304A-N) 및 동기 세트-리셋 플립-플롭들(306A-N)은 출력들(330)을 생성하기 위해 입력들(328)을 조합 논리 회로(302)에 공급한다. 그 후에, 출력들(330)은 순차 회로(100)의 후속 단계들에 입력들로서 공급된다. 대기 모드 동안, 동기 리셋 플립-플롭들(304A-N) 및 동기 세트-리셋 플립-플롭들(306A-N)은 최소 누설 비트들(312)(예를 들면, 0 또는 1)을 조합 논리 회로(302)에 공급한다. 최소 누설 비트들(312)은 입력 벡터 제어 방법을 이용하여 얻어진다는 것을 안다. 또한, 최소 누설 비트들(312)은 대기 동작 모드 동안 조합 논리 회로(302)를 통해 최소 누설 전류를 제공하기 위해 이용된다는 것을 안다.

[0033] 도 3b는 일 실시예에 따라, 도 3a의 회로(300)의 동작을 도시하는 예시적인 테이블(350)을 도시한다. 테이블(350)은 3개 형태들의 신호(352)와 2개 형태들의 동작 모드(354)를 도시한다. 테이블(350)에 도시된 바와 같이, 회로(300)의 대기 모드(356) 및 활성 모드(358) 동안 회로(300)의 동작은 테이블(250)에 도시된 회로(200)의 동작과 동일하므로, 그 기술은 생략된다.

[0034] 도 4는 일 실시예에 따라, 도 1의 순차 회로(100)를 가진 예시적인 디바이스(400)를 도시한다. 도 4에 도시된 바와 같은 디바이스(400)는 랩탑, 모바일 디바이스, 워크스테이션, 서버, 데스크탑 등과 같은, 순차 회로(100)를 이용하는 임의의 전자 디바이스가 될 수 있다. 도시된 바와 같이, 디바이스(400)는 제어 모듈(116)(예를 들면, 도 1에 도시된 바와 같이)을 가진 순차 회로(100)와 전력 관리 유닛(402)을 포함한다. 전력 관리 유닛(402)은 제어 모듈(116)에 결합된다. 일 예시적인 구현에서, 전력 관리 유닛(402)은 디바이스(400)의 대기 모드가 트리거될 때, 슬립 신호(404)(예를 들면, 활성 로우 슬립 신호)를 생성한다. 또한, 전력 관리 유닛(402)은 제어 모듈(116)에 슬립 신호(404)를 전송한다. 상술된 바와 같이, 제어 모듈(116)은, 조합 논리 회로들(102A-N)을 통한 누설 전류가 최소가 되도록, 슬립 신호(404)를 수신할 때 리셋 플립-플롭들(104A-N, 108A-N, 112A-N)을 리셋하고 세트-리셋 플립-플롭들(106A-N, 110A-N, 114A-N)을 세트한다.

[0035] 다양한 실시예들에서, 도 1 내지 도 4에 기술된 시스템들 및 디바이스들은, 순차 회로에서 상당한 수의 추가적 구성요소들(예를 들면, 멀티플렉서들, 논리 게이트들 등)을 이용하지 않고 MLB들에 기초하여 리셋 및 세트-리셋 플립-플롭들을 구현함으로써 순차 회로에서 누설 전류를 감소시키도록 도울 수 있다. 또한, 시스템들 및 디바이스들은 메모리에 MLB들을 저장할 필요성을 제거할 수 있다. 또한, 시스템들 및 디바이스들은 순차 회로가 대기

모드로 진입한 직후 클록을 차단하도록 허용할 수 있고, 따라서, 상당량의 동적 전력을 절감한다.

[0036] 본 실시예들이 특정 예시적인 실시예들을 참조하여 기술되었지만, 다양한 실시예들의 더욱 광범위한 기술사상 및 범주를 벗어나지 않고 이들 실시예들에 대한 다양한 수정들 및 변경들이 이루어질 수 있다는 것이 명백할 것이다. 예를 들면, 본 명세서에 기술된 다양한 디바이스들, 모듈들, 분석기들, 생성기들 등을 하드웨어 회로(예를 들면, 상보성 금속-산화물-반도체(CMOS) 기반 논리 회로), 펌웨어, 소프트웨어, 및/또는 하드웨어, 펌웨어, 및/또는 소프트웨어(예를 들면, 기계 판독 가능한 매체에서 구현됨)의 임의의 조합을 이용하여 가능하게 되고 동작될 수 있다. 예를 들면, 다양한 전기 구조 및 방법들은 트랜지스터들, 논리 게이트들, 및 전기 회로들(예를 들면, 주문형 반도체 회로(ASIC))을 이용하여 구현될 수 있다.

부호의 설명

118 : 제어 신호

116 : 제어 모듈

106A : 세트-리셋 플립-플롭

120A : 입력

104A : 리셋 플립-플롭

120N : 입력

104N : 리셋 플립-플롭

122A : 입력

122N : 입력

106N : 세트-리셋 플립-플롭

102A : 순차 논리 회로

108A : 리셋 플립-플롭

108N : 리셋 플립-플롭

110A : 세트-리셋 플립-플롭

110N : 세트-리셋 플립-플롭

102B : 순차 논리 회로

102N : 순차 논리 회로

112A : 리셋 플립-플롭

124A : 출력

112N : 리셋 플립-플롭

124N : 출력

126A : 출력

114A : 세트-리셋 플립-플롭

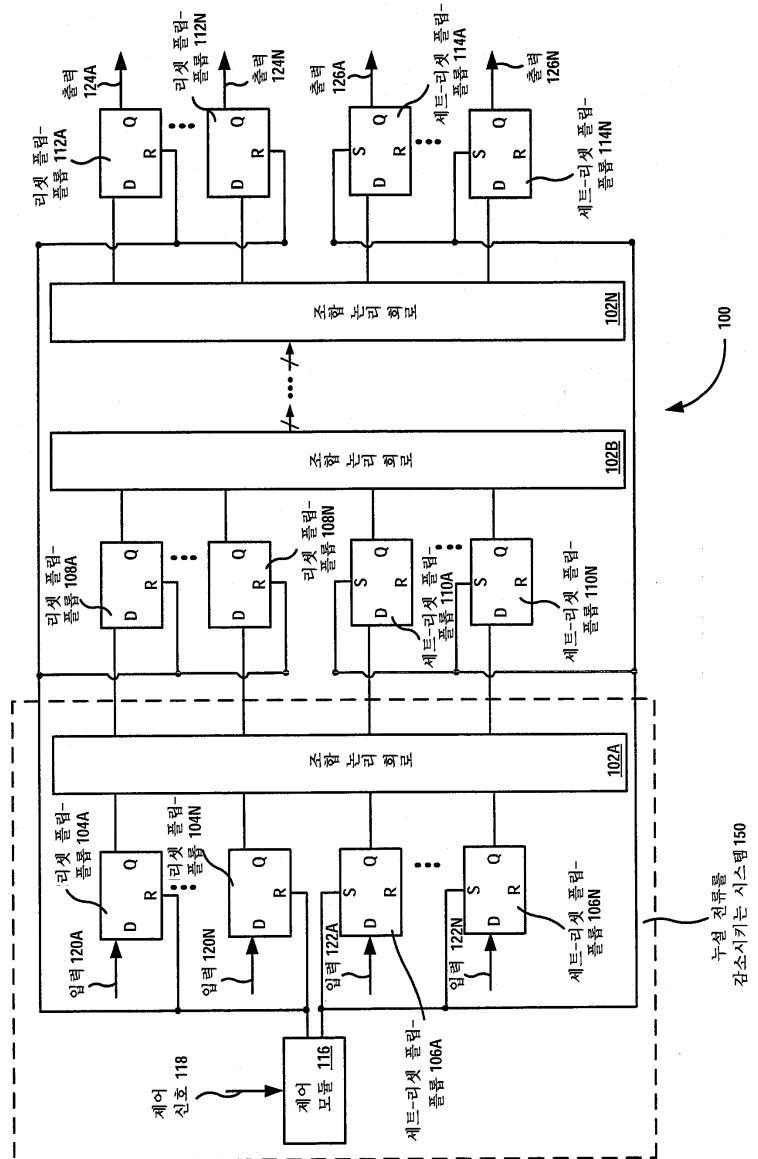
126N : 출력

114N : 세트-리셋 플립-플롭

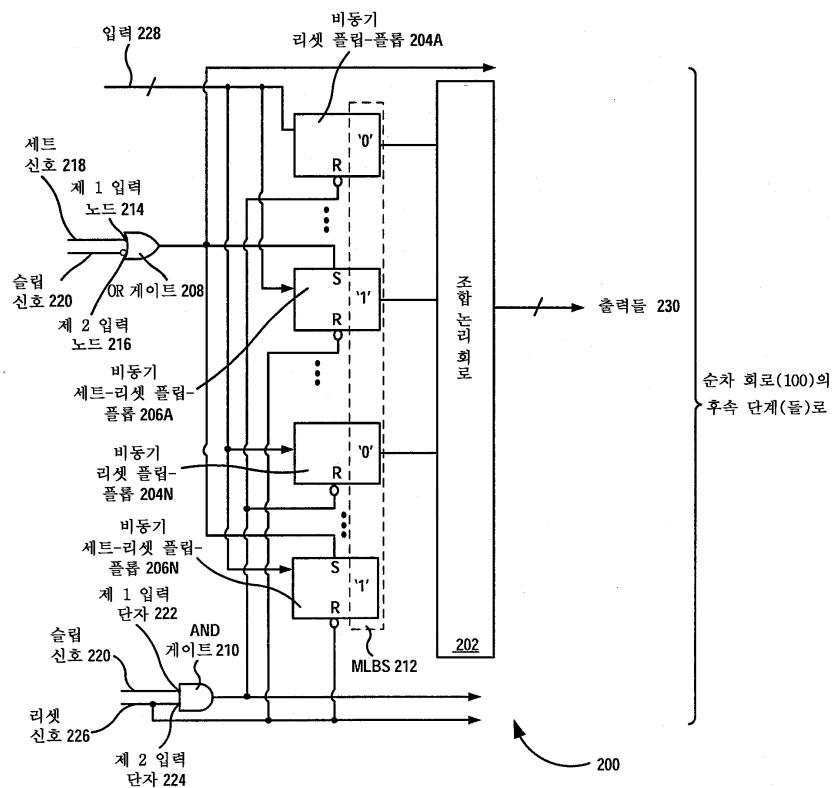
150 : 누설 전류를 감소시키는 시스템

도면

도면1



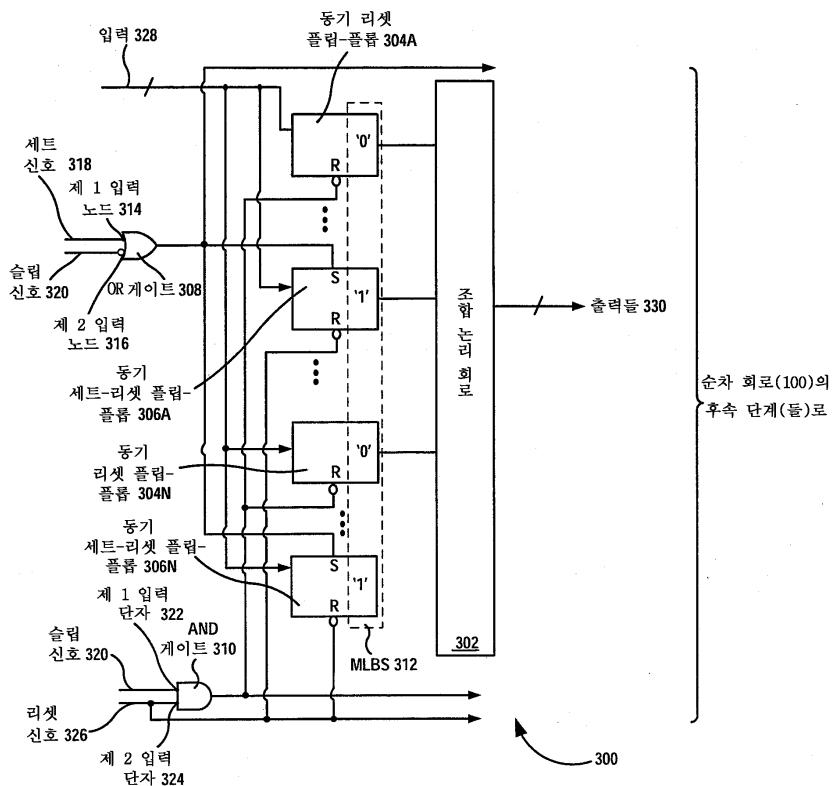
도면2a



도면2b

신호 <u>252</u>	슬립 신호 <u>220</u>	세트 신호 <u>218</u>	리셋 신호 <u>226</u>
동작 모드 <u>254</u>			
대기 모드 <u>256</u>	0	X	X
활성 모드 <u>258</u>	1	X	X

도면3a



도면3b

신호 <u>352</u> 동작 모드 <u>354</u>	슬립 신호 <u>320</u>	세트 신호 <u>318</u>	리셋 신호 <u>326</u>
대기 모드 <u>356</u>	0	X	X
활성 모드 <u>358</u>	1	X	X

도면4

