

(19) 대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl. 6
H01L 21/30

(45) 공고일자 2003년03월31일
(11) 등록번호 10 - 0372995
(24) 등록일자 2003년02월07일

(21) 출원번호 10 - 1995 - 0012833
(22) 출원일자 1995년05월23일

(65) 공개번호 특1995 - 0034543
(43) 공개일자 1995년12월28일

(30) 우선권주장 94 - 109474 1994년05월24일 일본(JP)

(73) 특허권자 히다치 가세고교 가부시끼가이샤
일본국 도쿄도 신주구구 니시신주구 2쵸오메 1반 1고

(72) 발명자 마쓰우라히데카즈
일본국도찌기켄오야마시나카꾸끼5 - 19 - 4
이와자끼요시히데
일본국이바라끼켄쓰꾸바시하나바따끼1 - 15 - 18히다찌가세이 - 시호 - 료

(74) 대리인 주성민

심사관 : 인치복

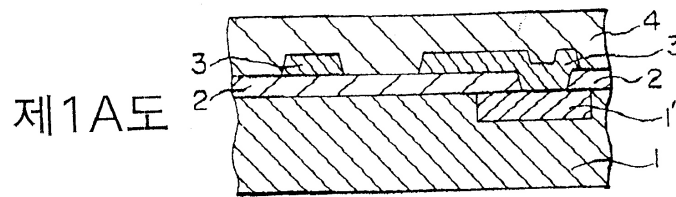
(54) 반도체기판위에목적하는패턴의수지막을형성하는방법,반도체칩,반도체패키지,및레지스트상박리액

요약

본 발명은 (1) (A) 반도체 기판 위에 유기 용제 가용성 수지막층을 형성시키는 단계; (B) 그 위에 목적하는 패턴의 레지스트상을 형성시키는 단계; (C) 유기 용제로 처리하여, 레지스트상으로 피복되지 않은 부분의 유기 용제 가용성 수지막층을 에칭·제거하는 단계; (D) 레지스트상 박리액으로 처리하여, 레지스트상을 유기 용제 가용성 수지막층으로부터 박리시키는 단계를 포함하는 반도체 기판 위에 목적하는 패턴의 수지막을 형성하는 방법을 제공한다.

또한, 본 발명은 이 방법의 단계(D) 후에, 알콜 처리 단계(E)를 더 포함하는 방법을 제공한다.

대표도



명세서

도면의 간단한 설명

제1 A도 내지 1D도는 본 발명의 대표적인 수지막 패턴 형성 공정을 설명하는 단면 모식도.

제1A도는 실리콘웨이퍼(1) 위에 제조한 회로 소자(1') 위에 무기 절연막(2) 및 알루미늄 배선(3)을 형성시킨 반도체 칩에 수지막층(4)를 형성시킨 것을 나타내는 단면도.

제1B도는 수지막층 위에 목적하는 패턴의 레지스트상 (5)를 형성시킨 것을 나타내는 단면도.

제1C도는 유기 용제로 수지막층을 에칭시킨 것을 나타내는 단면도.

제1D도는 레지스트상 박리액으로 처리하여 레지스트상을 제거한 것을 나타내는 단면도.

제2도는 반도체 칩이 리드 프레임에 대하여 하측에 위치하는 본 발명의 한 예의 반도체 패키지를 나타내는 단면 모식도.

제3도는 반도체 칩이 리드 프레임에 대하여 상측에 위치하는 본 발명의 다른 예의 반도체 패키지를 나타내는 단면 모식도.

제4도는 반도체 칩이 프레임의 상측에 위치하는 본 발명의 또 다른 예의 반도체 패키지를 나타내는 단면 모식도.

제5도는 제2도에 나타난 본 발명의 반도체 패키지에 있어서, 접착제(7)를 사용하지 않는 그 대신 반도체 칩 상의 수지막 패턴을 접착제로서 겸용하여, 반도체 칩과 리드 프레임을 접착한 반도체 패키지의 단면 모식도.

도면의 주요 부분에 대한 부호의 설명

1 : 실리콘 웨이퍼 2 : 무기 절연막

3 : 알루미늄 배선 4 : 수지막층

5 : 레지스트층 6 : 수지 패턴이 형성된 반도체 칩

7 : 접착제 8 : 리드 프레임

9 : 와이어 10 : 봉지재

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 기판 위에 목적하는 패턴의 수지막을 형성시키는 방법, 반도체 칩, 반도체 패키지, 및 레지스트상 박리액에 관한 것이다.

반도체 칩은 실리콘(Si) 웨이퍼, 비소화갈륨(GaAs) 웨이퍼 등의 기판 위에 트랜지스터, 다이오우드, 저항, 콘덴서와 같은 전자 회로를 구성하는 요소인 회로 소자를 제조하고, 또한 SiO_2 , Si_3N_4 , PSG(phospho silicate glass) 등의 무기 절연막, 알루미늄 등의 금속 배선을 형성한 반도체 기판에 배선의 외부 접속용 단자인 전극 부분 이외의 부분에 표면을 보호하기 위한 절연 수지막을 형성해서 제조한다.

이와 같은 반도체 기판의 전극 부분 이외의 부분에 형성된 표면을 보호하기 위한 절연 수지막을 본 발명에서는 수지막 패턴이라고 부른다. 종래, 수지막 패턴의 수지는 특정의 폴리이미드 수지가 사용되고 있다.

이러한 특정의 폴리이미드 수지를 사용하는 수지막 패턴을 폴리이미드 수지의 전구체인 폴리아미드산을 유기 용제에 용해하고, 실리콘 칩 등의 반도체 기판에 도포한 후, (a) 220 내지 350 °C에서 열처리하여 생성된 수지막층 위에 레지스트상의 형성시켜, 히드라진계 용액으로 처리하여 수지막을 에칭·제거하고, 이어서 페놀 화합물 함유 유기 용제계의 박리액을 사용하여 수지막으로부터 레지스트상을 박리하는 방법(예를 들면, 일본국 특개소 제53-53401호 공보), (b) 110 내지 160 °C에서 열처리하고, 그 수지막층 위에 레지스트상을 도포하여, 목적하는 패턴을 겹쳐서 노광한 후(미노광부가 레지스트상이 됨), 알칼리성 수용액으로 처리하여 노광부의 레지스트와 수지막을 동시에 에칭·제거하고, 이어서 용제로서 아세트산부틸 또는 셀로솔브류를 함유하는 레지스트상 박리액을 사용하여 수지막으로부터 레지스트상을 박리하는 방법(예를 들면, 일본국 특개소 평제5-218008호 공보) 등에 의해 형성되는 것이 알려져 있다.

상기 (a)의 방법과 (b)의 방법을 비교하면, (a)의 방법은 유해한 히드라진계 용액(에칭액) 및 페놀 화합물 함유 유기 용제(레지스트상 박리액)를 다량 사용한다는 결점이 있는 한편, (b)의 방법은 레지스트와 수지막을 동시에 에칭·제거할 수가 있고, 공정이 보다 단순하다는 등의 이점이 있기 때문에, 현재 주로 이용되고 있는 방법이다.

그러나, 상기 (b)의 방법은 수지막층의 에칭액으로 사용하고 있는 알칼리가 반도체 기판의 알루미늄 배선을 침해하는 난점이 있으므로, 에칭액에 알칼리를 사용하지 않는 방법, 즉 에칭액에 유기 용제를 사용하는 방법의 개발이 요망되고 있다.

또, 반도체 기판의 표면 위에 형성되는 수지막 패턴은 수지막 형성 온도의 저온화와 그 수지막 패턴의 내열성, 전기 특성, 흡습성 등의 특성 개선의 요구로 부터, 종래 사용되고 있는 유기 용제 불용성의 특정의 폴리이미드 수지에 대신하여, 유기 용제 가용성이 우수한 폴리이미드나 폴리아미드 또는 폴리술폰 등의 엔지니어링 플라스틱도 폭넓게 사용할 수 있는 방법의 개발도 요망되고 있다.

그러나, 수지막 패턴의 수지로서 유기 용제 가용성이 우수한 수지를 사용하고, 에칭액으로서 유기 용제를 사용했을 경우, 상기 (a) 및 (b)에서 사용되고 있는 어느 레지스트상 박리액을 사용하는 경우라도, 사용된 수지가 레지스트상 박리액의 유기 용제에 용해되어, 수지막 패턴을 형성시킬 수가 없다.

본 발명의 목적은 에칭액으로서 (알칼리를 사용하지 않고) 유기 용제를 사용하는 방법이며, 알루미늄 등의 금속 배선이 침해되는 걱정없이, 종래 사용되고 있는 폴리이미드 수지 이외에, 다른 유기 용제 가용성이 우수한 엔지니어링 플라스틱의 사용도 폭넓게 가능한, 반도체 기판 위에 수지막 패턴을 형성하는 방법, 반도체 칩, 반도체 패키지의 제조 방법 및 이에 사용되는 레지스트상 박리액을 제공하는 것이다. 본 발명의 제1의 발명은 다음 (1) 내지 (6)의 반도체 기판 위에 수지막 패턴을 형성하는 방법이다.

(1) (A) 반도체 기판 위에 유기 용제 가용성 수지막층을 형성시키는 단계; (B) 그 위에 목적하는 패턴의 레지스트상을 형성시키는 단계; (C) 유기 용제로 처리하여, 레지스트상으로 피복되지 않은 부분의 유기 용제 가용성 수지막층을 에칭·제거하는 단계; (D) 레지스트상 박리액으로 처리하여, 레지스트상을 유기 용제 가용성 수지막층으로부터 박리시키는 단계를 포함하는 반도체 기판 위에 목적하는 패턴의 수지막을 형성하는 방법.

(2) 상기 (1)의 방법에 있어서, 단계(D) 후에 알콜 처리 단계(E)를 더 포함하는 방법.

(3) 상기 (1)의 방법에 있어서, 레지스트상 박리액이 용매 100 중량부에 대하여 아릴 술폰산 0.01 내지 10.0 중량부를 포함하고, 용매의 파라미터가 5.0 내지 11.0인 방법.

(4) 상기 (3)의 방법에 있어서, 아릴 술폰산이 벤젠 술폰산, 톨루엔 술폰산, 크실렌 술폰산, 에틸벤젠 술폰산 및 프로필벤젠 술폰산으로 이루어진 군으로부터 선택된 1종 이상을 포함한 방법.

(5) 상기 (3)의 방법에 있어서, 용해성 파라미터가 5.0 내지 11.0인 용매가 크실렌, 시클로헥산, 톨루엔 및 벤젠으로 이루어진 군으로부터 선택된 1종 이상을 포함한 방법.

(6) 상기 (1)의 방법중 어느 하나의 방법에 있어서, 유기 용제 가용성 수지가 폴리아미드 수지인 방법.

본 발명에 있어서, 수지막 패턴을 형성시키는 반도체 기판은 실리콘(Si) 웨이퍼, 비소화갈륨(GaAs) 웨이퍼 등의 기판 위에 트랜지스터, 다이오우드, 저항 콘덴서와 같은 전자 회로를 구성하는 요소인 회로 소자를 제조하고, 또한 SiO_2 , Si_3N_4 , PSG (Phospho Silicate Glass) 등의 무기 절연막, 알루미늄 등의 금속 배선을 형성시킨 것이다. IC, LSI, VL SI 등이 포함된다.

반도체 기판 위에 유기 용제 가용성 수지 피막층을 생성시키기 위해서는 예를 들면 스핀 코팅에 의해, 또는 어플리케이터(applicator)나 닥터 블레이드를 사용하는 도공 방법에 의해, 또는 수지 와니스 중에 기판을 침지시킨 후 들어 올리는 방법 등에 의해, 수지 와니스를 기판에 도포한 후 이것을 가열하고, 유기 용제 가용성 수지층 중의 유기 용제를 휘산시켜서 수지막층으로 할 수 있다.

본 발명에서 사용되는 유기 용제 가용성 수지는 유기 용제에 가용성인 수지이면 특별히 제한은 없다. 예를 들면, 폴리아미드, 폴리아미드 등의 내열성 수지, 또는 그 이외에 폴리스폰, 폴리에테르스폰, 폴리페닐렌설파이드, 폴리에테르에테르 케톤, 폴리알라이트 등의 엔지니어링 플라스틱 등이 있으며, 바람직하게는 폴리아미드 또는 폴리아미드, 특히 바람직하게는 폴리아미드이다.

폴리아미드를 사용할 경우, 폐환된 폴리아미드이거나 전구체인 폴리아미드산일 수도 있다. 또한, 여기서 폴리아미드란 폴리아미드이미드, 폴리에스테르이미드 및 폴리에테르이미드 등의 이미드기를 갖는 수지도 포함한다.

본 발명에 있어서, 레지스트상이란 에칭액에 대하여 침식되지 않고 저항성을 갖는 재료로부터 형성된 층을 의미한다.

반도체 기판 위의 유기 용제 가용성 수지막층 위에 목적하는 패턴의 레지스트상을 형성시키는 방법은 여러가지 있으나, 통상은 유기 용제 가용성 수지막층 위에 레지스트상 형성용 재료 (본 명세서에서는 간단히 "레지스트" 라고도 부름)의 층을 생성시켜, 이것을 목적하는 패턴의 포토마스크를 통하여 노광한 후, 현상액으로 처리하여 형성시킨다.

상기 레지스트상 형성용 재료는 에칭액의 유기 용제에 대해 내성을 갖는 것이 요구되지만, 그 형태는 용액상, 페이스트상 또는 필름상의 어느 것이라도 사용된다. 그와 같은 레지스트상 형성용 재료로서는, 열경화성 또는 감광성의 레지스트 잉크 이외에 포토레지스트 등의 있으며, 이들은 네가티브형 레지스트 또는 포지티브형 레지스트 중 어느 것이나 좋다. 바람직하게는 염소화 폴리메틸스티렌, 폴리비닐신나메이트, 폴리에스테르 아크릴레이트, 폴리에폭시아크릴레이트, 폴리우레탄 아크릴레이트, 폴리에폭시와 오늄염의 혼합계, 폴리비닐페놀과 비스아지드의 혼합계, 폴리신남산 또는 환하고무와 비스아지드의 혼합계, 노볼락 수지와 디아조나프토퀴논과 헥사메톡시메틸멜라민의 혼합계의 네가티브 레지스트, 더욱 바람직하게는 고무와 비스아지드의 혼합계의 네가티브형 포토레지스트이다.

또한, 상기 노광후의 레지스트상의 현상에는 레지스트의 종류에 따라 적당한 현상액을 선택한다.

유기 용제 가용성 수지막층을 에칭하기 위해 사용하는 유기 용제는 수지막층을 용해할 수 있는 유기 용제이면 특별한 한정은 없다. 사용되는 유기 용제 가용성 수지의 종류에 따라 적절히 선택한다. 이와 같은 유기 용제로서는 예를 들면 N-메틸피롤리돈, N,N-디메틸포름아미드, 디메틸아세트아미드 등이 있다. 이들 유기 용제에 의해, 레지스트상으로 피복되지 않은 부분의 수지막층이 에칭되어 제거된다.

또, 노광후의 레지스트상의 현상과 수지막층의 에칭을 동일 유기 용제로 실시할 수 있을 경우에는, 이들을 동시에 실시하여도 좋다.

본 발명의 수지막 패턴을 형성하는 방법에 사용되는 레지스트상 박리액에 대해서는 후술하는 레지스트상 박리액을 사용한다.

레지스트상 박리액에 의한 처리는 레지스트상·수지막 함유 기판을 박리액중에 침지하거나, 이것에 레지스트상 박리액을 분무하는 것 등으로 처리된다. 이때 초음파를 병용하여도 좋다.

침지 또는 분무의 처리 온도는 사용되는 유기 용제가 액체 상태를 유지하는 온도가 되면 특별한 제한은 없다. 통상적으로는 실온에서부터 레지스트상 박리액 용매의 비점 이하의 범위에서 실시한다. 침지 또는 분무 등의 처리 시간은 레지스트상이 수지막으로부터 박리하는데 충분한 시간이면 된다. 통상은 수 초 내지 수 시간이다.

상기 침지 또는 분무 등의 처리에 계속하여, 이것을 알콜계 용제 중에 침지하거나, 또는 알콜계 용제를 분무하는 등의 처리를 하면, 레지스트상을 수지막으로부터 용이하게 완전히 제거할 수 있다.

여기서 적당한 알콜계 용제로서는 메탄올, 에탄올, 프로판올, 이소프로판올, 부탄올, 메틸셀로솔브, 셀로솔브 및 부틸셀로솔브 등이 있다.

알콜계 용제에 의한 처리 온도는 사용되는 용제가 액체 상태를 유지하는 온도이면 특별한 제한은 없으나, 통상적으로는 실온에서 실시한다. 침지 시간은 레지스트상이 수지막으로부터 완전히 분리하는데 충분한 시간, 통상 수 초 내지 수 시간이다. 알콜계 용제중에 침지시키는 대신에, 브러시 등으로 문지르더라도 레지스트상을 제거할 수 있으나, 대량 처리에는 적절하지 못하다.

레지스트상 박리액에 의한 처리, 또는 그 다음에 계속되는 알콜에 의한 처리 후, 실온에서 건조시키거나 또는 가열하여 건조시켜서, 수지막 패턴이 형성된 반도체 칩을 얻는다.

제1도에는 본 발명의 대표적인 반도체 기판 위에 수지막 패턴을 형성하는 방법의 공정을 단면 모식도에 의해 표시하였다.

A는 실리콘 웨이퍼(1) 위에 제조된 회로 소자(1')의 무기 절연막(2) 및 알루미늄 배선(3)을 형성시킨 반도체 칩에 수지막층(4)를 형성시킨 것을 나타내는 단면도이고,

B는 그 위에 목적하는 패턴의 레지스트상(5)를 형성시킨 것을 나타내는 단면도이고,

C는 레지스트상으로 피복되지 않은 수지막층을 유기 용제로 에칭·제거시킨 것을 나타내는 단면도이고,

D는 레지스트상 박리액으로 처리하여 레지스트상을 제거한 것을 나타내는 단면도이다.

본 발명의 수지막 패턴이 형성된 반도체 칩은 상기의 어느 한 방법에 의해 반도체 기판 위에 목적하는 패턴의 수지막을

형성시켜 제조한다. 본 발명의 반도체 패키지는 수지막 패턴이 형성된 반도체 칩과 리드 프레임을 접착하고, 반도체 칩의 전극과 리드 프레임을 금속선 등의 와이어로 접속 (와이어 본딩)시킨 후, 반도체 칩, 반도체 칩과 리드 프레임의 접착부 및 와이어 접속부를 봉지재로 봉지하여 제조할 수 있다. 반도체 칩과 리드 프레임의 접착에는 반도체 기판 위에 형성된 수지막 패턴을 겸용해서 이용할 수 있고, 또한 테이프상 접착제 등의 접착제를 사용할 수 있다. 이때 사용되는 봉지재는 특히 내습성이 양호한 것이 바람직하다.

상기와 같이 하여 제조되는 반도체 패키지의 예를 제2도 내지 5도에 단면 모식도를 표시하였다. 제2도 내지 5도에 있어서의 수지막 패턴이 형성된 반도체 칩 (6)은 제1D도에 대응하는 것이다.

제2도는 반도체 칩이 리드 프레임에 대하여 하측에 위치하는 반도체 패키지, 제3도는 반도체 칩이 리드 프레임에 대하여 상측에 위치하는 반도체 패키지, 제4도는 반도체 칩이 리드 프레임의 상측에 위치하는 반도체 패키지를 각각 나타낸다.

또한, 제2도의 반도체 패키지에서와 같이 접착제(7)를 사용하지 않고, 그 대신 반도체 칩 위의 수지막 패턴을 접착제로서 병용하여, 반도체 칩과 리드 프레임을 접착하여 반도체 패키지로 하는 것도 가능하며, 이와 같이 하여 제조되는 반도체 패키지의 단면 모식도를 제5도에 표시하였다.

본 발명의 제3의 발명은 다음의 레지스트상 박리액이다.

(i) 용매 100 중량부에 대하여 아릴 술폰산을 0.01 내지 10.0 중량부 포함하고, 또한 그 용매는 용해성 파라미터가 5.0 내지 11.0인 레지스트상 박리액.

(ii) 아릴술폰산이 벤젠술폰산, 톨루엔술폰산, 크실렌술폰산, 에틸벤젠술폰산 및 프로필벤젠술폰산으로 이루어진 군으로부터 선택된 1종 이상을 포함하는 것인 상기(i)의 레지스트상 박리액.

(iii) 용해성 파라미터가 5.0 내지 11.0인 용매가 크실렌, 시클로헥산, 톨루엔 및 벤젠으로 이루어진 군으로부터 선택되는 1종 이상을 포함하는 용매인 상기 (i)의 레지스트상 박리액.

(iv) 아릴 술폰산이 벤젠술폰산, 톨루엔술폰산, 크실렌술폰산, 에틸벤젠술폰산 및 프로필벤젠술폰산으로 이루어진 군으로부터 선택되는 1종 이상을 포함하고, 용해성 파라미터가 5.0 내지 11.0인 용매가 크실렌, 시클로헥산, 톨루엔 및 벤젠으로 이루어지는 군으로부터 선택되는 1종 이상을 포함하는 것인 상기 (i)의 레지스트상 박리액.

본 발명의 레지스트상 박리액은 용매 100 중량부에 대하여 박리 조제인 아릴 술폰산을 0.01 내지 10.0 중량부 포함하고, 용매의 용해성 파라미터가 5.0 내지 11.0인 것을 사용한다.

아릴 술폰산은 예를 들면 벤젠술폰산, 톨루엔술폰산, 크실렌술폰산, 에틸벤젠술폰산, 프로필벤젠술폰산, 헥실벤젠술폰산, 옥틸벤젠술폰산, 데실벤젠술폰산, 도데실벤젠술폰산 등이 있으며, 바람직하게는 벤젠술폰산, 톨루엔술폰산, 크실렌술폰산, 에틸벤젠술폰산, 프로필벤젠술폰산이며, 더욱 바람직하게는 톨루엔술폰산이다.

아릴 술폰산의 사용량은 레지스트상 박리액의 유기 용제 100 중량부에 대하여 0.01 내지 10.0 중량부, 바람직하게는 0.01 내지 5.0 중량부, 더욱 바람직하게는 0.05 내지 3.0 중량부, 특히 바람직하게는 0.1 내지 1.0 중량부이다. 10.0 중량부를 초과하면 레지스트상 박리액이 물을 흡수했을 경우, 액성이 강산성이 되어 금속을 부식하는 우려가 있으며, 0.01 중량부 미만이면 박리 능력이 저하한다.

레지스트상 박리액 중의 아릴 술폰산의 농도는 종래의 레지스트상 박리액에서 사용되는 농도보다 상당히 소량으로도 유효(박리가 가능)하다는 점이 특징적이다.

본 발명의 레지스트상 박리액의 용매로서 사용되는 유기 용제는 반도체 기판 위에 생성시킨 수지막층을 침해하지 않는 유기 용제 중에서 바람직한 것을 선택한다. 그와 같은 유기 용제는 바람직하게는 용해성 파라미터가 5.0 내지 11.0인 단일 용제, 또는 용해성 파라미터가 5.0 내지 11.0이 되도록 혼합된 혼합 용제이다.

상기 용해성 파라미터의 바람직한 범위는 사용되는 유기 용제 가용성 수지의 종류에 따라 변동하므로, 그 종류에 따라 적절히 바람직한 범위를 선택한다.

사용하는 유기 용제 가용성 수지가 폴리아미드 수지인 경우, 레지스트상 박리액의 용매로서 사용되는 유기 용제의 용해성 파라미터는 5.0 내지 11.0, 더욱 바람직하게는 6.0 내지 10.0, 특히 바람직하게는 6.5 내지 10.0이 되도록 한다. 이와 같은 유기 용제로서는 예를 들면 크실렌(용해성 파라미터: 8.8), 시클로헥산(용해성 파라미터 : 8.3), 벤젠 (용해성 파라미터 : 9.2), 톨루엔 (용해성 파라미터: 8.9) 또는 이것들을 1개 이상 포함한 혼합액 등이 있으며, 보다 바람직하게는 크실렌, 시클로헥산 또는 이들을 1개 이상 포함한 혼합액이다.

또, 용해성 파라미터는 용해도 계수라고도 말하며, E/V (여기서, E는 액체의 분자 응집 에너지이고, V는 분자 용적이다)의 평방근으로 주어지는 액체의 특성치이며, 그 값은 용제 핸드 북(아사하라 외 편집, 고오단샤 사이언티픽) 등에 기재되어 있다. 또, 혼합액의 용해성 파라미터는 본 명세서에서는 각각의 유기 용제의 용해성 파라미터에 중량 분율을 곱하고, 이들을 합해서 산출한다.

레지스트상 박리액에 사용되는 유기 용제의 용해성 파라미터가 5.0 미만이거나, 또는 11.0을 초과하면, 수지막으로부터의 레지스트상의 박리가 곤란해진다.

아릴 술폰산이 레지스트상 박리액의 용매중에 용해하기 어려운 경우에는, 수지를 침해하지 않고 용매의 용해성 파라미터가 5.0 내지 11.0의 범위를 초과하지 않는 정도로 아릴 술폰산을 잘 용해하는 다른 유기 용제를 첨가하여도 좋다.

본 발명의 레지스트상 박리액은 신규 조성물이며, 이로 인해 에칭액에 알칼리를 사용하지 않고 유기 용제를 사용하여, 종래의 사용되고 있는 폴리아미드 수지 이외에 유기 용제 가용성이 우수한 다른 수지를 사용하는 것도 가능한, 반도체 기판 위에 수지막 패턴을 형성하는 방법, 및 그 방법을 이용함으로써 신뢰도가 높은 반도체 칩, 반도체 패키지를 제공하는 것이 가능해졌다.

그러나, 본 발명의 레지스트상 박리액은 반도체 기판 위에 형성되는 수지막 패턴에 한정시켜 사용되는 것은 아니다. 본 발명의 레지스트상 박리액과 상기한 바와 같은 유기 용제 가용성이 우수한 수지 및 범용의 유기 용제를 에칭액이 되도록 조합하여, 여러가지 기판, 예를 들면 구리, 철, 알루미늄, 42 합금 등의 금속 판; 유리 기판, 알루미늄 기판, 질소화 규소 기판 등의 세라믹 기판; 유리 에폭시 기판, 종이 페놀 기판 및 유리 폴리아미드 기판 등의 배선판용 기판 등의 기판 위에 배선 표면의 보호, 절연 또는 접착 등을 위한 수지막 패턴을 형성시킬 때에도 유용하게 사용된다.

실시예

다음에, 본 발명을 실시예로서 구체적으로 설명한다.

실시예 1

반도체 기판(기판 : 실리콘 웨이퍼) 위에 무수 트리멜리트산 및 2,2-비스 [4 - (4 - 아미노페녹시)페닐]프로판(BAPP)으로 이루어진 폴리아미드이미드의 N-메틸피롤리돈 와니스를 스핀 코팅에 의해 20 μm (건조 후의 막 두께)의 두께로 도포하고, 100 $^{\circ}\text{C}$ 에서 30분간 건조했다.

이 폴리아미드이미드 위에, 네가티브형 포토레지스트 OMR-85 (코코 오파고요고(주)제)을 스핀 코팅에 의해 1 μm (건조 후의 막 두께)의 두께로 도포하고, 90 $^{\circ}\text{C}$ 에서 20분간 건조하여 레지스트막을 형성하였다.

이 레지스트 위에 선형 패턴의 포토마스크를 놓고, 노광하여, OMR 현상액 SL 을 사용하여 현상하고, OMR 세척액으로 세척하여 순수한 물로 세정한 후, 140 $^{\circ}\text{C}$ 에서 20분간 건조시켜 레지스트상을 형성하였다.

에칭액으로서 N-메틸피롤리돈을 사용하여, 50 °C에서 5분간 침지시킨 후, 회전 건조시키고, 다시 100 °C에서 30분간 건조시켰다. 크실렌(용해성 파라미터 : 8.8) 100 중량부에 대해서 파라톨루엔술폰산 0.5 중량%를 함유하는 용액을 레지스트상 박리액으로 하여, 80 °C에서 10분간 침지시킨 후, 이소프로판올 중에서 실온에서 30초간 침지하여 레지스트상의 박리를 완료시켰다. 그 후, 200 °C에서 30분간 건조시켜, 잔존 용제를 제거하였다.

폴리아미드이미드 피막의 패턴은 포토마스크대로 형성되고, 또한 레지스트상 박리액에 의한 수지 표면의 거칠함이나 막의 얇아짐 등은 관찰되지 않았다.

실시예 2

파라톨루엔술폰산 3 중량부를 용해 보조를 위한 메틸셀로솔브(용해성 파라미

터: 11.4) 25 중량부와 크실렌(용해성 파라미터 : 8.8) 75 중량부의 혼합액 (용해성 파라미터 : 9.5)에 용해하고, 이것을 레지스트상 박리액으로 한 것 이외는 실시예 1과 동일하게 실시하여 반도체 기판(기판: 실리콘 웨이퍼) 위에 수지막 패턴을 형성시켰다.

이 폴리아미드이미드 피막을 관찰한 결과, 포토마스크대로의 패턴이 형성되고, 또한 이 레지스트상 박리액에 의한 수지 표면의 거칠함이나 막의 얇아짐 등은 없었다.

실시예 3

반도체 기판(기판 : 배선된 실리콘 웨이퍼) 위에, 비스페놀 A비스트리멜리테이트 이무수물(BABT) 및 4,4' - 디아미노 - 3,3',5,5' - 테트라에틸디페닐메탄(TEDDM)으로 이루어진 폴리아미드의 N-메틸피롤리돈 와니스를 스핀 코팅에 의해 10 μm의 두께로 도포한 후, 100 °C로 30분간 건조했다.

이 폴리아미드 위에, 네가티브형 포토레지스트 OMR - 83 (도쿄 오카고오교(주) 제)를 스핀 코팅에 의해 1 μm의 두께로 도포한 후, 90 °C에서 20분간 건조하여, 레지스트막을 형성하였다.

이 레지스트 위에, 선형 패턴의 포토마스크를 놓고, 노광한 후, OMR 현상액 SL을 사용하여 현상하고, OMR 세척액으로 세척하여, 순수한 물로 세정한 후, 140 °C에서 20분간 건조시켜 레지스트상을 형성하였다.

에칭액으로서 N,N - 디메틸포름아미드를 사용하여, 30 °C에서 5분간 침지한 후, 100 °C에서 30분간 건조하였다. 파라톨루엔술폰산 0.5 중량부를 시클로헥산(용해성 파라미터 : 8.3)과 이소프로판올(용해성 파라미터 : 11.5)의 90:10 (중량비) 혼합액(용해성 파라미터 : 8.6) 100 중량부에 용해시킨 액을 레지스트상 박리액으로하여, 이것에 60 °C에서 10분간 침지시킨 후, 실온에서 1분간 이소프로판올에 침지하여, 레지스트상의 박리를 완료시켰다. 그 후, 200 °C에서 30분간 건조하여 잔존 용제를 제거하였다.

이 폴리아미드 피막을 관찰한 결과, 포토마스크 대로 패턴이 형성되고, 또한 이 레지스트상 박리액에 의한 수지 표면의 거칠함이나 막의 얇아짐 등은 없었다.

실시예 4

반도체 기판(기판: 실리콘 웨이퍼) 위에, 2,2 - 비스프탈산헥사플루오로이소프로피리딘 이 무수물(6FDA) 및 4,4' - 디아미노 - 3,3',5,5' - 테트라이소프로필디페닐메탄(IPDDM)으로 부터 이루어진 폴리아미드의 N-메틸피롤리돈 와니스를 스핀 코팅에 의해 10 μm의 두께로 도포한 후, 120 °C에서 30분간 건조하였다.

이 폴리아미드 위에, 네가티브형 포토레지스트 OMR - 85 (도쿄 오카고오교 (주)제)를 스핀 코팅에 의해 1 μm의 두께로 도포한 후, 90 °C에서 20분간 건조하여 레지스트의 막을 형성하였다.

이 레지스트 위에 선형 패턴의 포토마스크를 놓고, 노광한 후, 크실렌과 헵탄의 혼합액을 사용하여 레지스트의 현상과 동시에 수지의 에칭도 실시하고, 140 °C에서 30분간 건조시켰다. 파라톨루엔술포산 0.5 중량부를 시클로헥산과 이소프로판올의 90:10 (중량부) 혼합액(용해성 파라미터 : 8.6)에 용해하고, 이것을 레지스트상 박리액으로하여 60 °C에서 10분간 침지시킨 후, 실온에서 이소프로판올 중에 1분간 침지하여 레지스트상의 박리를 완료하였다. 그 후, 200 °C에서 30분간 건조시켜 잔존 용제를 제거하였다.

이 폴리이미드 피막을 관찰한 결과, 포토마스크 대로 패턴이 형성되고, 또한 이 레지스트상 박리액에 의한 수지 표면의 거칠함이나 막의 얇아짐 등은 없었다.

비교예 1

레지스트상 박리액으로서 아릴 술포산을 포함하지 않은 크실렌(용해성 파라미터 : 8.8)을 사용한 것 이외는, 실시예 1과 동일하게 실시하여 반도체 기판(기판: 실리콘 웨이퍼) 위에 수지막 패턴을 형성시켰다. 레지스트상은 수지막으로부터 박리되지 않았다.

비교예 2

레지스트상 박리액으로서 아릴 술포산을 포함하지 않은 시클로헥산(용해성 파라미터 : 8.3)을 사용한 것 이외는, 실시예 3과 동일하게 실시하여 반도체 기판(기판: 실리콘 웨이퍼) 위에 수지막 패턴을 형성시켰다. 레지스트상은 수지막으로부터 박리되지 않았다.

비교예 3

레지스트상 박리액으로서 아릴 술포산을 포함하지 않은 이소프로판올 (용해성 파라미터: 11.5)을 사용한 것 이외는 실시예 3과 동일하게 실시하여 반도체 기판(기판: 실리콘 웨이퍼) 위에 수지막 패턴을 형성시켰다. 레지스트상은 수지막으로부터 박리되지 않았다.

비교예 4

파라톨루엔술포산 3중량% 함유 이소프로판올 (용해성 파라미터: 1.5)을 레지스트상 박리액으로 사용하고, 침지 온도 및 침지 시간을 70 °C 및 20분간으로 한것 이외는 실시예 1과 동일하게 실시하여 반도체 기판(기판: 실리콘 웨이퍼) 위에 수지막 패턴을 형성시켰다. 레지스트상은 수지막으로부터 박리되지 않았다.

본 발명의 방법에 따르면, 유기 용제 가용성 수지를 폭넓게 사용하여, 반도체 기판 위에 수지막 패턴을 형성할 수 있다. 또한, 이 방법은 에칭액에 (알칼리를 사용하지 않음) 유기 용제를 사용하고 있으므로, 배선을 부식시킬 우려가 없다.

본 발명의 반도체 칩 및 반도체 패키지는 신뢰성이 높다.

본 발명의 레지스트상 박리액은 신규 조성물로서, 이것을 사용하여 본 발명의 수지막 패턴 형성 방법이 가능해진다. 또, 이 레지스트상 박리액은 반도체 기판 위 뿐만 아니라, 배선판용 기판 등의 배선 표면의 보호 및 절연, 또는 접착 등을 위한 수지막 패턴의 형성에도 유용하다.

(57) 청구의 범위

청구항 1.

(A) 배선된 반도체 기판 위에 유기 용제 가용성 수지막층을 생성시키는 단 계,

(B) 그 위에 목적하는 패턴의 레지스트상(像)을 형성시키는 단계;

(C) 유기 용제로 처리하여, 레지스트상으로 피복되지 않은 부분의 유기 용제 가용성 수지막층을 에칭·제거하는 단계 ;

(D) 레지스트상 박리액으로 처리하여, 웨지스트상을 유기 용제 가용성 수지막층으로부터 박리시키는 단계를 포함하는 반도체 기판 위에 목적하는 패턴의 수지막을 형성하는 방법.

청구항 2.

제1항에 있어서, 상기 단계 (D) 처리 후, 알콜 처리 단계(E)를 더 포함하는 방법.

청구항 3.

제1항 또는 2항에 있어서, 레지스트상 박리액이 용매 100 중량부에 대하여 아릴술폰산 0.01 내지 10.0 중량부를 포함하고, 용매의 용해성 파라미터가 5.0 내지 11.0인 방법.

청구항 4.

제3항에 있어서, 아릴술폰산이 벤젠술폰산, 톨루엔술폰산, 크실렌술폰산, 에틸벤젠술폰산 및 프로필벤젠술폰산으로 이루어진 군으로부터 선택된 1종 이상을 포함하는 것인 방법.

청구항 5.

제3항에 있어서, 용해성 파라미터가 5.0 내지 11.0인 용매가 크실렌, 시클로헥산, 톨루엔 및 벤젠으로 이루어진 군으로부터 선택된 1종 이상을 포함하는 것인방법.

청구항 6.

제1항 또는 제2항에 있어서, 유기 용제 가용성 수지가 폴리이미드 수지인 방법.

청구항 7.

배선된 반도체 기판 위에 제1항 또는 제2항의 방법에 의해 목적하는 패턴의 수지막을 형성시키고, 이 수지막 패턴이 부착된 반도체 칩을 봉지재로 봉지하여 이루어진 반도체 패키지.

청구항 8.

용매 100 중량부에 대하여 아릴술폰산을 0.01 내지 10.0 중량부 포함하고, 용매의 용해성 파라미터가 5.0 내지 11.0 인 레지스트상 박리액.

청구항 9.

제8항에 있어서, 아릴술폰산이 벤젠술폰산, 톨루엔술폰산, 크실렌술폰산, 에틸벤젠술폰산 및 프로필벤젠술폰산으로 이루어진 군으로부터 선택된 1종 이상을 포함하는 것인 레지스트상 박리액.

청구항 10.

제8항에 있어서, 용해성 파라미터가 5.0 내지 11.0인 용매가 크실렌, 시클로헥산, 톨루엔 및 벤젠으로 이루어진 군으로부터 선택된 1종 이상을 포함하는 용매인 레지스트상 박리액.

청구항 11.

제8항에 있어서, 아릴술폰산이 벤젠술폰산, 톨루엔술폰산, 크실렌술폰산, 에틸벤젠술폰산 및 프로필벤젠술폰산으로 이루어진 군으로부터 선택된 1종 이상을 포함하는 것이고, 용해성 파라미터가 5.0 내지 11.0인 용매가 크실렌, 시클로헥산, 톨루엔 및 벤젠으로 이루어진 군으로부터 선택되는 1종 이상을 포함하는 것인 레지스트상 박리액.

청구항 12.

제3항에 있어서, 유기 용제 가용성 수지가 폴리아미드 수지인 방법.

청구항 13.

제4항에 있어서, 유기 용제 가용성 수지가 폴리아미드 수지인 방법.

청구항 14.

제5항에 있어서, 유기 용제 가용성 수지가 폴리아미드 수지인 방법,

청구항 15.

배선된 반포체 기판위에 제3항의 방법에 의해 목적하는 패턴의 수지막을 형성시키고, 이 수지막 패턴이 부착된 반도체 칩을 봉지재로 봉지하여 이루어진 반도체 패키지.

청구항 16.

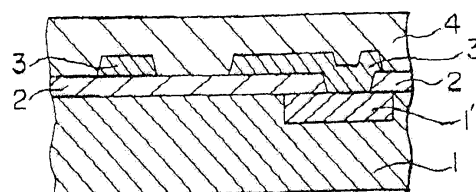
배선된 반포체 기판위에 제4항 또는 제5항의 방법에 의해 목적하는 패턴의 수지막을 형성시키고, 이 수지막 패턴이 부착된 반도체 칩을 봉지재로 봉지하여 이루어진 반도체 패키지.

청구항 17.

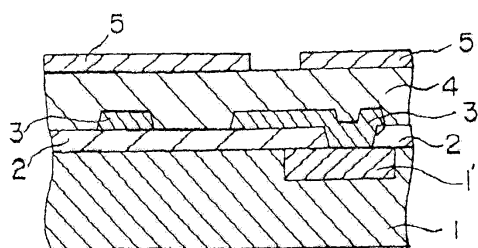
배선된 반포체 기판위에 제6항의 방법에 의해 목적하는 패턴의 수지막을 형성시키고, 이 수지막 패턴이 부착된 반도체 칩을 봉지재로 봉지하여 이루어진 반도체 패키지.

도면

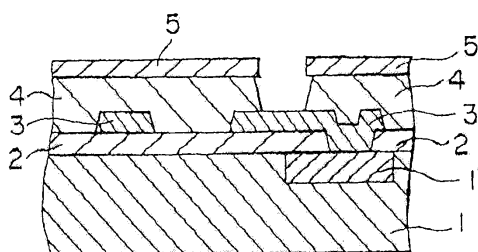
도면 1a



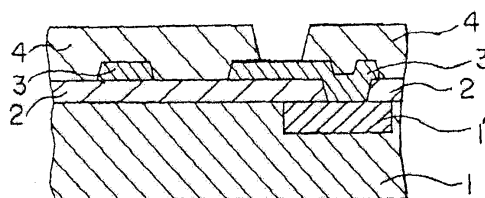
도면 1b



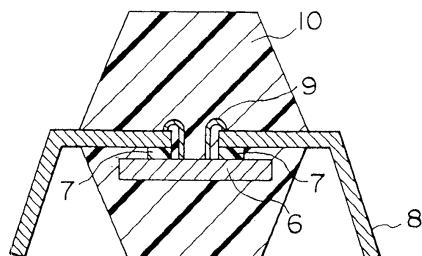
도면 1c



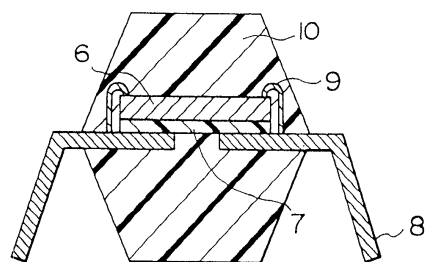
도면 1d



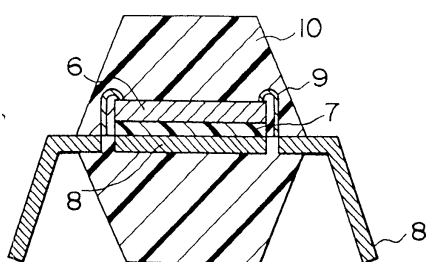
도면 2



도면 3



도면 4



도면 5

