

公告本

申請日期： 90.3.21

案號： 90106543

類別：

H01L 24, 248, 50

(以上各欄由本局填註)

發明專利說明書

480628

一、 發明名稱	中文	三維裝置之整合方法及整合裝置
	英文	THREE DIMENSIONAL DEVICE INTEGRATION METHOD AND INTEGRATED DEVICE
二、 發明人	姓名 (中文)	1. 保羅 M. 因昆斯特
	姓名 (英文)	1. PAUL M. ENQUIST
	國籍	1. 美國
	住、居所	1. 美國北卡羅萊納州蓋瑞市法蘭區曼布法路308號
三、 申請人	姓名 (名稱) (中文)	1. 保羅 M. 因昆斯特
	姓名 (名稱) (英文)	1. PAUL M. ENQUIST
	國籍	1. 美國
	住、居所 (事務所)	1. 美國北卡羅萊納州蓋瑞市法蘭區曼布法路308號
	代表人 姓名 (中文)	1.
	代表人 姓名 (英文)	1.



本案已向

國(地區)申請專利

美國 US

申請日期

2000/03/22 09/532,886

案號

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

發明背景

發明範疇：

本發明係關於三維整合半導體裝置，特別是關於垂直連結在一起的半導體裝置來形成三維結構。

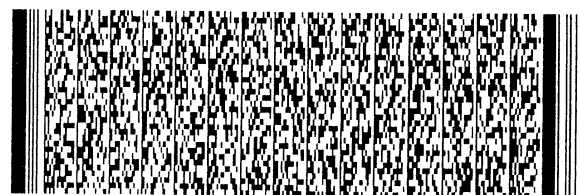
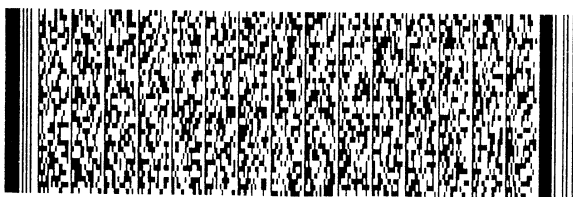
背景討論：

整合的能力決定了半導體產業的成功。此可首先由積體電路(IC)的發明來看。IC基本上包含了在該半導體晶圓的表面上製造電子元件，並接著在該元件的上方進行金屬化來內連接這些元件。對於由此整合所造成的成本降低及效能增加之良好效果，已具有相當大的經濟衝擊。

因為IC的發明，半導體產業由於已達到不同電子元件（即電晶體，二極體，電阻，電容器）的積集度的持續改善，而有持續的快速成長。對於大多數的零件，該積集度的改善已由最小化的特徵尺寸的重複性降低而可在一給定區域中允許整合更多的元件。其可藉由增加晶圓尺寸來得到額外的改善。

這些整合的改善基本上為二維的，其中該整合的元件所佔據的體積基本上是在半導體晶圓的表面。雖然在印刷技術的大幅改善已經可以造成此2-D整合上的大幅改善，但在由2-D所能達到的密度有物理上的限制。這些限制之一僅是可以最小化構成這些元件所需要的尺寸。另一個限制是當元件尺寸減少時，元件之間的內連接需要會有大幅度的增加。

要達到超過2-D所能達到的積集度的努力已經使晶片記



五、發明說明 (2)

憶體更為改善，並造成半導體產業的進一步成長。例如該溝渠電容器在晶圓表面之下使用大量的半導體體積，並允許在一給定的晶片區域中達到更多的功能。目前已持續增加其它的努力在一給定的晶片區域中藉由增加使用體積來直接地達到更高的整合度。一種方式是以遞迴該整合過程，來加入半導體材膠在該內連接金屬化之上，接著為額外的內連接金屬化。雖然此可能會造成每個晶片面積中有更多的元件，其會造成其它的問題，其包含大量增加的熱負擔。此外，此努力及其它不同之處在於其僅使用一個基板，並僅處理該基板的一個表面。為了使該裝置在包含製造該內連接時不需要經由熱處理，其將會較簡單，並改善了裝置的製造。

另一個問題是因為相較於縮小裝置尺寸而言，要縮放內連接尺寸的能力比較弱。理想上，其需要一介層窗的關鍵尺寸將與一閘極尺寸相同。但是，因為介層窗的縮放會落後於該裝置的縮放，其會限制了整合密度。

進一步的問題係在嘗試要整合不同形式的技術到一單一電路或晶圓。BiCMOS即為一例。基本上，必須設計出特殊的處理技術而能夠組合這些技術。對一種技術所需要的製程通常與其它所需要的製程構成介面。因此，必須有一種妥協。該組合的技術的整體發展即告暫停，使得可能所要整合的技術之彈性組合變成非常困難。換言之，最先進的"最佳種子"技術並未組合，也不能開發出這些技術的發展。

五、發明說明 (3)

組合技術的另一個問題是其必須先進行顧客化。其必須首先設計製程來組合該技術，因此會對該裝置構成限制。再次地，因為其需要重新設計製程，故其不能夠得到發展的好處及技術的改善。

發明概述

本發明的目的在於提供具有高整合密度的方法及裝置。

本發明的另一目的在於提供可以整合不同種類材料之方法及裝置。

本發明進一步的目的在於可以提供整合不同形式之裝置的方法，及一種包含該整合裝置的結構。

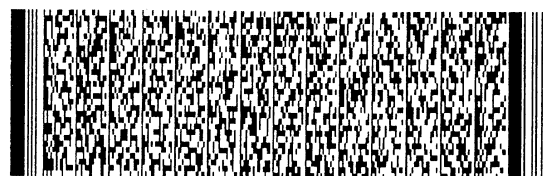
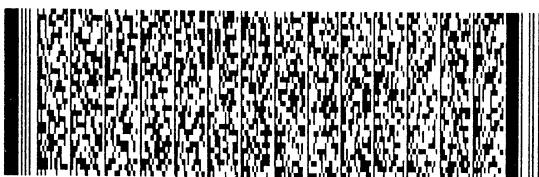
本發明另一目的在於提供可以整合不同種類技術之方法及裝置。

本發明還有另一目的在於能夠避免或最小化在內連接裝置中的熱負擔。

本發明另一目的在於可以允許最佳可用技術的整合，而不需要進行許多製程上的妥協。

仍又有一目的在於提供改善的連結裝置，裝置與基板之間，卡片及/或基板的內連接。

這些及其它目的可由形成一整合裝置的方法來達到，其中包含以下步驟：在具有一第一基板的一第一半導體裝置上形成一第一連結材料，在具有一第二基板的一第一元件上形成一第二連結材料，及直接連結該第一及第二連結材料。該第一基板的一部份可被移除來暴露該第一半導體裝置的剩餘部份，而該整合裝置可安裝於一封裝中。



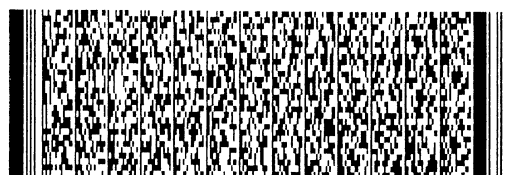
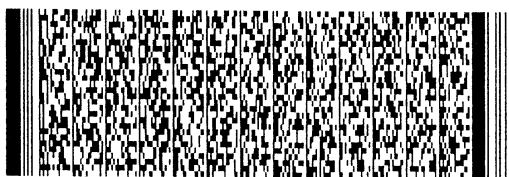
五、發明說明 (4)

該第一半導體裝置可由該第一半導體裝置的剩餘部份之暴露側。該第一半導體裝置可在其上部及底部具有一基板，而在上側可形成一主動區域，而該封裝即由該底部連接到該第一半導體。一具有一第三基板的第二元件可以連結到該第一半導體裝置的剩餘部份，該第一元件可被移除，或大致上被移除，而該半導體裝置可以由上部來連接到該封裝。

該第一半導體裝置可具有複數個內連接等極，而其連接可由來自一暴露的剩餘部份側之至少一個內連接程度來形成。複數個內連接程度也可由一暴露的剩餘部份側來形成。其可直接構成一連接到該第一半導體裝置的一裝置元件區域。

根據本發明的方法，其也可包含以下步驟：連結一第一熱擴散基板到具有一裝置基板的一第一半導體裝置，移除一部份該裝置基板來暴露出該第一半導體裝置的一剩餘部份，連結一第二熱擴散基板到該第一半導體的剩餘部份。複數個內連接程度可以形成在該第一半導體裝置中，並可使用該第一或第二熱擴散基板來構成連接到這些內連接程度中的至少一個。連接到不同程度之內連接可使用一真實接觸方法來形成，而其可直接連接到該半導體的裝置元件區域。

根據本發明的方法，其也可包含以下步驟：直接連結具有一第一基板的一第一半導體裝置到一元件，移除一部份該第一基板來在連結之後暴露出該第一半導體裝置的一剩

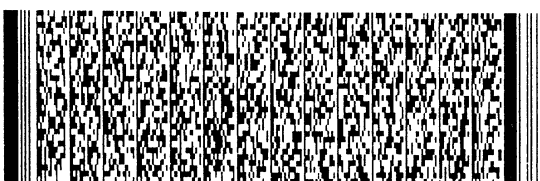


五、發明說明 (5)

餘部份，其中該元件可包含用於熱擴散及阻抗匹配的一基板，或用於RF隔離，一天線，或是包含被動元件的一匹配網路。該第一半導體裝置的剩餘部份可與該元件內連接，而該剩餘部份的一部份可被移除來暴露出該元件的一部份。

根據本發明的方法亦可包含：直接連結一系統的一第一元件到該系統的一第二元件，並內連接該第一及第二元件。該第一元件可以連結到具有一基板的一第二元件，至少可移除該基板的一部份，而該第一及第二元件可以由已經移除該部份的該第二元件側面來內連接。一遮蔽組件，一隔離組件或一天線可以至少連結到該第一及第二元件中的一個。一光學裝置可以連結到一電子裝置，或可連結一低速高密度半導體裝置到一高速低密度半導體裝置。該第一及第二半導體裝置可以是不同的技術。例如，一微處理器可以連結到一高密度記憶裝置，或另一例中，第一及第二太陽能電池可以連結在一起。

根據本發明的方法也可包含附著複數個第一元件到一基板的表面上來形成一第二元件，並直接由該第一元件所附著的一側來連結該第二元件到一第三元件。該附著步驟可包含直接地連結每個該複數個第一元件到該基板的一表面。該第二元件的一部份可以在連結之後被移除。該第一元件可與該第三元件內連接，該第一元件可使用該第二元件來內連接，及該第一元件與第三元件可使育至少該第二及第三元件之一來內連接。凹陷可以形成於該第二元件中，



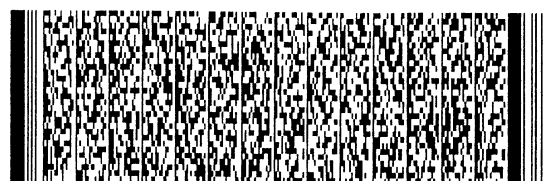
五、發明說明 (6)

而該第一元件可以在該凹陷中連結到該第二元件。

如另一具體實施例，一方法可包含以下步驟：在一第一半導體裝置上形成一第一連結材料，並在一第二元件上形成一第二連結材料。該第一及第二連結材料可以被直接連結，而可在該第一半導體裝置的一暴露表面上形成具有複數個接觸結構的一導體陣列。介層窗可以形成來穿過該第一半導體裝置到該裝置區域，而在該裝置區域及該接觸結構之間可形成內連接。該導體陣列可包含一栓格柵陣列。該方法可進一步包含結合該栓格柵陣列及形成在一板，卡片或基板上的導體區域。

根據本發明的裝置可包含具有一第一裝置的一第一裝置部份，其包含一第一基板，而其中已移除該第一基板，形成一第一連結材料在該第一裝置部份上，在其上形成具有一第二連結材料的一第一元件，並將該第一連結材料直接地連結到該第二連結材料。該第一裝置部份可包含一第一太陽能電池部份，而該第一元件可包含一具有一基板的第二太陽能電池。內連接可以形成在該第一太陽能電池部份及該第二太陽能電池之間，其係連接在已經移除該第一基板的該第一太陽能電池的一側。

該第一裝置部份可包含具有主動元件的一半導體裝置，該第一元件可包含用於熱擴散及阻抗匹配的一基板，或用於RF隔離，一天線，或是包含被動元件的一匹配網路。該第一裝置部份可具有一第一側及一相對的第二側，其可構成一內連接到該裝置部份，其可由該第一側或由該第二側



五、發明說明 (7)

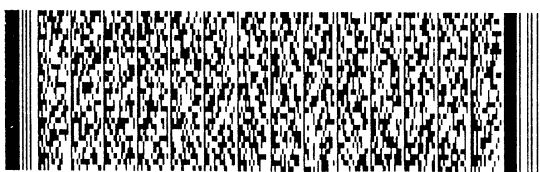
。一遮蔽組件或一隔離組件可直接地連結到該第一裝置部份及該第一元件之一。一天線可直接地連結到該第一裝置部份及該第一裝置元件之一，而內連接可構成於該天線與至少該第一裝置部份及該第一元件之一。

該第一裝置部份可包含一光學裝置，而該第一元件可包含一電子裝置。該第一元件也可包含一低速高密度半導體裝置，而該第一裝置部份可包含一高速低密度半導體裝置。

根據本發明的該整合裝置也可包含複數個第一元件，其每一個皆直接地連結到一基板的一表面，以形成一第二元件，及一第三元件係直接地連結到該第二元件，其是連結於該第一元件連結到該基板的該表面的那一側。內連接可以構成於該第三元件及該複數個第一元件中所選出的一個之間，且內連接可形成於該第一元件所選出者之間。該第一元件可以放置在形成於該基板中的凹陷處。

如另一具體實施例，根據本發明的裝置可以包含一裝置部份，其包含具有相對上側及底側之半導體裝置，一第一基板可直接地連結到該裝置部份的上側，一第二基板則直接地連結到該裝置部份的底側。內連接可形成到該裝置部份來穿過該第一及第二基板中的一個或兩者。電源及接地連接可以僅穿過該第一及第二裝置基板中的一個來形成到該裝置部份，而信號及時脈內連接可以穿過該第一及第二機板的另一個來形成到該裝置部份。

根據本發明的該整合裝置也可包含複數個第一元件，其



五、發明說明 (8)

每一個皆直接地連結一第二元件的一表面。該第一元件及該第二元件可包含至少半導體裝置，圖案化導體，天線元件及阻抗匹配元件之一。介層窗可形成在該第一元件，而導電材料可形成在該介層窗中來內連接該第一元件與該第二元件。

根據本發明的裝置也可包含一配置在一第一半導體裝置上的第一連結材料，及一配置在一第一元件上的一第二連結材料。該第一及第二連結材料係直接地連結。一導電陣列可以配置在具有複數個導電區域之第一元件的一暴露表面，而內連接可形成於該陣列的該導電區域及該半導體裝置的導電區域之間。該導電陣列可包含一栓格柵陣列。該第二導電區域可配合於導電區域內，其形成在至少一板，卡片或基板之一之上。

圖式簡單說明

本發明的一更為完整的瞭解及其許多具有的好處，將可參考配合所附圖面及以下的詳細說明而更加地瞭解，其中：

圖1所示為根據本發明的該方法中的一步驟之截面圖；

圖2所示為根據本發明的該方法中的一步驟之截面圖；

圖3所示為根據本發明來連結兩基板之截面圖；

圖4所示為根據本發明的一連結裝置之截面圖；

圖5所示為一複接面雙極性電晶體之截面圖；

圖6所示為根據本發明來連結圖4的電晶體之截面圖；

圖7所示為根據本發明的一連結裝置之截面圖；



五、發明說明 (9)

圖8所示為根據本發明來連結兩個裝置在一起之步驟之截面圖；

圖9所示為根據本發明來連結兩個裝置在一起之步驟之截面圖；

圖10所示為根據本發明來連結兩個裝置之截面圖；

圖11A及11B所示為根據本發明而要連結的兩個裝置之截面圖；

圖12所示為連結圖11A及11B的裝置之截面圖；

圖13所示為內連接圖11A及11B裝置的步驟之截面圖；

圖14所示為連結圖11A及11B的該連結裝置到另一裝置的步驟之截面圖；

圖15所示為連結及內連接三個裝置之截面圖；

圖16A-16D所示為連結三個整合電路；

圖17A為一疊層的內連接結構；

圖17B為連結圖17A的該疊層的內連接結構到一具有積體電路的基板；

圖18為一2D陣列的電路元件之；

圖19為連結及內連接2D陣列的電路元件；

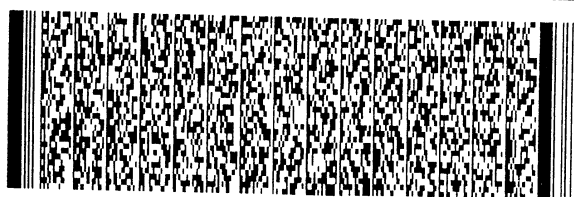
圖20A-20F所示為根據本發明的整合方法；

圖21所示為根據本發明所整合裝置的一分解圖；

圖22A所示為背面封裝；

圖22B所示為頂面封裝；

圖23-34所示為根據本發明來整合太陽能電池之方法的橫截面圖；



五、發明說明 (10)

圖35及36為整合具有空洞的裝置；

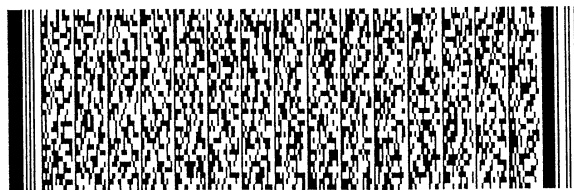
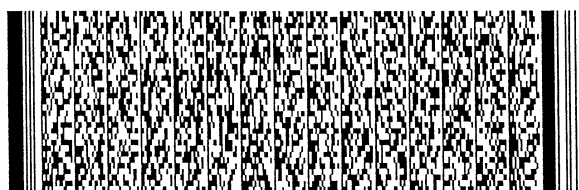
圖37A-37D所示為根據本發明連結複數個模子或裝置到一基板；

圖38A及38B所示為連接一連結裝置到一電路板或封裝。

較佳具體實施例說明

現在請參考圖面，特別是圖1，其所示為根據本發明的該方法及裝置之第一具體實施例。一基板10具有一具有一表面平面性的上表面11。基板10較佳地是一代用基板或一積體電路晶圓。圖1所示的表面11的非平面度係為了說明的目的，並不表示要描述實際的表面平面性的狀況。基板10較佳地是具有一相當平滑及平坦的表面11。該上表面所需要的平坦度及平面性可由研磨來達到。化學機械研磨或CMP為達到所需要的平坦度及平面性之方法。該CMP製程可用適當選擇研磨墊，研漿及研磨條件來最佳化，藉以達到所需要的表面粗糙度及平面性。

在表面11上，沉積有厚度大於表面11的表面非平面性的薄膜12。薄膜12必須具有良好的導熱性，及一高介電常數，例如 SiO_2 ，鑽石，或類鑽石的碳(DLC)。較佳地是，導熱性在1-10 W/cmK範圍，而相對介電常數為1-3的範圍中。薄膜12的厚度之較佳範圍為薄膜12的表面非平面性的1-10倍。然後薄膜13的上表面13係研磨成具有粗糙度5-15 Å的平坦表面，較佳地是在5-10 Å之間。一平坦表面的粗糙度 $\leq 5 \text{ Å}$ 為最佳的較平坦表面，其可加強該薄膜的連結特性。



五、發明說明 (11)

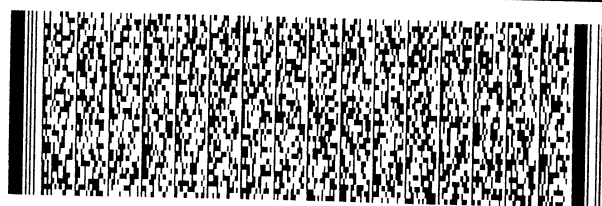
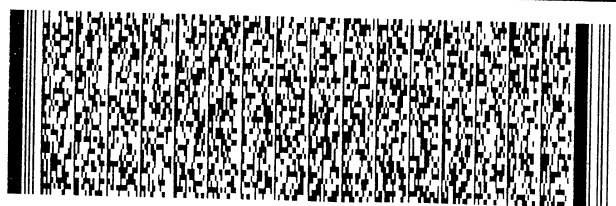
其也有可能來沉積薄膜12，研磨上表面13，然後即沉積其它的薄膜(圖2中的14)，並研磨該第二薄膜，以達到該上表面(圖2中的15)所需要的平坦度。三個或多個薄膜，其可對每個或至少對該上薄膜重複該沉積及研磨運作，其可用來達到所需要的表面粗糙度及平面性。

該基板10現在已預備好晶圓連結。任何形式的基板皆可連結到基板10。請參考圖3，一基板16較佳地是包含主動裝置的積體電路晶圓，其係以相同方式來預備做為基板10，藉由形成一暴露表面18的薄膜17，其表面粗糙度係與薄膜12的表面13在相同的範圍中(或薄膜14的表面15)。一較高度的平面性可進一步構成該連結製程。薄膜17可以用一個或多個研磨運作來形成一個或多個疊層，如上所述。表面18及12可帶到彼此接觸(如圖3的箭頭所示)。一種像是Van der Waals的連結可形成於表面18及13之間(圖4)。一較強的連結可由後續地加熱該結合的基板及薄膜來達成。

該連結的較佳方式係直接連結，而不需要使用施加壓力，電壓及溫度。如果該基板具有一 SiO_2 的上表面(或其它連結材料)，其可不需要沉積其它的 SiO_2 疊層來研磨該表面，其假設 SiO_2 的上表面具有足夠的厚度來達到一足夠的表面粗糙度及平面性，如CMP。

範例

此範例使用附著一材料像是GaAs，InP或GaN到一鑽石基板的例子，當其需要最佳化的熱封裝及介電效能。連結到一高導熱性之材料的基板，可允許較佳地管理熱轉換。該

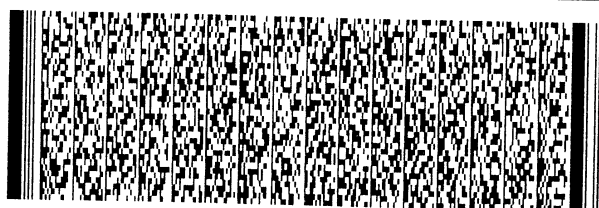
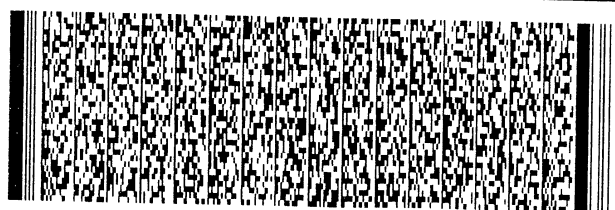


五、發明說明 (12)

鑽石基板，在預備其連結之後，具有一相當平坦的上表面。基本上因為鑽石基板具有一相當粗糙的表面，一相當平坦及平面的上表面可由研磨來達到。但研磨很貴，且難以一致性地獲得非常平滑的表面。其也有可能來在一銅的電納質來形成該鑽石基板。鑽石薄膜基本上會在溫度降低時，在沉積之後來去除該銅電納質，其會在啟動成長時留下一相當平滑及平坦的表面，而在成長終止時留下一較粗糙的表面。

在該上表面上部沉積有一二氧化矽的薄層。該二氧化矽薄層必須比該鑽石表面的非平面性要厚，例如：1到10倍，但要儘可能地薄來最佳化效能。然後該二氧化矽層即被研磨成一平坦表面來適於晶圓連結，例如 $\leq 5 \text{ \AA}$ 。該具有薄矽層的鑽石基板現在已預備好做為晶圓連結。

此時，任何形成在任何形式基板上的裝置可以連結到二氧化矽層的表面。對於此例，可使用一複接面雙極性電晶體(HBT)，如專利申請序號09/165,203中所述，該文獻在此引用做為參考。該HBT係處理到一個程度使其預備可以附著一代用基板，如圖5所示。基本上，此將包含形成該射極金屬化的步驟，及執行基極蝕刻，進行基極金屬化，進行一鈍態化/平坦化階段，並施加一熱分路。在圖5中，有集極層22形成在一GaAs基板20上，平坦化材料21，基極區域23，基極接點24，射極25及射極接點26。其須注意到，在圖5中所示的一單一裝置並不是限制。一包含數個裝置的晶圓或一積體電路也可用相同的方式來連結。



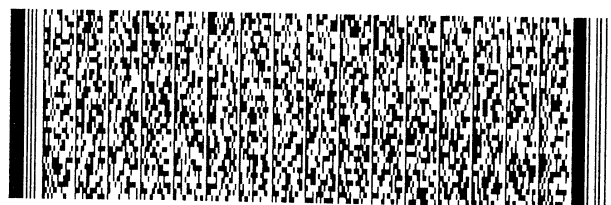
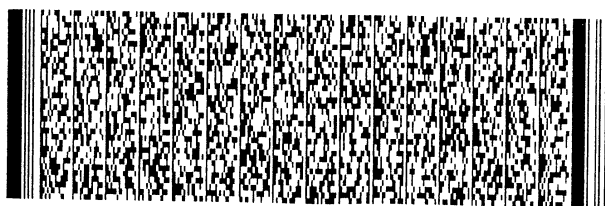
五、發明說明 (13)

在該HBT的平坦化表面之上沉積有另一非常薄的二氧化矽27層。二氧化矽層27的厚度比該HBT的該平坦化表面的非平面性(如1到10倍)，但須儘可能地薄來最佳化效能。該二氧化矽層27的表面係經過研磨到足以進行晶圓連結的平坦度，例如 $\leq 5 \text{ \AA}$ 。然後疊層27及12即由將其放置在一起來連結。該表面較佳地是在一濕式清洗處理之後放置在相當靠近，其接著為一乾燥過程來驅除該疊層27及12之間的液體。其即形成一Van der Waals的連結。一較強的連結可由後續加熱結合的疊層27及12來達成。

當疊層12及27在結合之後被加熱時，其會產生應力，其可導致在該形成的裝置及代用基板中的一些有毒效應。其有可能在該鑽石基板及二氧化矽層，及在該HBT裝置及二氧化矽層27之間形成一應力釋放層。其即為圖6的薄膜28及29。該應力釋放層為同質或材料的複合層，即Young's模數，使得此疊層將會在其它疊層之前降伏應力的應用。

當該連結已使用研磨到一所要的表面粗糙度之二氧化矽膜來說明時，也有可能是其它的薄膜。舉例而言，也可使用矽或DLC。在使用矽時，氧氣可以植入到其相對表面之下的該連結層來形成一符合層。該符合層為相等於該應力釋放層的一疊層。其較佳地是使用Si，SiC或DLC薄膜來取代一SiO₂薄膜，例如當需要改善導熱性時。

其也有可能在要連結的裝置中選擇該鈍態化/平坦化材料，藉以最佳化該介電常數，導熱性及相鄰於該主動裝置的阻抗。特別是，DLC係由於其相較於其它材料之相當高



五、發明說明 (14)

的導熱性及低介電常數非常有效。

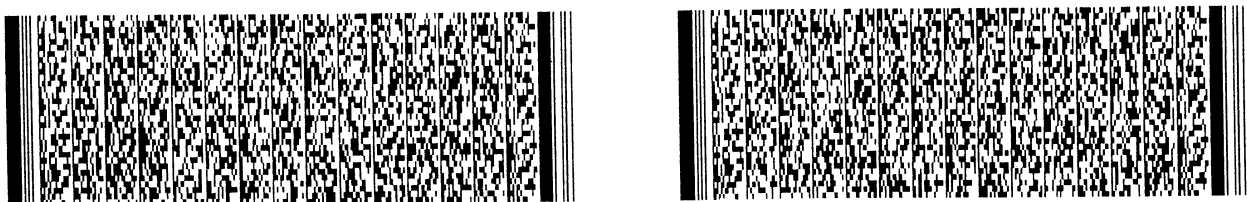
如圖5所示，該HBT裝置14基本上係形成於基板20上。在連結該裝置到基板10之後，基板20可由像是研磨，或碾磨及研磨的處理，而允許近接到背面接點。

在本發明的第二具體實施例中，N個2D陣列裝置係以重複在該第一具體實施例所述的方法N次來連結在一起。由圖7中所示的連結裝置開始(該HBT裝置顯示並無元件細節，如30)，該基板20將視需要被移除，並研磨該暴露的裝置30表面，成為適於晶圓連結的平坦程度。在移除該基板20期間可使用研磨及碾磨。另一個二氧化矽層31係沉積在該暴露的裝置30表面上，並以前述施加於疊層12或27(圖8)之方式來研磨到所需要的表面粗糙度。

在圖9中所示為沒有裝置細節如32的基板34的下一個晶圓，其具有一薄二氧化矽層33形成在相對於基板34的表面上。薄膜33係以如同薄膜11，27及31的相同方法而形成並研磨。然後薄膜33即連結到暴露的疊層31的表面。所得到的裝置係示於圖10，其係在移除該基板34之後。該第二連結裝置的上表面係再次被研磨，並沉積另一個二氧化矽層35來預備連結一第三裝置。此可進行N次來產生一N次整合的裝置。如此連結的該裝置即可被垂直地內連接。

範例

在多個裝置之間的連結範例可見於圖11A，11B及圖12到15。圖11A，11B及圖12到15所示為根據本發明該連結如何用來整合2個2D裝置陣列，其如何被內連接來形成一垂直



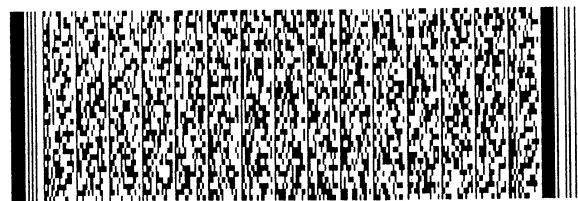
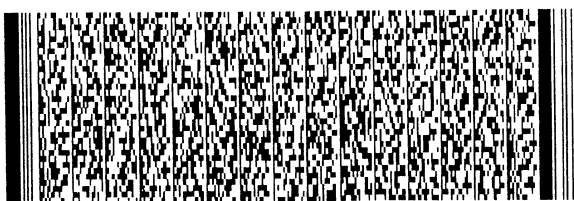
五、發明說明 (15)

整合的多重晶圓模組，及如合結合不同的技術。

圖11A及11B所示為要連結的兩個裝置。在此例中，圖11A及11B的裝置係不同的具有內連接之積體電路晶圓。在圖11A中，一本身對稱HBT (SIHBT) 晶圓包含一SIHBT代用基板40，形成在基板40上的平坦化材料41，SIHBT裝置43及內連接42及44，其較佳地是由一金屬形成。圖11B所示為具有一VCSEL基板45的一VCSEL裝置，平坦化材料46，VCSEL裝置48及內連接47及49，其再次較佳地是以金屬製成。如圖12所示，圖11A及11B的裝置係以前述的方法來連結，也就是以像是二氧化矽的材料即沉積在每個裝置的上表面上，然後即研磨到表面粗糙度為約5-10 Å。其也需要高度的平面性。所連結的裝置係示於圖12。

接下來，如圖13所示，基板40被移除而暴露出內連接44。一介層窗50被蝕刻穿過平坦化材料41，並進到平坦化材料46來暴露一部份的內連接47。當所示為一介層窗50時，其可瞭解到可形成任何數目的介層窗，藉以構成適當的連接到在該兩個連結基板中的裝置。

內連接51係形成在介層窗50中來內連接該裝置43及48。此時，該過程可在僅需要兩個晶圓來連結時即停止。如果有一個或多個裝置需要被進一步整合，該過程可藉由形成一連結層52來繼續，例如由二氧化矽所製成，然後其即研磨到一表面粗糙度5-10 Å，其是以前述的方法進行。在此例中，該過程可包含填充任何形成於內連接50中的凹洞之步驟，其可更為容易地製造一疊層52的平坦表面。該裝置



五、發明說明 (16)

如圖14所示，即已預備好來在需要時與其它的晶圓連結。

對於不同技術的晶圓，其平坦化材料可為相同。該兩個不同的技術係由不相互影響的平坦化材料的疊層所隔開。其每個僅與該平坦化材料相互影響。因為該平坦化材料的特性皆為已知，並常用於目前的製程中，並不需要新的材料來組合該技術。本發明提供了結合不同技術而可生產製造的方式。

再者，所有的顧客化皆是在製程的末了進行。兩種晶圓係分別製造然後連結在一起。該內連接係在連結之後來執行。組合技術的顧客係在製程的末了才進行。不論是需要獲得那一種技術，這些技術皆可為目前立即可使用且已經商用化者。其可不需要設計一新的製程。其有可能在最後組合的產品中有良好定義的控制，以一穩定製程所製造的裝置可以選擇來組合未經驗證的製程，而不視為新的，其中可提供少數的製造，可靠度或較長期的資訊。

將一第三晶圓連結到圖14的結構係示於圖15。其可注意到圖15所示為由蝕刻平坦化材料41及46所形成的一額外金屬化53，藉以暴露出另一個具以元件60-62的裝置之一部份內連接60。內連接53在平坦化材料41的表面上具有一延伸部份，藉以構成在另一個階層上的內連接。在此例中第三晶圓中的裝置可以為具有內連接55及57的CMOS裝置56。另一個介層窗被蝕刻穿過平坦化材料58並穿過連結材料52，而暴露出一部份的內連接51來允許連接到內連接59。內連接59也連接到CMOS裝置56的內連接55。另一個內連接係

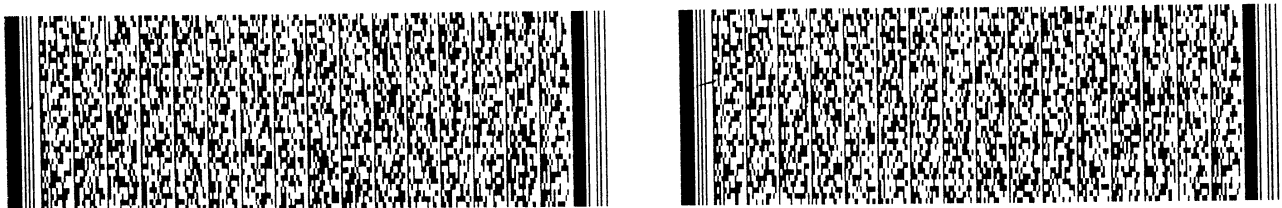
五、發明說明 (17)

由蝕刻一介層窗穿過材料58及52而形成，藉以暴露出一部份的內連接53。一內連接54係形成來接觸內連接53，其須注意到，圖15並未明確地顯示形成在該裝置之間的連結層，但可瞭解到這些為使用前述配合於該第一具體實施例的製程所形成的裝置。

由圖15亦可瞭解到本發明同時利用一接點的兩側。舉例而言，如果在接點51之上的該墊為一接觸墊或一金屬線，則該墊(或線)的底面則連接到位在該墊(或線)之下的內連接47，當該墊(或線)的上部連接到以與內連接55重疊的接點59。此可降低驅動的需求。

圖15也示出本發明的好處在於其對於電路拓樸來說並不限於一個疊層(或可能為兩個疊層)。其有能力來設計成三維。電路佈局可在如果具有能力來分辨出裝置的形式或類別時進行最佳化，其中該功能或處理彼此干擾或是不相容。電路佈局因為使用三維而不只是二維，故可使面積最小化。舉例而言，三個基本上相同面積的習用晶片，具有視需要的不同技術，可以由垂直地堆疊而僅用三分之一的面積來實施。在考慮到降低個別晶片對於該堆疊晶片所降低的封裝需要時，該面積減少可以更多。垂直堆疊也可在晶片之間對於接地，偏壓或其它平面進行導電，或在路線化期間在晶片的中來改善信號隔離。

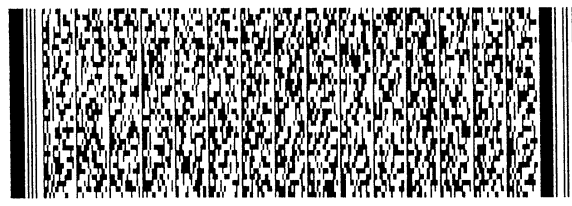
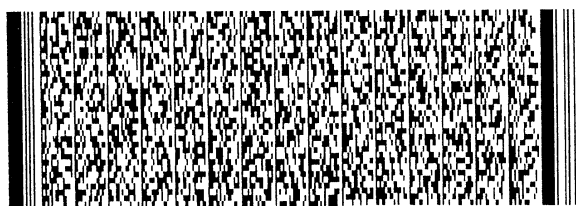
基本上，在一系統中信號會被放大，然後即傳送於積體電路之間的匯流排上。此需要相當多的階層偏移，匯流排，及在構成該系統的元件之間對於信號準位中不同的差異



五、發明說明 (18)

來進行補償。如同一例，在一光線偵測裝置中的一像素接收一非常小的電荷封包，其接著會被偏移到該裝置之外而進到一記憶體裝置。在此例中的該光線偵測裝置及該記憶體，其皆為獨立的積體電路，其需要放大經由緩衝器及該像素及記憶體裝置之間的系統匯流排之該電荷封包。然後該信號準位即被降低，藉以儲存該資訊在該記憶體裝置中的一記憶單元內。當在記憶體中的資訊需要被處理時，該資訊即再次使用更多的緩衝器及系統匯流排來偏移其準位，藉以在其上傳送該資料到一處理器，其也可使用一獨立的積體電路來形成。對於不同信號的功率準位係由該內連接及該匯流排來決定。

本發明可允許來獲得元件間的通訊及定址性。目前，信號的功率準為可由該元件來決定，而非由該內連接，即該系統匯流排及驅動器。如一範例，如圖16A-16D所示，一第一積體電路包含用以感應一光線信號的像素陣列等，其係製造在一第一基板(圖16A)。以一簡化的方式，一個像素72即形成在一半導體疊層71中，其係形成在一基板70上。在一第二基板上，製造了需要來儲存被移出該像素陣列之資訊所需要的記憶體裝置，其如圖16B所示。一半導體層74係形成在一基板73上。記憶體單元75係形成在疊層74中。最後，一用以處理該資訊的一處理器裝置即製造於圖16C所示的一第三基板之上。在疊層77中所示(以簡化的形式)的不同元件78係形成在基板76上。然後每個基板即連結在一起(係以在其上的像素陣列來暴露其在光線中)。



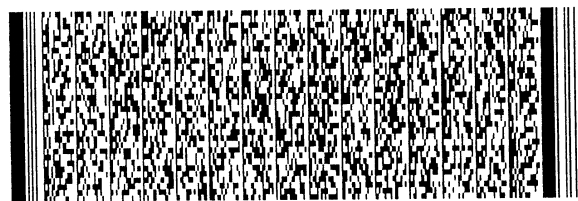
五、發明說明 (19)

該三個基板可以連結在一起。一代用基板(未示出)可以使用前述的技術來附著到疊層71的一上表面，並移除基板70。然後該記憶體裝置的疊層74之u型表面可連結到由移除基板70所暴露的表面。然後可移除基板73，而疊層77的上表面即連結到由移除基板73所暴露的表面。該代用基板可被移除到暴露該像素72。該內連接可以用上述的方法來直接被製成於三個基板之間，其可消除許多緩衝器的需要，並當該系統被設計來使用獨立的整合裝置時需要來內連接該系統的系統匯流排。該連結的電路係示於圖16D。其可注意到圖16D並未顯示用來連結不同裝置的不同疊層，以及視需要在移除對應的基板期間可以移除疊層71，74及77的部份。

另一個範例為一典型的微處理器，其中該微處理器包含某個數量的板上ROM，當大量的儲存在一獨立RAM上透過系統匯流排來存取時。在此例中，該處理器與該板上ROM可以製造在一第一基板上，該記憶體可以製造在一第二基板上。該兩個基板可被連結在一起，而該處理器直接地連結到該記憶體裝置，其再次地消除了系統匯流排，位準偏移器及其它緩衝器的需要。

本發明不僅允許以更小的方式及直接的存取方式來製造系統，但也允許一較小的足跡。前述的每個獨立的裝置相較於本發明中彼此堆疊在一起時，為其所需要的空間量的至少三倍，當假設晶片係佔有幾乎相同的尺寸。

本發明的一第四具體實施例係使用前述的技術來分別由

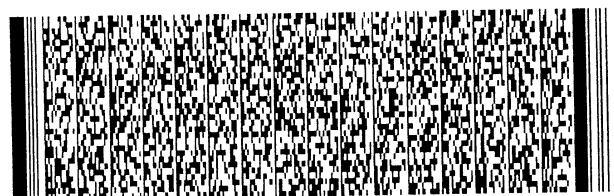
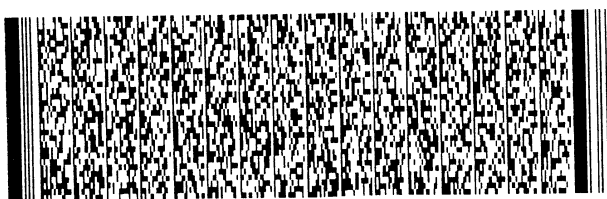


五、發明說明 (20)

其下的積體電路來製造該內連接。基本上，電路需要一些內連接的階層，藉以提供所有需要的複雜功能。其需要6個或更多的內連接階層。此需要相當大量熱處理，將其下的主動裝置暴露到較高的熱負擔，並使製造過程複雜化。本發明可用來分別製造主動裝置，然後即根據本發明了連結來形成內連接的階層。特別是，每個內連接階層可形成在獨立的基板上，然後依需要來連結在一起，並進行內連接。其一次可以製造數個或所有的內連接層。然後該連結在一起或單一內連接的基板可被連結到具有該主動裝置的基板。其可使用那些圖15所示的類似於前述用以內連接不同晶圓的技術。當完成時，內連接層的堆疊可以連結到該主動裝置。

此係說明於圖17A及17B，其中係根據本發明的原理而連結具有疊層80-83的內連接堆疊，然後如圖17A所示，被連結到圖16B或16C所示的積體電路。圖17B所示為用於該連結處理的該疊層的完整裝置，其為了清楚起見而有所省略。在此例中，該積體電路的該基板可被移除，並連結到一更佳的熱材料，例如類鑽石的碳。藉由此具體實施例，其可得到更緊密的製程控制，其不需要補償或對於該增加的熱負擔的不同效應進行妥協，其係由於在該主動裝置之上積體電路內連接的多重疊層之基本處理所致。

本發明的另一應用是該內連接層的選擇。藉由能夠獨立地處理該內連接，可以得到更多的設計彈性。例如那些處理高速信號的某些疊層可以比其它的更為關鍵。該關鍵準



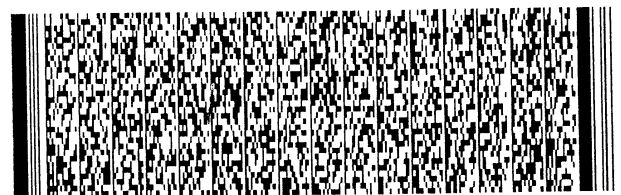
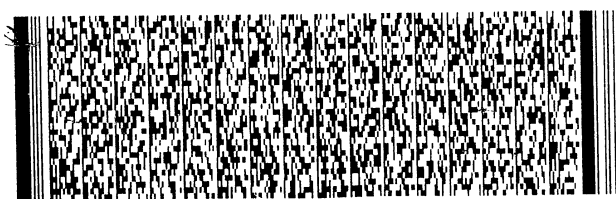
五、發明說明 (21)

位可以藉由其它非關鍵疊層而彼此分離，藉以使重疊最小化。相反地，非關鍵疊層可以在當重疊對於該裝置的高速運作不是問題時，被置於相鄰的疊層中。

除了上述的具體實施例，該積體電路的基板可以在以上的具體實施例中被完全地移除。其結果是一2D的裝置元件陣列被陷入在絕緣的平坦化材料中。其一例即示於圖18。其每個元件可以完全地在每個元件之間隔離，及相對於一電路層的2-D裝置陣列。要連結的一第二晶圓可用相同的方式來處理，其構成另一個2-D裝置元件的陣列。然後該裝置陣列可用所需要的方式來內連接，並產生電路及次電路等。此可延伸來連結不同的技術在一起，例如CMOS及雙極性，藉以產生一BiCMOS晶圓。在此例中，最先進的CMOS及雙極性技術可以因為分別處理兩個晶圓而被組合。然後，當需要來產生一組合的技術裝置或電路時，即可使用既有的先進並經過驗證的技術，而不是必須設計一新的組合製程，或建立一既有的組合技術，其不使用且不能夠利用最先進技術或技術的發展所得到的好處。

第三個晶圓及後續的晶圓也可在該基板已經被移除，而預備好來產生內連接到該第一及第二陣列時，進行處理。該第三裝置也可為另一種技術。圖19即為一例。

該晶圓連結可包含連結一積體電路或裝置到另一個用於熱擴散，阻抗匹配，或RF隔離，一天線或包含被動元件的一匹配網路之基板。這些元件的組合也可被整合。移除部份或完整的基板可被包含在此具體實施例中。該電路或裝



五、發明說明 (22)

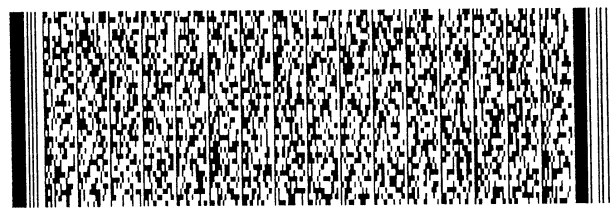
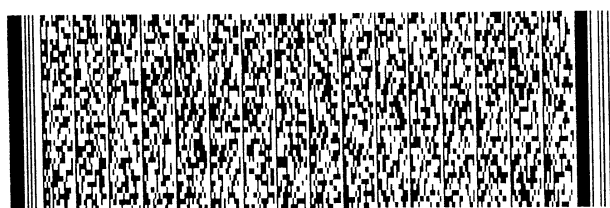
置可與該天線，展開器或其它元件內連接。

一整合的T/R模組也可在一基板上的MEMs中與一輸出傳送功率放大器或其它晶圓整合在一起。一輸入接收晶圓可被整合在該第二晶圓或一第三晶圓之上。適當的遮蔽或隔離也可整合在該模組中，以及形成在一晶圓上的一天線。

光學裝置，例如雷射及偵測器，在一晶圓上可以整合於另一個晶圓上的光學內連接電路。該元件可整合到一波長的一足夠部份來運作成為疊加的元件，所以在裝置之間會有阻抗不匹配，其不會造成明顯的反射或功率損失。所得到的光學架構可使得本發明因為低的寄生性而可以高速運作，並因為避免了阻抗不匹配所造成限制習用光學I/O架構的問題而可以低功率運作。

該晶圓連結也可遵照圖3及4，其中晶圓10為一裝置或電路晶圓，而晶圓16為下述的一支撐及封裝材料。此特別的說明對於一封裝技術有特別的興趣，其可提供改良的熱效能，改良的雜訊效能，功率，接地，時脈及/或信號線的隔離，改善的輻射效能，降低電阻，電容及電感，增加功率到接地耦合，等等。在連結之後，來自該裝置或電路的該基板係充份地薄型化或完全地被移除。該基板的剩餘部份可不超過10到20 μm 。額外的處理可進行到剩餘的矽基板或背面，另外，如果該基板被完全地移除在包含主動裝置的該疊層的背面上。

舉例而言，介層窗可被製成在位於該晶圓的"前側"上的"墊"之底側。這些"墊"可經過最佳化設計來達此目的，因



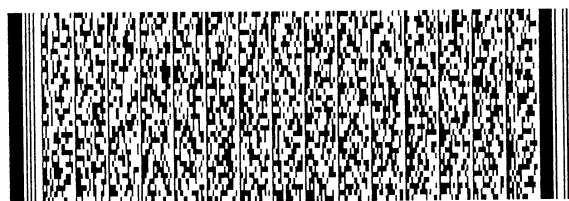
五、發明說明 (23)

此具有與一典型的墊明顯不同的架構。舉例而言，此墊基本上為一介層窗，其啟始於該晶圓的前側處理上，並由後側內連接。在圖20A所示的範例中，其基極接點90具有一介層窗結構，其係延伸到該裝置的背面，目前即透過移除該基板而暴露。圖20B所示為一延伸的金屬接點90A，其可透過一適當放置的介層窗來存取。

其可形成不同形式的介層窗。舉例而言，介層窗可以形成在該"頂層"內連接階層，一"較低"或一"第一"內連接階層在該裝置隔壁，或直接形成來自該背側的該主動裝置。在製成這些不同形式的介層窗之後，一內連接可以形成在該介層窗中，因此內連接製成在該晶圓的前側上或直接在該主動裝置上的任何階層的內連接。額外階層的金屬化也可形成在該"背側"，其類似於形成在該"前側"上的多重內連接階層。在完成此"背側"製程之後，該晶圓可根據像是打線及球柵陣列的典型方法而被模製化及封裝。

此架構允許電源，接地，時脈及信號路線話在該主動裝置層的一側或兩側。舉例而言，電源及接地可以路線化在一側，而接地，時脈及信號可以路線化在另一側。也有可能其它的架構，並可依需要來使用架構的組合。此架構允許降低電阻，電感及電容，並依需要來允許不同形式的內連接之間的互動能夠最小化，例如電源及信號，或最大化，如電源及接地。

在圖20C中所示為一例。其須注意到在圖20C中所示的尺寸(及其它圖面)並未依比例繪製，而是依照說明的目的來



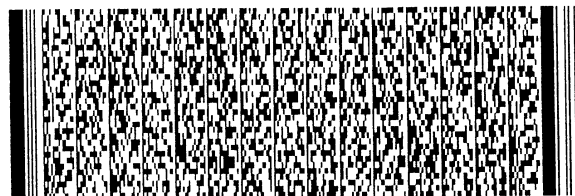
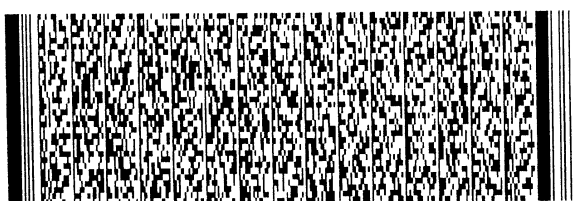
五、發明說明 (24)

繪製。所示的尺寸並不是要限制本發明。一對的裝置105及106可透過一些內連接層93-95而與其它電路元件(未示出)內連接。該裝置係連結到可用做為模子附著之材料。介層窗102係以連接到"頂層"內連接層93的內連接101所充滿。介層窗100係以連接到一中介內連接層94的內連接99所充滿。介層窗96係經由疊層103來連接裝置區域104及內連接97所形成。疊層103可為一大致上薄型化的原始基板的剩餘部份，或是如果該原始基板係完全地被移除，在原始基板與裝置105及106之間的一疊層，或在基板移除之後形成在裝置105及106上的一疊層。當為標示該材料來區隔該不同的內連接疊層時，即可視為一絕緣材料。

另一個範例示於圖20D，其中兩個裝置180及181係由兩側透過基板185及187來連接到所要連結的裝置。內連接182，188及189係經由基板185形成，而內連接183及184係經由基板186形成。基板185及186及裝置可包含如前所述用來連結的平坦層。

其須注意到，製成在不同階層上的介層窗可通過半導體材料。在此例中，在填充之前需要進行量測像是在該介層窗中氧化該暴露的半導體材料。同時，該裝置可以形成在一絕緣基板上，而其通過的區域將使形成的介層窗完全地絕緣。此可經由像是在這些介層窗通過的區域中完全地氧化該半導體材料來達成，並完全地蝕刻掉該半導體材料，並以絕緣材料重新充填，或是兩者皆進行。

請注意一熱擴散材料也可用做為該模子附著材料92。其

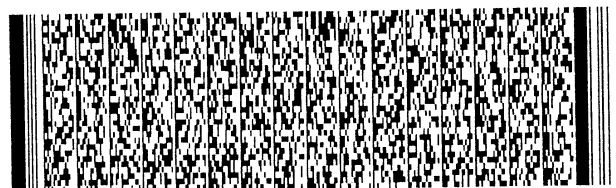
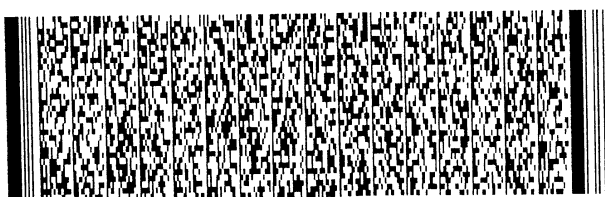


五、發明說明 (25)

進一步可為一複合材料。該複合物可以被最佳化，例如其可大部份為銅，並可連結到該模子上，並且可包含另一個材料而傳導到模子區隔，其中可連結到模子之間的通道。

此架構進一步提供比習用封裝要改善的熱阻抗。舉例而言，典型的封裝在該主動裝置層之間具有矽基板，其可產生熱量，而該模子則附著到該封裝。此矽基本上為~600微米，但基本上也可變薄到~300微米。對於生產薄型化的限制是由破壞決定。在該主動層中所產生的熱量基本上是穿過該~300微米基板傳導到一銅熱擴散器，或一類似的熱導電材料，並由此構成一散熱器到週遭。此熱擴散器基本上為~24 mils厚或~600微米。因為該銅的熱導性約為矽的3倍，在該部份中於該矽基板內會有超過一半的溫度上昇。另一個晶圓連結架構中，當材料92為一類似銅的材料，其與習用的插塞具有類似的厚度，該溫升即降低超過一半，因為穿過該平坦化材料的溫度下降對於適當的平坦化材料及厚度而言，因為穿過該平坦化材料的溫度下降相較於穿過該矽基板的溫度下降是可以忽略的，故其溫昇會降低至少一半。適當的平坦化材料及厚度的範例為0.5微米的二氧化矽，及5微米的氮化矽。

請注意如果散熱器的效率可以使該熱擴散器可被忽略，而不會造成散熱器的溫度明顯上升的話，即可得到非常大的溫度上升的降低。在此例中，該穿過約2微米的氮化矽的溫降約為穿過相同熱流量的300微米的矽之溫降的十分之一，其可導致該零件溫升約為十分之一。



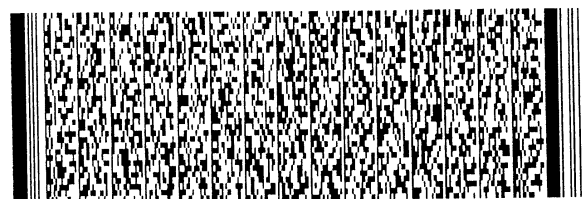
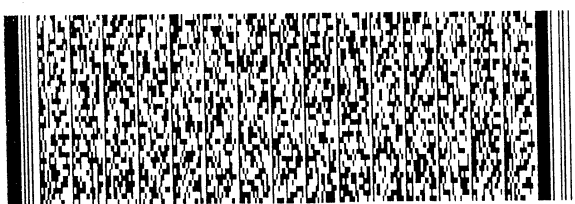
五、發明說明 (26)

熱阻抗的進一步改善可由晶圓連結在該裝置或電路晶圓的背側上的一第二封裝材料來達到，其係在該基板明顯地變薄或完全地移除之後，如圖20E所示。在此例中的基板103係完全地被移除，一第二封裝材料107則連結到由移除該基板所暴露的該表面。基板92及107可選擇來具有高熱導性，並可更為有效地擴散及移除來自該裝置的熱量。存取到疊層93-95或到該主動裝置本身，皆可透過一個或兩個基板92及107來構成，其係依據內連接或封裝架構的形式。

基板107的連結也可在進一步的背側處理之後完成，如先前所提供的例子。以另一材料取代該矽基板因此可降低該熱阻抗。當如前述般用來配合將熱量由該前側移除時，該熱阻抗可進一步地改善。散熱器可以施加於前表面及後表面，或者該前封裝材料及背封裝材料可用一適當的材料來做熱隔絕。

該裝置或電路晶圓與適當材料的三明治結構在當用於配合一球柵陣列封裝技術時，或另一封裝技術不使用球柵陣列，但在後續組裝中使用另一種真實接觸方法時，為最佳。圖20F所示為使用一球柵陣列及球或凸塊，以及凸塊下金屬化108，由內連接圖20E的結構到該內連接階層。該球柵陣列法可以藉由形成穿過該封裝材料到所要的連接點之內連接而直接地應用到此描述，接著即進行適當的凸塊下金屬化及球柵成形。

在圖20G中所示為不使用一球柵陣列的一封裝技術範例



五、發明說明 (27)

。此範例使用一栓格柵陣列201。此陣列係形成在基板92中，其包含栓格柵陣列201及疊層93-95之間的內連接202。其栓可在後續被壓入到一板，卡片，基板或其它次組件內。此組裝方法可消除焊塊，底充等需要，基本上可用於先進的封裝。另外，92的暴露表面可以形成有暴露的接觸區域203，其可內連接到疊層93-95，其後續可被壓入到形成在一板，卡片，基板或其它次組件上之栓格柵陣列。

此封裝方法及裝置也可承受熱應力。基本上移除除了在該主動裝置區域外的所有矽，可允許剩餘的矽有明顯的較大相容於該封裝材料。該矽的進一步相容性可由在該基板被薄型化或完全地移除之後，藉由蝕刻或移除所有在該模子之間的矽來達到。最大的相容性可由在薄型化或完全地移除該基板之後，移除所有除了每個主動裝置所在之外的矽來達到。在此例中，該矽裝置並未連接到矽，而是連接平坦化材料及內連接金屬化。也有可能移除中等量的矽。

此架構相較於典型的方法，可使得應力降低並改善可靠度。適當地選擇封裝材料及/或該模子所附著來獲得一可接受應變的材料，可以造成應力的進一步降低，並改善了典型的方法中像是球柵陣列會具有應變所導致的破壞之可靠度。

該晶圓連結可組合這種元件與其它元件來製造一系統或一系統的功能元件。圖21所示為根據本發明所整合系統的一分解圖。在此系統中，一高密度低速裝置151係整合於一高速低密度裝置153。其它像是包含熱擴散器，隔離層

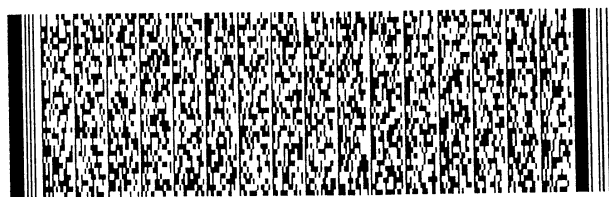
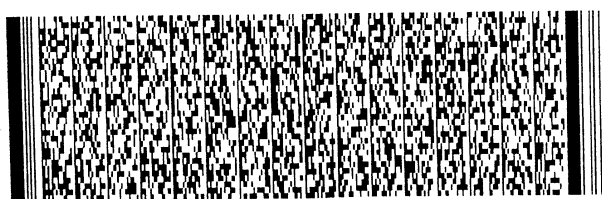


五、發明說明 (28)

及天線之被動元件也可包含進來。

在一基板150上，連結有具有元件155及內連接156的一高密度低速矽積體電路之晶圓151的剩餘部份。該晶圓151的基板已經移除，在上述的方法中，晶圓150可以為一熱擴散器。一低密度高速裝置153，例如一HBT裝置(在移除基板之後所示)，可連結到已經鏈結到晶圓151的一絕緣基板。基板152可以具有電氣及熱絕緣特性，其也可是一熱擴散器，由像是鑽石或類似鑽石的碳所製成。介層窗係形成在基板152中(未示出)，其可允許在晶圓151中的該矽裝置及在晶圓153中的該HBT之間的連接。在晶圓153上，連結有具有接觸墊159的封裝基板154。另外，基板154可以為具有一片狀天線159的一天線來接收輸入到該HBT的信號。內連接(也未示出)可形成在基板154及在該HBT晶圓上的裝置之間，並視需要，而在基板159及晶圓151之間。

另一個系統可以形成在具有一高密度嵌入式記憶體體的微處理器。在一晶圓(例如10)上的一微處理器可以連結並內連接一第二晶圓(例如16)。此架構因為提供了該處理器與記憶體元件之間藉由降低寄生電容而增加了通訊速率，而造成一明顯的位元寬度增加。電源消耗也可藉由消除I/O驅動器及該處理器及記憶體之間的位準偏移而被降低。該架構進一步允許相較於習用的晶片內嵌入記憶體的方法而增加了記憶體。再者，該處理器及記憶體設計及製造流程也可分別地最佳化來產生一最佳化設計及製造裝置的組合，其可不需要使設計及製程妥協於因為要在相同的晶圓上

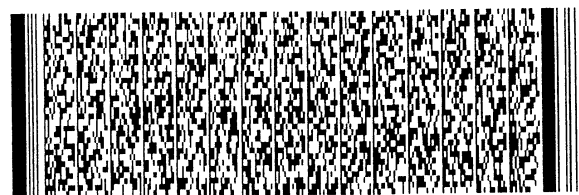
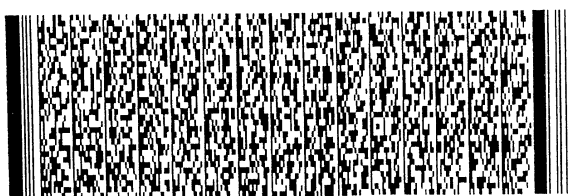


五、發明說明 (29)

製造，或是必須在電路板層次來內連接該兩個裝置。

該晶圓連結也包含連結一基板，其主要是做為機械支撐到一裝置或電路晶圓。此可由圖3及4中看到，其中晶圓10為一裝置或電路晶圓，而元件16為一支撐基板。該裝置或電路晶圓10的基板接著可被部份或完全地移除，而該晶圓可由連接到已經移除該基板處的該晶圓的"背側"來被封裝。舉例而言，圖14所示為已經移除基板40，並形成內連接51的晶圓41。如圖22A所示，晶圓41係安裝在一封裝113中(所示為簡化過的方式來說明本發明)。晶圓41的薄膜52係被移除來暴露內連接51。在內連接51上形成有一連結墊110，其係由纜線113連接到封裝墊112。其未示出連接到其它裝置的終端。其它的封裝配置，例如翻晶片安裝也有可能。其亦可能來整合三個或更多的元件或晶圓，其包含一多層內連接。這些方法及裝置也可包含省略元件46及/或45。

在另一例中，一裝置或電路晶圓係連結到一第一基板，而該裝置或電路晶圓的基板已被移除。一具有較佳的熱，隔離及/或機械性質的第二基板接著被連結到該裝置的側邊，或在移除該基板之後所暴露的電路晶圓。然後該第一基板即被移除來暴露出該裝置或電路晶圓的頂側。由圖6所示的裝置開始，基板20被移除，而一第二基板115則連結到該HBT裝置的背側。然後基板10被移除，並暴露出該HBT裝置的頂側。該整合的裝置然後可被安裝在一封裝116中，如圖22B所示。在接點26上形成有一連結墊117。墊



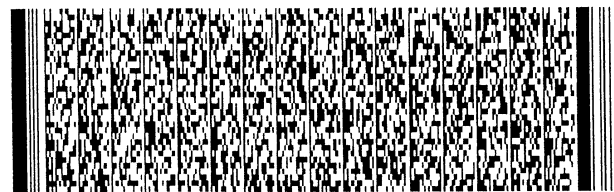
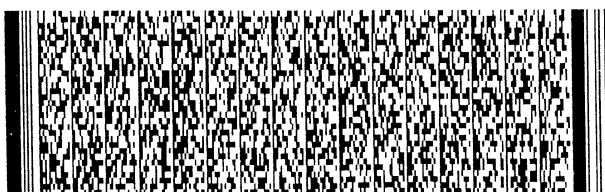
五、發明說明 (30)

117 係透過纜線117而連接到封裝墊119。其未示出連接到其它裝置的終端。其它封裝配置也是可能的，例如使用一具有多層內連接連結到的一裝置及翻晶片安裝。

堆疊的太陽能電池也可根據本發明來整合。在圖23中，所示為一第一太陽能電池的橫截面。太陽能電池120包含背接點121，基板122，主動區域123及上接點124。電池120接著以一連結材料125來平坦化，並研磨到具有高度的平坦性及平滑度(圖24)，其依照第一具體實施例的方式。背接點121也可在基板被大致薄型化或移除之後，在後續的成形中被省略。

其準備有一第二電池126，其具有基板127，主動區域128及接點129(圖25)。在圖26中，連結材料130係沉積在電池126上，並以在第一具體實施例中所討論的方式來平坦化。電池120及126係連結在一起，而移除電池126的基板，例如藉由圖27所示的重疊及研磨。介層窗131-133係形成來暴露部份的接點124及129(圖28)，內連接134係形成在該介層窗中(圖29)，而接點135即形成到該第二電池(圖30)。

該根據本發明整合的太陽能電池在維持一高度的電池之間的光學透明度時，可具有增加的效率。也可達到低內連接電阻及高機械強度。在此例中所示的堆疊可降低該接觸區域約一半，其可被一典型接點($<10^{-5}$ ohm-cm²)及內連接電阻($<10^{-6}$ ohm-cm²)所接受。單一接面及串聯接面電池兩者皆可使用本發明來堆疊。以本發明的該機械式堆疊可能



五、發明說明 (31)

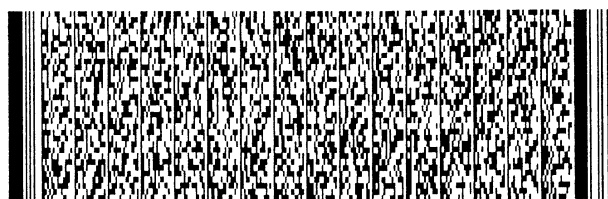
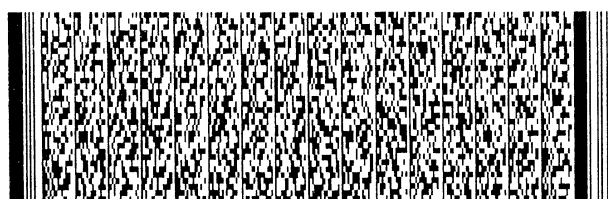
避免與磊晶技術整合，而造成關於串聯或串接式電池的晶格成長限制。其進一步提供相較於其它機械式堆疊的太陽能電池的改善之機械強度，並可由於大致上或完全地移除基板來機械式地相容於溫度變化。最佳化的相容性係由移除在一基板上電池之間的該主動層來達到，及/或藉由設計該介層窗及內連接圖案來適當地降低在整個基板區域上連續主動疊層的區域，以類似於先前描述的封裝方式。

更多的電池可使用本發明來堆疊。如圖31所示，連結材料136係由堆疊在圖30中的電池上來形成，並此上述的方式來平坦化。一具有平坦化的連結材料137，接點138及基板139的第三電池係連結在材料136(圖32)之上，而介層窗140則形成(圖33)。然後即形成接點141及142(圖34)。

圖35及36所示為本發明的另一方面，其中一空洞係在表面平坦化之前或之後來形成於一基板143中。後續連結到一第二晶圓145可產生靠近該連結介面146的一有意的空洞。該空洞可為一介層窗，而用於後續的連接到位在晶圓143的裝置中。

根據本發明的整合方法可進一步包含不相同區域的晶圓，模子及表面等的連結。如何完成此項的範例包含第一，將小區域附著到一較大區域，並接著連結該較大的區域到另外更大的區域，或第二，如下述地來連結小區域到較大的區域。

舉例而言，在第一種方法中，其需要來整合一光學裝置與一電子電路來實現具有光學輸入/輸出(I/O)的電子電路

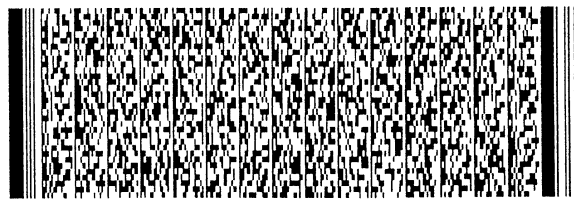
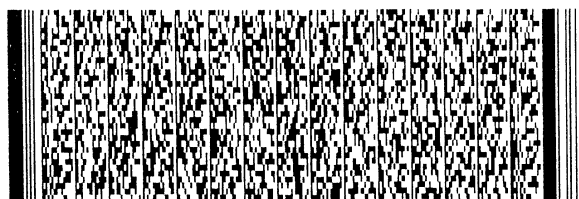


五、發明說明 (32)

。在此例中，該光學裝置所需要的區域(如垂直凹處放射雷射(VCSELs)，p-i-n光二極體等)，其基本上或比該電子電路所需要的面積小得多。再者，該光學裝置製造所需要的該晶圓尺寸基本上會小於該電子電路被製造的晶圓尺寸。因此，其並不適於連結該較小的晶圓與裝置/電路的一較高區域密度，到具有較小的裝置/電路的區域密度，因為該電子電路將可整合於比需要更多的光學裝置，或不需要光學裝置。

在一較佳的方法中，所需要來連結的模子係以習用的骰子來區分成較小的晶圓，該分離模子係組合在一承載晶圓，其尺寸與包含電子裝置的晶圓尺寸差不多，及該較大的晶圓及所連結的該承載晶圓。此係示於圖37A，其中較小的模子或裝置162係連結到具有連結材料161的一基板160。然後如果需要的话會發生基板移除，而在所連結的裝置之間的內連接可使用上述的方法來製成。該模子分離可較佳地是由包含晶圓連結所需要的模子之晶圓的平坦化之前來進行。該模子也可較佳地是在此平坦化之前來測試，並在組裝到一較大晶圓之前來輔助區分。

在一較大晶圓上的模子組合可以用不同的方式來完成，其包含在一特定位置上形成一凹處，而其可符合於其它包含所需要電子裝置的晶圓，如圖37B所示，其中在凹處167或基板163處為使用連結材料164及166的連結的裝置165。其也有可能為其它的方法，包含模子附著等。舉例而言，連結材料164及166可在當該模子及凹處的尺寸適合來壓入



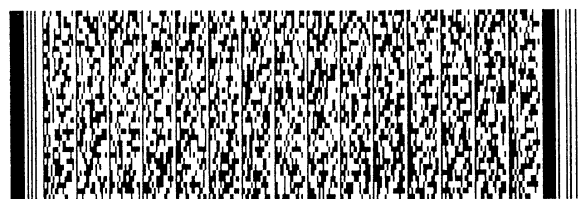
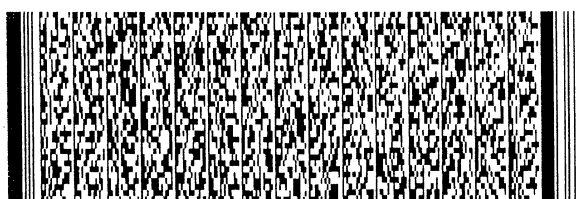
五、發明說明 (33)

吻合時被省略。

在模子被組合在該承載晶圓上之後，所得到的晶圓可被平面化來連結到具有電子裝置的較大晶圓。此平坦化可用符合於該模具組裝的方式來進行。舉例而言，如果模子係被組裝在一凹處，該凹處可形成來符合於該模子厚度，而使該模子表面可對應於較大的晶圓表面。圖37C及37D所示為分別示於圖37A及37B的結構的平坦化，及連結到相對應的基板。在圖37C中，具有裝置或模子162的晶圓160係連結到使用連結材料168及169的基板170。晶圓170較佳地是包含電子裝置，其係內連接於模子或裝置162。同時，晶圓170可為一熱擴散器，另一個基板可由接下來移除的基板160的另一側來連結到裝置或模子162。圖37D係類似於使用連結材料171及172時基板163連結到基板173。

另外，由模子組裝所得到的晶圓可以在不需要平坦化整個晶圓的情況下來連結。舉例而言，該模子可以組裝成使該模子高於其被組裝的該晶圓，而其基本上可為相同的高度。在此例中，後續的連結主要是發生在該組裝的模子處，其並不會超過包含該組裝的模子的整個晶圓表面之上。在晶圓連結之後移除此晶圓的基板可因此有效地在該模子基板被完全地移除之前達到模子的分離。在完成模子基板移除之後(或後續的整個基板)，該模子可以如前述地被內連接到該電子電路。

再者，根據上述的第二種方法，一類似於該第一種方式的方法可以在不需要組裝較小的模子在該承載晶圓上來執

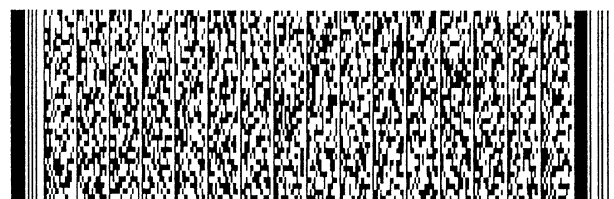
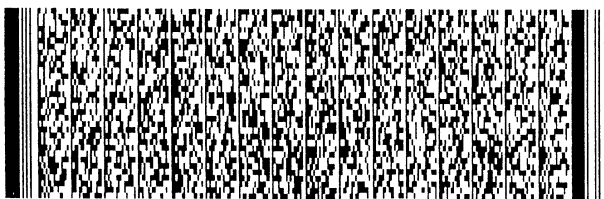


五、發明說明 (34)

行。在此例中，該較小的模子可以獨立地連結到該較大的晶圓。在該較小的模子被獨立地連結，及其基板被完全地或大致地移除之後，其可如前述地內連接到裝置或電路。為了在此例中進行基板移除，一類似材料的樣板到該模子基板移除可以附著到環繞該連結的模子來製造一較佳的表面來移除基板，其包含碾磨，重疊等。

該較小模子所連結到的此承載晶圓可具有除了包含前述的電子電路之外的其它功能。舉例而言，該較大的晶圓也可用於重新路線化及將較小的模子彼此內連接。其也有其它的用處。在此例中，參考圖37C做為一範例，可透過晶圓160的兩側來連接不同的裝置162，並透過基板170而製成。基板160及170的薄型化可較佳地是降低介層窗厚度。

圖38A及38B所示為另一種內連接一裝置與一電路板，電腦卡片，主機板等的方法。該裝置可為如上述地連結的裝置，即連結到一封裝材料的裝置。該連結的封裝材料可在連結之前具有地形，或在連結後續的介層窗及內連接可接觸之後，即構成地形。此地形係使用一般的處理來進行，其允許一壓入符合，冷焊接，音波焊接，或低溫熱音波連結等，藉以形成在此地形及一主機板，積體電路板，電腦卡片等之間，此係設計來符合於此地形。此地形可以用蝕刻該封裝材料或沉積一額外材料來製成。根據所使用的材料品質及形式，此地形可具有長寬比由平面到突然地尖峰之範圍。此地形可存在於該封裝材料及/或在該板上到該封裝的裝置或電路將在後續所附著的板上。此附著機制並

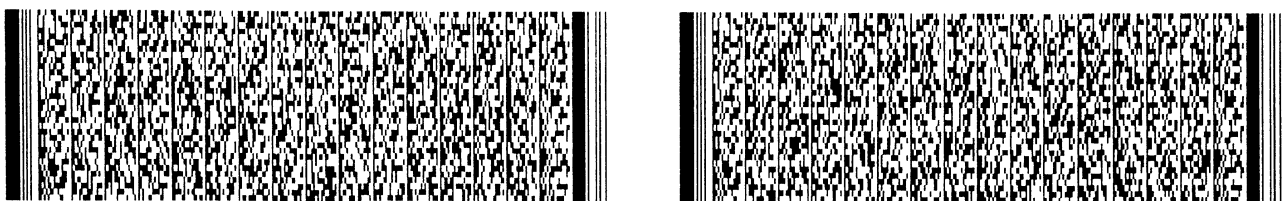


五、發明說明 (35)

不依靠升高溫度來重新流動材料來形成一連接，如同由焊塊，球柵陣列等所構成。因此，其可明顯地降低應力及增加可靠度。此方法也可以非常低的成本來製造，因勿該裝置或電路的封裝可以用晶圓的大小來完成，焊塊不需要被施加或重新流動來構成封裝的裝置/電路的組件到板，卡片等。

在圖38A中所示的為一更為特定的範例。在一裝置200的上表面上，其形成具有"栓"202的一栓格柵陣列201。該栓係使用習用的處理技術而形成，例如金屬化，微影，蝕刻等。該栓202係具有一狹小的尖端的金屬結構。栓202係設計來符合相對應的導電結構，例如在該電路板，電腦卡片，主機板等之上的金屬墊。此狹窄的尖端提供保證電子接點，而藉由壓下該栓來對抗該導電結構。該栓所示為具有一金字塔形，但也有其它可能形狀的裝置。該栓202可以形成儘可能地小，而在寬度範圍10 μm 中，並具有長寬比在1:1到1:3之程度。其須注意到當裝置200僅顯示少數栓202，基本上該裝置將具有大量的栓會形成在一陣列中，例如可能省略了在該陣列或矩陣的某些部份之栓的正方形或長方形矩陣。

圖38B所示為一具有導電墊204的一板203，其較佳地是形成在一圖案中的金屬墊，其係對應於栓202的陣列。如箭頭205所示，栓202即被對準，並壓下對應於該墊204之對應的一個。其可瞭解到非常小的接點可以形成在一陣列中來允許大量的內連接來製成於該連結的裝置及該裝置所



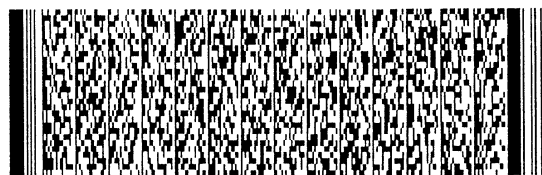
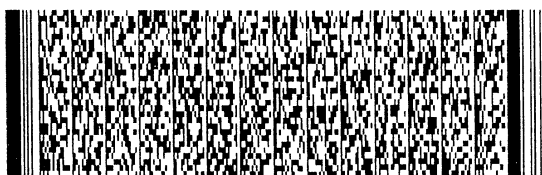
五、發明說明 (36)

連結的該板或卡片之間。

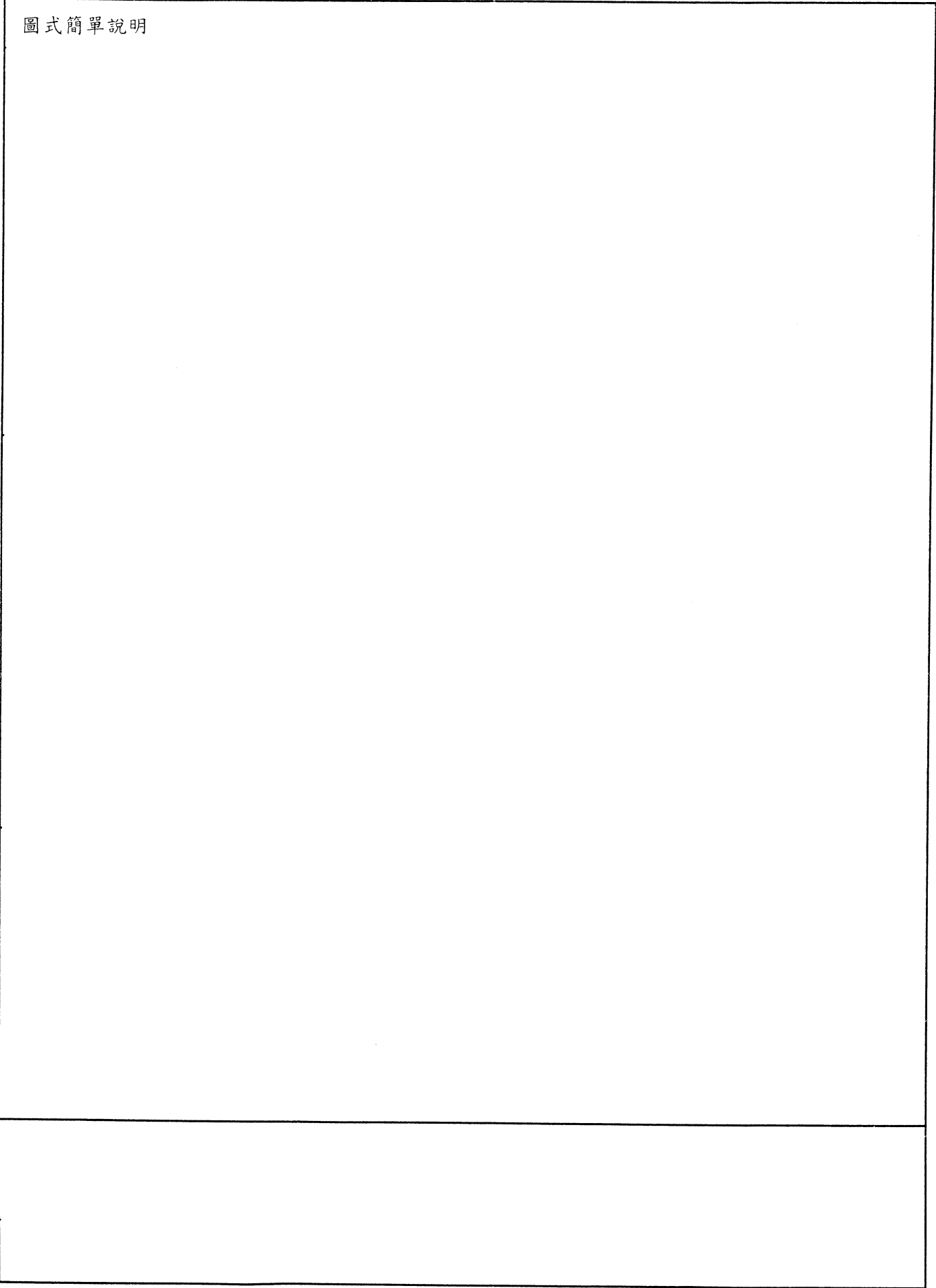
當特別的裝置及材料已配合該第一及第二具體實施例來加以說明，本發明並不限於此。本發明可應用到形成在任何形式的基板之上的任何形式的裝置。再者，其可使用任何形式的技術來製造所要連結的裝置。舉例而言，在一GaAs基板上的GaAs裝置可以連結到HBT裝置。同時，形成在矽基板上的以矽為主的裝置，其也可連結到該GaAs為主的裝置或該HBT形式的裝置。其也可使用像是CMOS，BiCMOS，nnp及pnp HBT，VCSEL，PIN，HFET，MESFET，MOSFET，HEMTs，MEMs及JFET。

根據本發明的方法提供了一三維疊層的積體電路結構。該裝置為具有一高整合密度的多重晶片模組，並相較於其它多重晶片模組具有降低的內連接寄生電容。該模組提供了很大的彈性而使其可以組合不同的裝置及不同的技術。

顯然地，本發明的許多修正及變化也可能由以上的揭示之原理來提示。因此其可瞭解到在所附申請專利範圍中，本發明可以實現，而不需要此處所特別指明的



圖式簡單說明

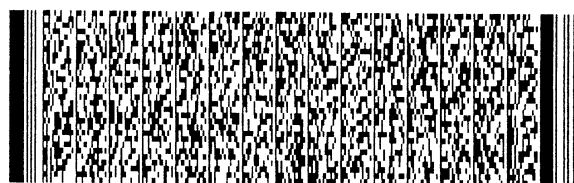


四、中文發明摘要 (發明之名稱：三維裝置之整合方法及整合裝置)

一種裝置整合方法及整合裝置。該方法可包含直接連結具有一基板的半導體裝置到一元件之步驟；及移除該基板的一部份以在連結之後暴露出該半導體的剩餘部份。該元件可包含一用於熱擴散及阻抗匹配或是RF隔離用之基板、一天線、及一包含被動元件之一匹配網路中之一。一第二熱擴散基板可以連結到該半導體裝置的該剩餘部份。內連接可以通過該第一或第二基板來構成。該方法也可包含連結複數個半導體裝置到一元件，而該元件可具有凹陷來供該半導體裝置放置。一具有複數個接點結構的導體可以形成於該半導體裝置的一暴露表面，介層窗可形成於通過該半導體裝置到裝置區域，而內連接可以形成於該裝置區域及該接觸結構之間。

英文發明摘要 (發明之名稱：THREE DIMENSIONAL DEVICE INTEGRATION METHOD AND INTEGRATED DEVICE)

A device integration method and integrated device. The method may include the steps of directly bonding a semiconductor device having a substrate to an element; and removing a portion of the substrate to expose a remaining portion of the semiconductor device after bonding. The element may include one of a substrate used for thermal spreading, impedance matching or for RF isolation, an antenna, and a matching network comprised of passive elements. A second thermal spreading



四、中文發明摘要 (發明之名稱：三維裝置之整合方法及整合裝置)

英文發明摘要 (發明之名稱：THREE DIMENSIONAL DEVICE INTEGRATION METHOD AND INTEGRATED DEVICE)

substrate may be bonded to the remaining portion of the semiconductor device. Interconnections may be made through the first or second substrates. The method may also include bonding a plurality of semiconductor devices to an element, and the element may have recesses in which the semiconductor devices are disposed. A conductor array having a plurality of contact structures may be formed on an exposed surface of the semiconductor device, vias may be formed through



四、中文發明摘要 (發明之名稱：三維裝置之整合方法及整合裝置)

英文發明摘要 (發明之名稱：THREE DIMENSIONAL DEVICE INTEGRATION METHOD AND INTEGRATED DEVICE)

the semiconductor device to device regions, and interconnection may be formed between said device regions and said contact structures.



六、申請專利範圍

1. 一種形成一整合裝置的方法，其包含：

在具有一第一基板之一第一半導體裝置上形成一第一連結材料；

在具有一第二基板之一第一元件上形成一第二連結材料；

直接連結該第一及第二連結材料；

移除一部份該第一基板來暴露出該第一半導體裝置的一剩餘部份；及

安裝該整合的裝置在一封裝中。

2. 如申請專利範圍第1項之方法，其包含：

由該第一半導體裝置的該剩餘部份的一暴露側連接該封裝到該第一半導體裝置。

3. 如申請專利範圍第1項之方法，其包含：

連結具有該第一基板之該第一半導體裝置在上側及底側，一主動區域即形成在該上側；

由該底側移除該部份；及

由該底側連接該封裝到該第一半導體裝置。

4. 如申請專利範圍第3項之方法，其包含：

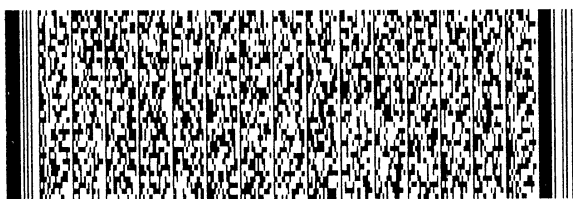
直接連結具有一第三基板的一第二元件到該第一半導體裝置的該剩餘部份；

大致移除所有的該第一元件；及

由該上側連接該第一半導體裝置到該封裝。

5. 如申請專利範圍第3項之方法，其包含：

在該第一半導體裝置中形成該第一半導體裝置；及



六、申請專利範圍

形成由一暴露的剩餘部份側到至少該內連接階層之一之連接；及

內連接該連接與該封裝。

6. 如申請專利範圍第5項之方法，其中形成連接包含：
由一暴露的剩餘部份側形成複數個內連接階層。

7. 如申請專利範圍第3項之方法，其包含：

直接連結一第三基板到該第一半導體裝置的該剩餘部份；

由該上側暴露出部份的該第一半導體裝置；及

由該上側通過該第三基板連接該半導體裝置到該封裝。

8. 如申請專利範圍第7項之方法，其中該第一半導體裝置包含複數個內連接階層；該方法包含：

由一暴露的剩餘部份側形成連接到至少該內連接階層之一；及

內連接該連接與該封裝。

9. 如申請專利範圍第1項之方法，其包含：

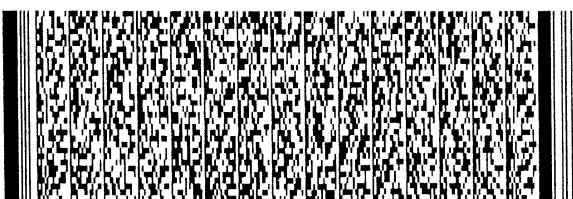
直接地形成一連接到該第一半導體裝置的一裝置元件區域。

10. 一種形成一整合裝置之方法，其包含：

連結一第一熱擴散基板到具有一裝置基板的一第一半導體裝置；

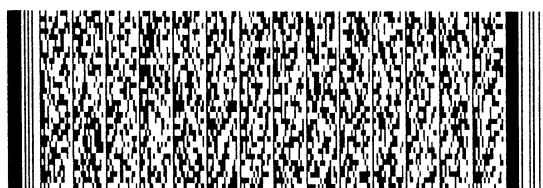
移除一部份該裝置基板來暴露出該第一半導體裝置的一剩餘部份；及

連結一第二熱擴散基板到該第一半導體的該剩餘部份。



六、申請專利範圍

11. 如申請專利範圍第10項之方法，其包含：
在該第一半導體裝置中形成複數個內連接階層；及
使用該第一熱擴散基板來形成到至少該內連接階層之一之連接。
12. 如申請專利範圍第11項之方法，其包含：
使用一真實接觸方法來形成到至少該內連接階層之一之連接。
13. 如申請專利範圍第11項之方法，其包含：
直接形成到該第一半導體裝置的一裝置元件區域之連接。
14. 如申請專利範圍第10項之方法，其包含：
在該第一半導體裝置中形成複數個內連接階層；及
使用該第二熱擴散基板來形成到至少該內連接階層之一之連接。
15. 如申請專利範圍第14項之方法，其包含：
使用一真實接觸法來形成到至少該內連接階層之一之連接。
16. 如申請專利範圍第10項之方法，其包含：
在該半導體裝置中形成內連接結構，其可在該移除該部份之步驟前，藉由移除該部份所暴露的一側來接近。
17. 如申請專利範圍第10項之方法，其包含：
使用由相對於藉由移除該部份所暴露的該側之一側之處理，來在該半導體裝置中形成內連接結構，其可由移除該部份所暴露的一側來接近。



六、申請專利範圍

18. 一種形成一整合裝置之方法，其包含：

直接連結具有一第一基板的一第一半導體裝置到一元件；及

移除一部份該第一基板以在該連結之後暴露出該第一半導體裝置的一剩餘部份；

其中該元件包含用來做為熱擴散，阻抗匹配，或用來RF隔離用的一基板、一天線、及一包含被動元件的一匹配網路中之一。

19. 如申請專利範圍第18項之方法，其包含：

移除一部份該剩餘部份來暴露出該元件的一部份。

20. 如申請專利範圍第19項之方法，其包含：

內連接該第一半導體裝置的該剩餘部份與該元件。

21. 一種形成一整合系統之方法，其包含：

直接連結一系統的一第一元件到一系統的一第二元件；及

內連接該第一及第二元件。

22. 如申請專利範圍第21項之方法，其包含：

連結該第一元件到具有一基板的一第二元件；

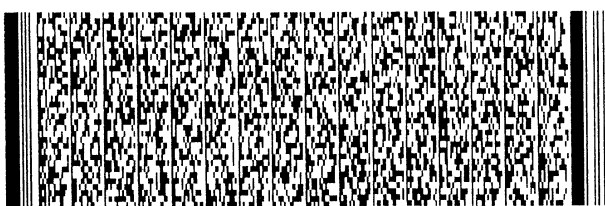
由該第二元件的一側移除該基板的至少一部份；及

由該第二元件的該側內連接該第一及第二元件。

23. 如申請專利範圍第21項之方法，其包含：

連結一遮蔽組件及一隔離組件之一到至少該第一及第二元件之一。

24. 如申請專利範圍第21項之方法，其包含：



六、申請專利範圍

連結一天線到至少該第一及第二元件之一；及

連接該天線到至少該第一及第二元件之一。

25. 如申請專利範圍第21項之方法，其包含

連結做為該第一元件的一光學裝置到做為該第二元件的一電子裝置。

26. 如申請專利範圍第21項之方法，其包含：

連結做為該第一元件的一低速高密度第一半導體裝置到做為該第二元件的一高速低密度第二半導體裝置。

27. 如申請專利範圍第21項之方法，其包含：

連結不同技術的該第一及第二半導體裝置。

28. 如申請專利範圍第21項之方法，其包含：

連結做為該第一半導體裝置的一矽裝置到做為該第二半導體裝置的一III-V的裝置。

29. 如申請專利範圍第21項之方法，其包含：

連結在包含該第一元件的一第一基板上的一微處理器到包含該第二組件的一高密度記憶體裝置。

30. 如申請專利範圍第21項之方法，其包含：

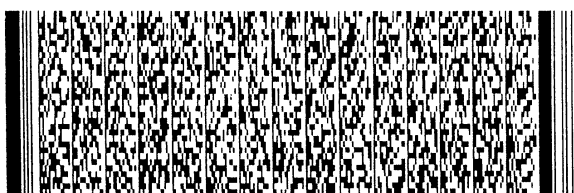
連結包含該第一元件的一第一太陽能電池到包含該第二元件的一第二太陽能電池。

31. 如申請專利範圍第30項之方法，其包含：

連結至少一第三太陽能電池到由連結該第一及第二太陽能電池所形成的一元件。

32. 如申請專利範圍第21項之方法，其包含：

在該第一元件的一表面中形成一空洞；



六、申請專利範圍

連結該第一元件的該表面到該第二元件的一表面。

33. 一種整合裝置的方法，其包含：

附著複數個第一元件到一基板的一表面來形成一第二元件；及

由該複數個第一元件所附著的一側直接地連結該第二元件到一第三元件。

34. 如申請專利範圍第33項之方法，其中的附著包含：

直接連結每個該複數個第一元件到該基板的該表面來形成該第二元件。

35. 如申請專利範圍第34項之方法，其包含：

在連結該第二元件到該第三元件之後，移除至少該第二元件的一部份。

36. 如申請專利範圍第34項之方法，其包含：

直接連結複數個第一半導體裝置到該基板的該表面；及
直接連結該第二元件到包含一第二半導體裝置的一第三元件。

37. 如申請專利範圍第34項之方法，其包含：

內連接該第一元件與該第三元件。

38. 如申請專利範圍第34項之方法，其包含：

使用該第二元件來內連接該第一元件；及
使用至少該第二及第三元件之一來內連接該第一元件及該第三元件。

39. 如申請專利範圍第34項之方法，其包含：

在該第二元件中形成一凹處；及



六、申請專利範圍

在該凹處中連結該複數個第一元件到該第二元件。

40. 如申請專利範圍第39項之方法，其包含：

在連結該第二元件到該第三元件之後來移除至少該第二元件的一部份。

41. 如申請專利範圍第39項之方法，其包含：

直接連結複數個第一半導體裝置到該基板的該表面；及
直接連結該第二元件到包含一第二半導體裝置的一第三元件。

42. 如申請專利範圍第39項之方法，其包含：

內連接該第一元件及該第三元件。

43. 如申請專利範圍第39項之方法，其包含：

使用該第二元件內連接該第一元件；及
使用至少該第二及第三元件之一來內連接該第一元件及該第三元件。

44. 如申請專利範圍第34項之方法，其包含：

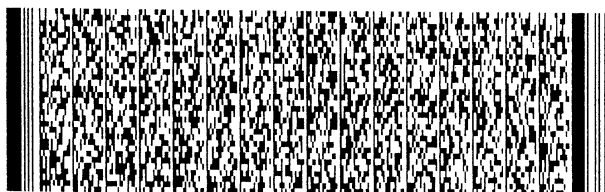
直接連結做為該第一元件之第一半導體裝置在基板上；
及

直接連結該做為該第二元件之第一半導體裝置到至少用於熱擴散、阻抗披配、RF隔離用的一基板、一天線、一第二半導體裝置、及一包含被動元件及導電層圖案化之一的一匹配網路中之一。

45. 如申請專利範圍第44項之方法，其包含：

移除該第一半導體裝置所連結的該基板之至少一部份。

46. 如申請專利範圍第44項之方法，其包含：



六、申請專利範圍

內連接該第一半導體裝置與該第二元件。

47. 一種形成一整合裝置之方法，其包含：

在具有一第一基板之一第一半導體裝置上形成一第一連結材料；

在具有一第二基板之一第二元件上形成一第二連結材料；

直接連結該第一及第二連結材料；

在該第一半導體裝置的一暴露表面上形成具有複數個接點結構的一導體陣列；

形成穿過該第一半導體裝置到裝置區域的介層窗；及
形成該裝置區域及該接點結構之間的內連接。

48. 如申請專利範圍第47項之方法，其包含：

形成做為該導體陣列之一栓格柵陣列。

49. 如申請專利範圍第48項之方法，其包含：

結合該栓格柵陣列於形成在一板，卡片及基板之一的導電區域。

50. 如申請專利範圍第47項之方法，其包含：

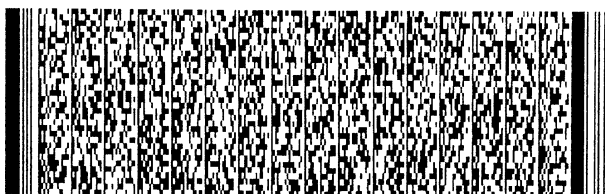
結合該導體陣列於形成在一板，卡片及基板中至少一項的導電區域。

51. 一種整合裝置，其包含：

一包含具有一第一基板之一第一裝置之一第一裝置部份，
由其中移除該第一基板；

一形成在該第一裝置部份上的第一連結材料；

一第一元件；



六、申請專利範圍

一形成在該第一元件上的第二連結材料；及
該第一連結材料係直接地連結到該第二連結材料。

52. 如申請專利範圍第51項之整合裝置，其中：

該第一裝置部份包含一第一太陽能電池部份，其包含具有該第一基板的一第一太陽能電池，自該部份移除該第一基板；

該第一元件包含具有一第二基板的一第二太陽能電池；
及

該整合裝置包含形成用以自該第一太陽能電池部份之一側連接該第一太陽能電池部份及該第二太陽能電池的內連接，其中該第一基板自該部份移除。

53. 如申請專利範圍第52項之整合裝置，其包含：

至少一第三太陽能電池部份，其係由一第三太陽能電池移除一第三基板來形成；

一形成在該第三太陽能電池部份上的第三連結材料；

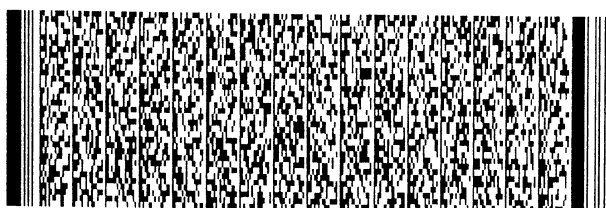
一形成在該第一太陽能電池部份的該側上的第四連結材料；

連接該第一太陽能電池，該第二太陽能電池的內連接、及該第三太陽能電池部份係形成於已移除該第三基板的該第三太陽能電池的一側。

54. 如申請專利範圍第51項之整合裝置，其中：

該第一裝置部份包含具有主動元件的一半導體裝置；及

該第一元件包含用於熱擴散、阻抗匹配或用於RF隔離用的一基板、一天線、及一包含被動元件的匹配網路中之一



六、申請專利範圍

。

55. 如申請專利範圍第51項之整合裝置，其中：

該第一裝置部份包含一第一晶圓之一包含有一第一側及一相對第二側的剩餘部份，該第一晶圓具有一第一基板，其中大致上所有的該第一基板已由該剩餘部份的該第一側移除；及

該第一元件係直接地連結到該剩餘部份的該第二側。

56. 如申請專利範圍第55項之整合裝置，其包含：

一內連接係由該第一側連接到該第一裝置部份。

57. 如申請專利範圍第56項之整合裝置，其中該內連接包含一多重疊層內連接。

58. 如申請專利範圍第55項之整合裝置，其中：

該剩餘部份包含不超過該第一基板的10微米。

59. 如申請專利範圍第55項之整合裝置，其中：

該剩餘部份包含不超過該第一基板的20微米。

60. 如申請專利範圍第55項之整合裝置，其包含：

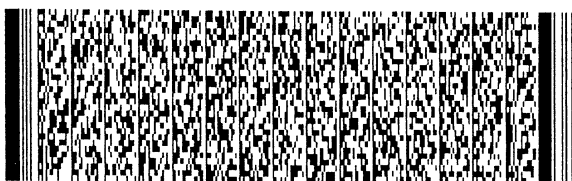
一由該第一側連接到該第一裝置的封裝。

61. 如申請專利範圍第51項之整合裝置，其包含：

該第一裝置部份包含一第一晶圓之一包含有一第一側及一相對第二側的剩餘部份，其具有一第一基板，其中大致上所有的該第一基板已由該剩餘部份的該第一側移除；及該第一元件係直接地連結到該剩餘部份的該第一側。

62. 如申請專利範圍第61項之整合裝置，其包含：

一內連接由該第一側連接到該第一裝置部份。



六、申請專利範圍

63. 如申請專利範圍第62項之整合裝置，其中該內連接包含一多重疊層內連接。

64. 如申請專利範圍第63項之整合裝置，其包含：

一由該第二側連接到該第一裝置的封裝。

65. 如申請專利範圍第51項之整合裝置，其中：

該第一裝置部份包含一記憶體的一主動區域及一微處理器的一主動區域之一；及

該第一元件分別包含一微處理器裝置及一記憶體裝置之一；及

該整合裝置包含形成在該第一裝置部份及該第一元件之間的內連接。

66. 如申請專利範圍第51項之整合裝置，其包含：

一遮蔽組件及一隔離組件之一，其係直接地連結到至少該第一裝置部份及該第一元件之一。

67. 如申請專利範圍第51項之整合裝置，其包含：

一直接地連結到至少該第一裝置部份及該第一元件之一的天線；及

連接該天線到至少該第一裝置部份及該第一元件之一的內連接。

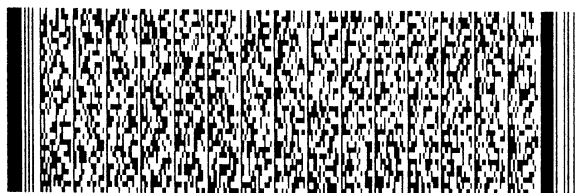
68. 如申請專利範圍第51項之整合裝置，其中：

該第一裝置部份包含一光學裝置；及

該第一元件包含一電子裝置及電路之一。

69. 如申請專利範圍第51項之整合裝置，其中：

該第一元件包含一低速高密度的第一半導體裝置；及



六、申請專利範圍

該第一裝置部份包含一高速低密度第二半導體裝置。

70. 如申請專利範圍第69項之整合裝置，其包含：

該第一及第二半導體裝置具有不同的技術。

71. 如申請專利範圍第51項之整合裝置，其中：

該第一元件包含一矽處理器；及

該第一裝置部份包含一III-V裝置。

72. 一種整合裝置，其包含：

負數個第一元件，其每個皆直接地由一第二元件連結到一基板的一表面；及

一第三元件直接地連結到該第二元件，其係由該第一元件連結到該表面之一側。

73. 如申請專利範圍第72項之裝置，其包含：

內連接形成在該第三元件及選擇的該複數個第一元件。

74. 如申請專利範圍第72項之裝置，其包含：

內連接形成在所選擇的該複數個第一元件之間的內連接。

75. 如申請專利範圍第72項之裝置，其包含：

形成在該基板中的凹處；及

該第一元件即沉積在該凹處中。

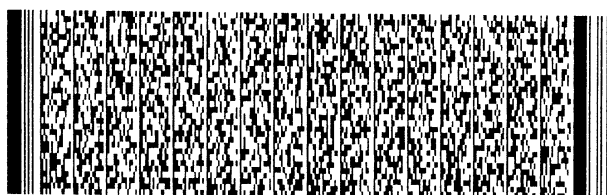
76. 一種整合裝置，其包含：

一裝置部份包含具有相對上側及底側的半導體裝置；

一第一基板直接地連結到該裝置部份的該上側；及

一第二基板直接地連結到該裝置部份的該底層。

77. 如申請專利範圍第76項之裝置，其包含：



六、申請專利範圍

形成到該裝置部份而通過每個該第一及第二基板之內連接。

78. 如申請專利範圍第76項之裝置，其包含：

形成在該裝置部份的電源及接地內連接可以僅是穿過該第一及第二基板之一。

79. 如申請專利範圍第78項之裝置，其包含：

至少僅形成該第一及第二基板到該裝置部份中，並僅穿過該第一及第二基板的另一個。

80. 如申請專利範圍第76項之裝置，其中該裝置部份包含複數個直接連結彼此的複數個裝置部份。

81. 一種整合裝置，其包含：

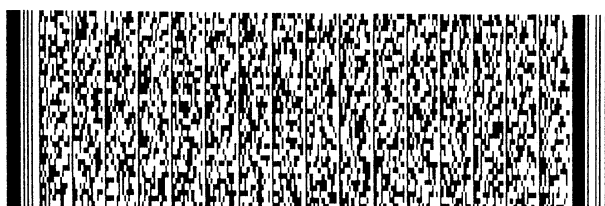
複數個第一元件，其每個皆直接地連結到一第二元件的一表面。

82. 如申請專利範圍第81項之裝置，其中：

第一元件至少包含下列中的一項，如第一半導體裝置、第一圖案化導體、第一天線元件、及具有被動元件的第一阻抗匹配元件；及

該第二元件至少包含下列中的一項，如第二半導體裝置、第二圖案化導體、第二天線元件、及具有被動元件的第二阻抗匹配元件。

83. 如申請專利範圍第82項之裝置，其中該第一元件至少包含下列中的一項，該第一半導體裝置，第一圖案化導體、第一天線元件、及具有被動元件而由其中移除一基板的第一阻抗匹配元件。



六、申請專利範圍

84. 如申請專利範圍第83項之裝置，其包含：

形成在該第一元件中的介層窗；及

形成在該介層窗中，內連接該第一元件到該第二元件之導電材料。

85. 一種整合裝置，其包含：

一第一連結材料，其置於具有一第一基板及第一導電區域的一第一半導體裝置上；

一第二連結材料，其置於具有一第二基板的一第一元件上，並直接地連結到該第一連結材料；

一導體陣列，其置於具有複數個第二導電區域之第一元件的一暴露表面上；及

形成在該第一及第二導電區域之間的內連接。

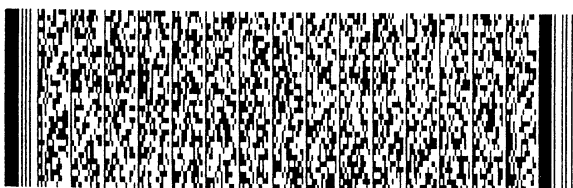
86. 如申請專利範圍第85項之裝置，其中該導體陣列包含一栓格柵陣列。

87. 如申請專利範圍第86項之裝置，其包含：

形成在至少一板、卡片及基板之一的導體區域，並結合於該第二導體區域。

88. 如申請專利範圍第85項之裝置，其包含：

形成在至少一板、卡片及基板之一的導體區域，並結合於該第二導體區域。



圖式

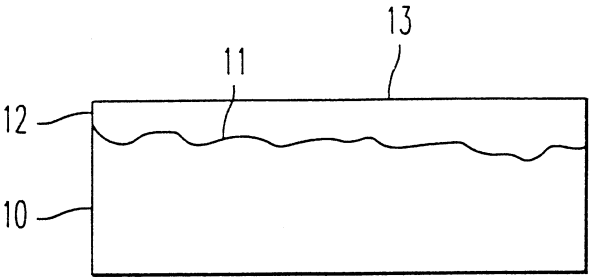


圖 1

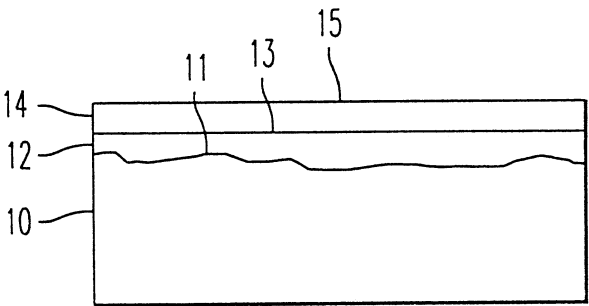


圖 2

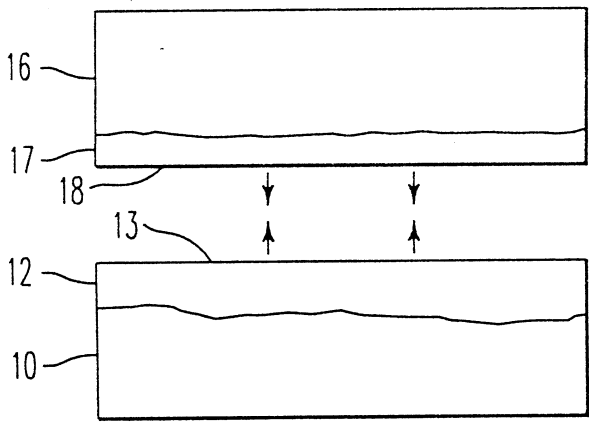


圖 3

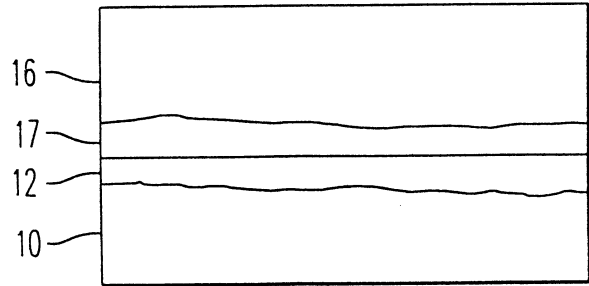


圖 4

圖式

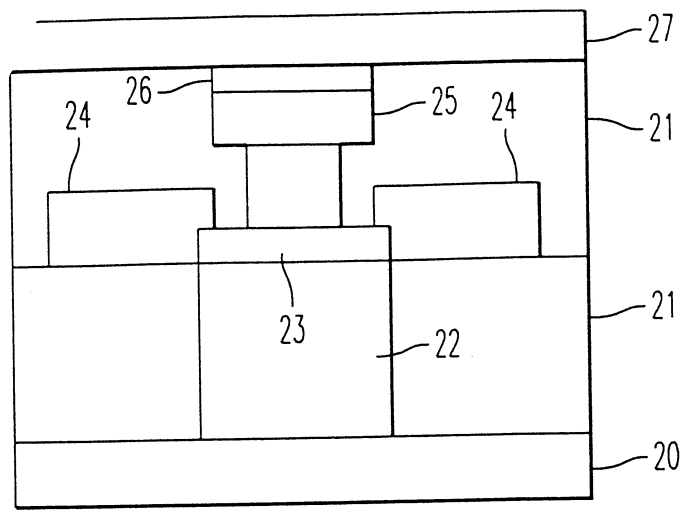


圖 5

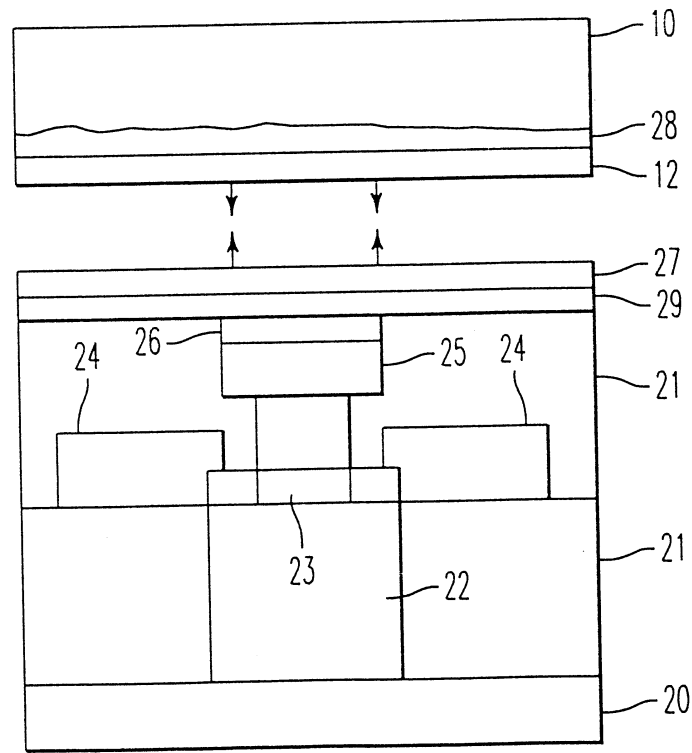


圖 6

圖式

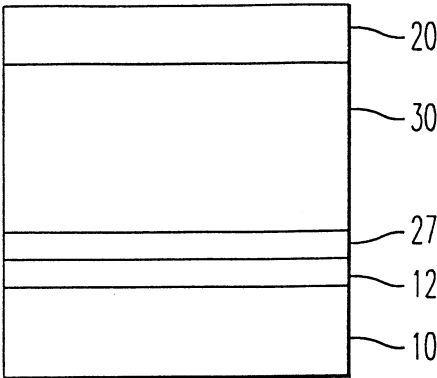


圖 7

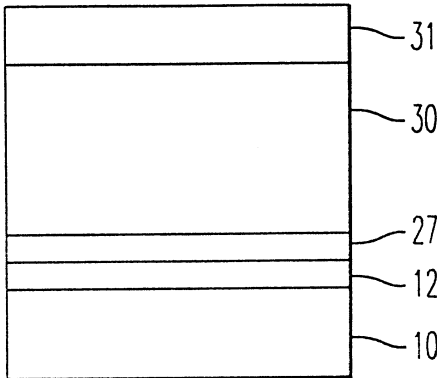


圖 8

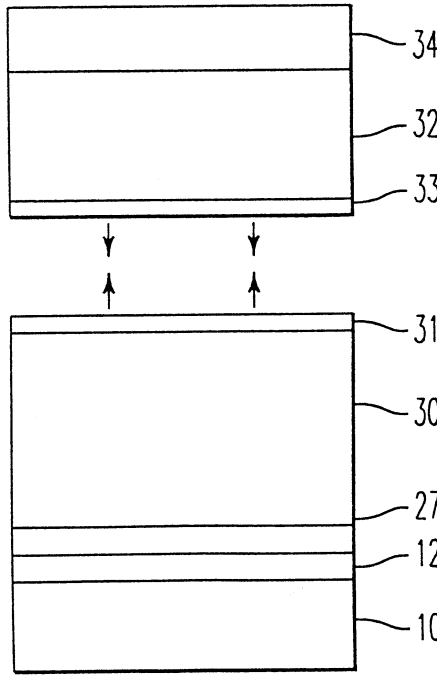


圖 9

圖式

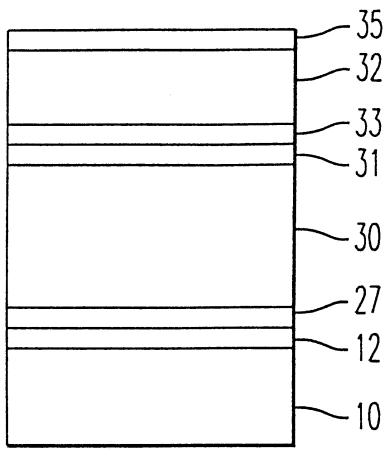


圖 10

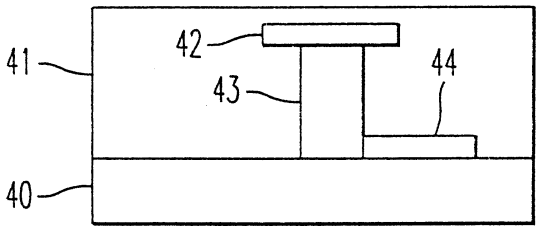


圖 11A

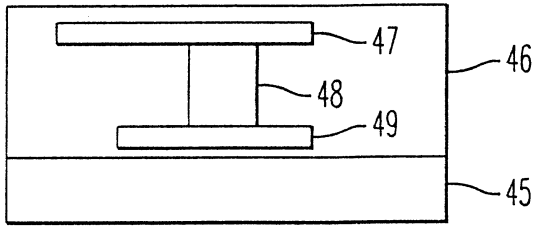


圖 11B

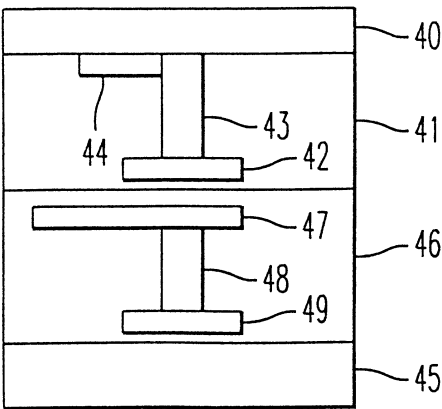


圖 12

圖式

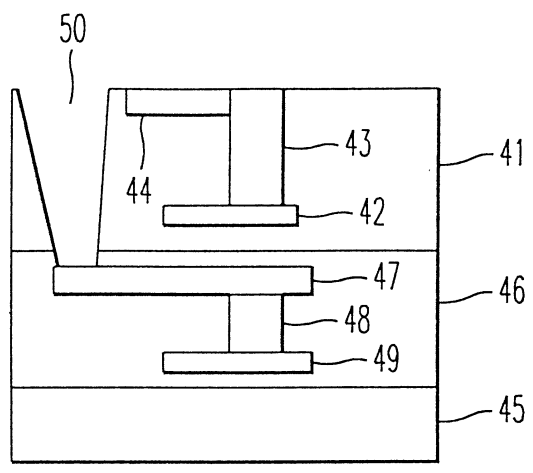


圖 13

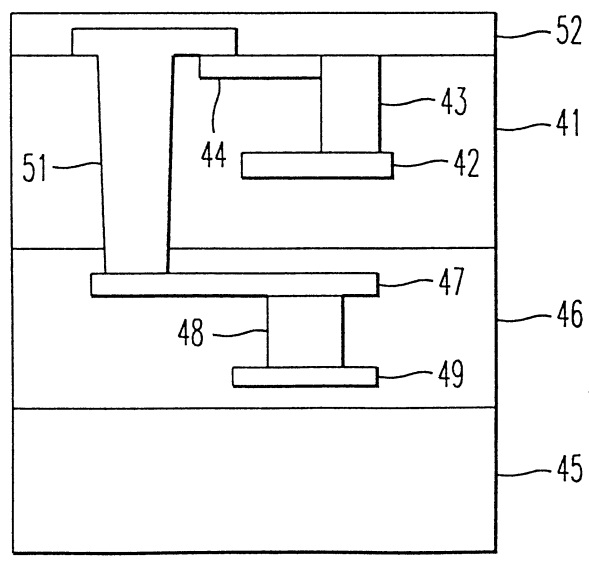


圖 14

圖式

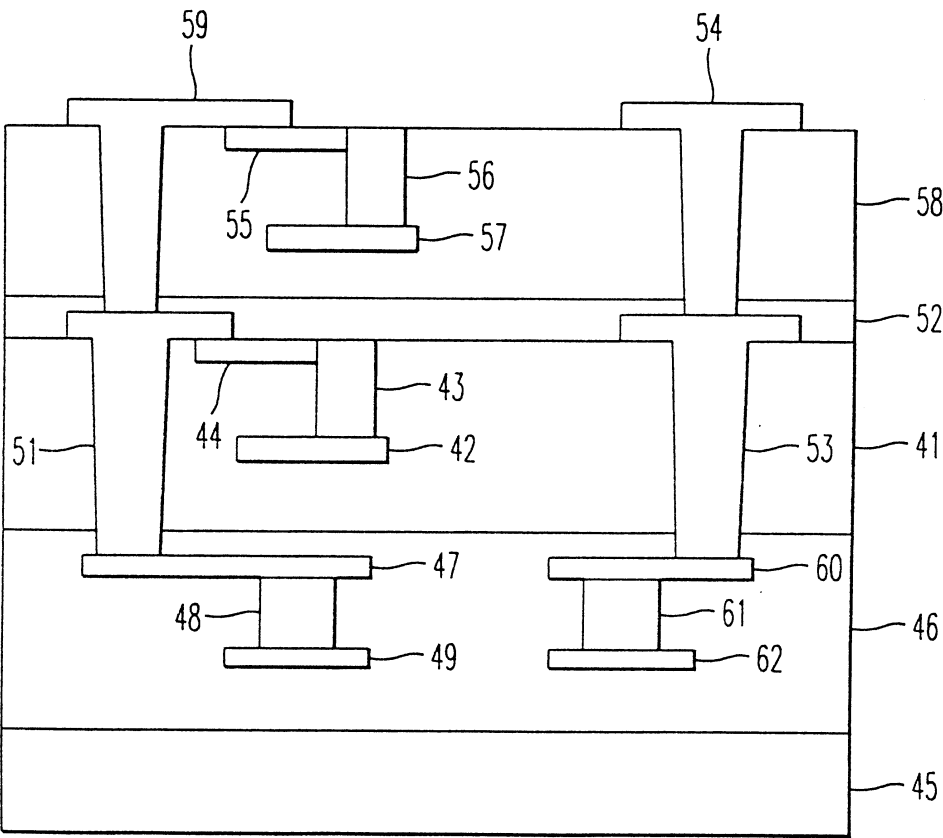


圖 15

圖式

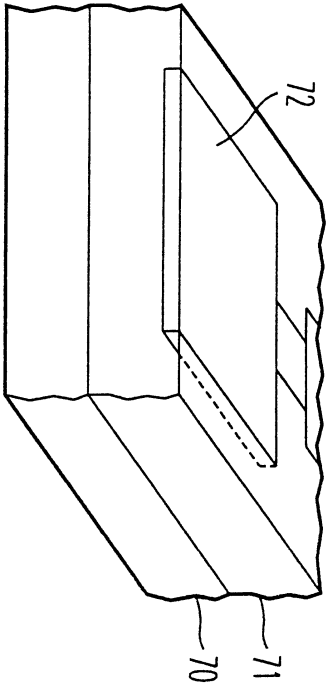


圖 16A

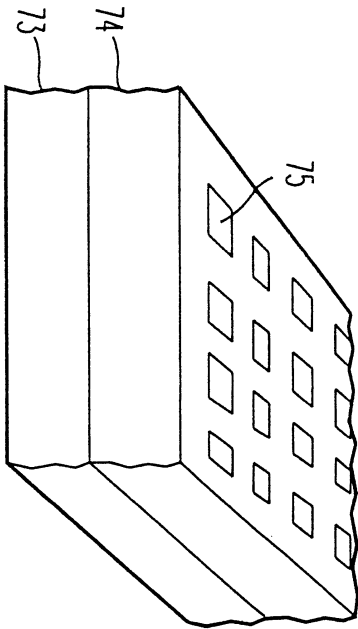


圖 16B

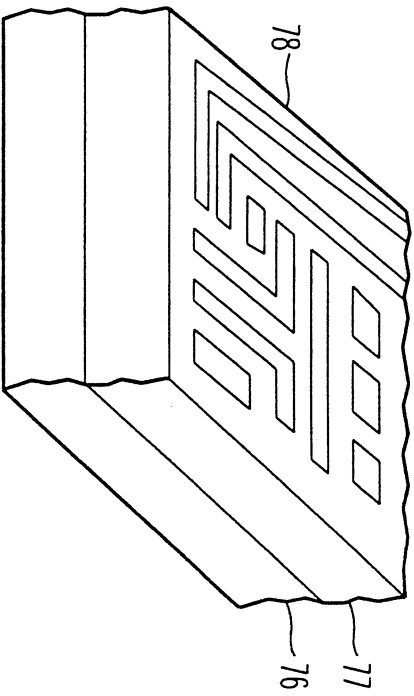


圖 16C

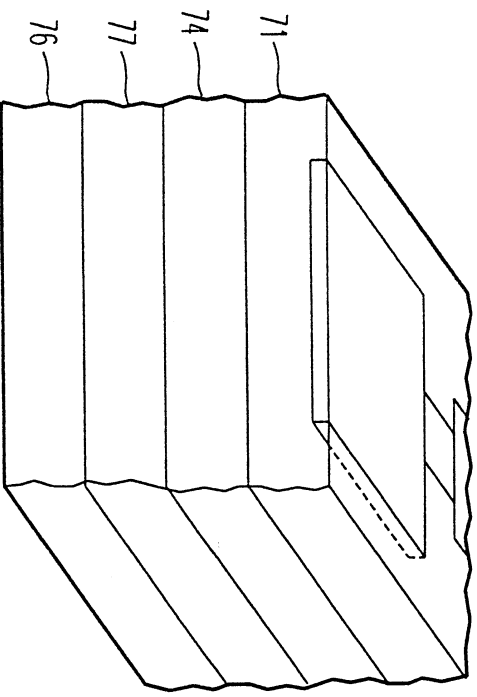


圖 16D

圖式

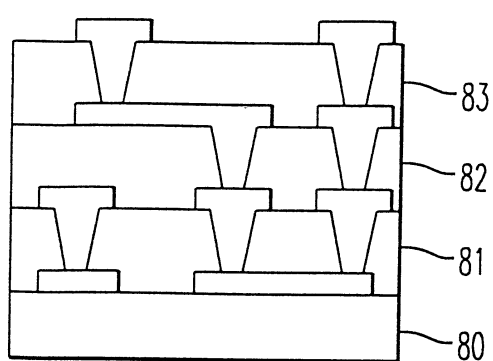


圖 17A

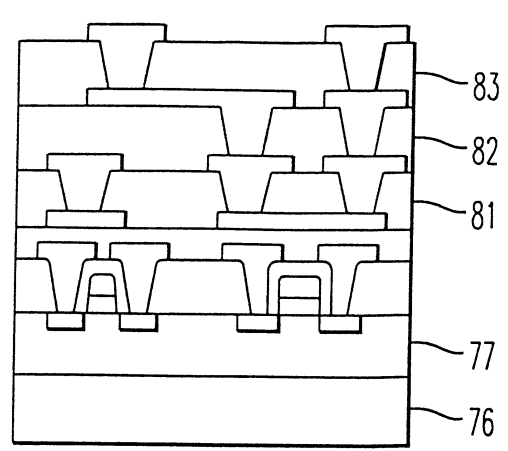


圖 17B

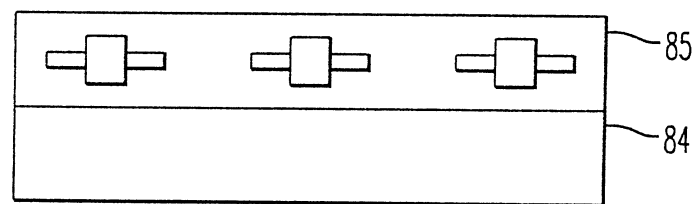


圖 18

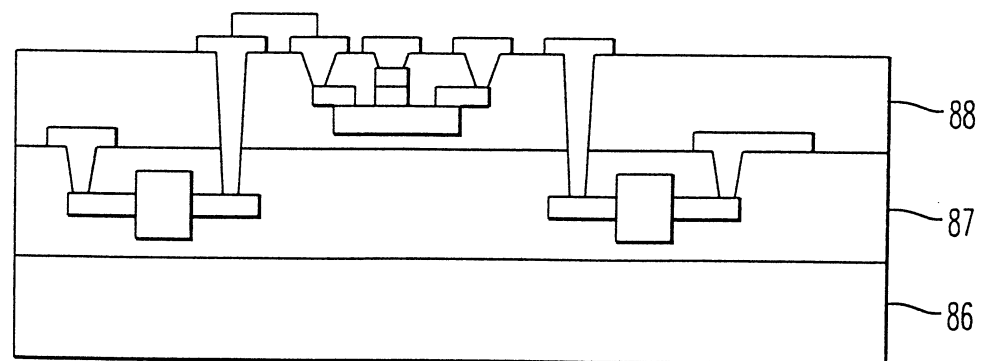


圖 19

圖式

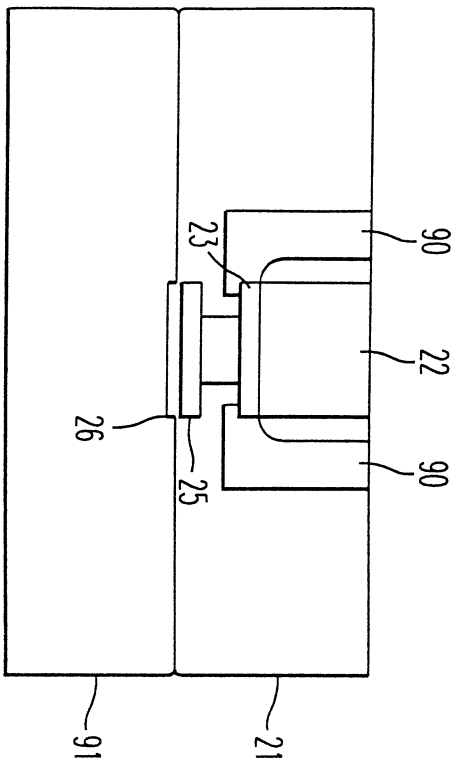


圖 20A

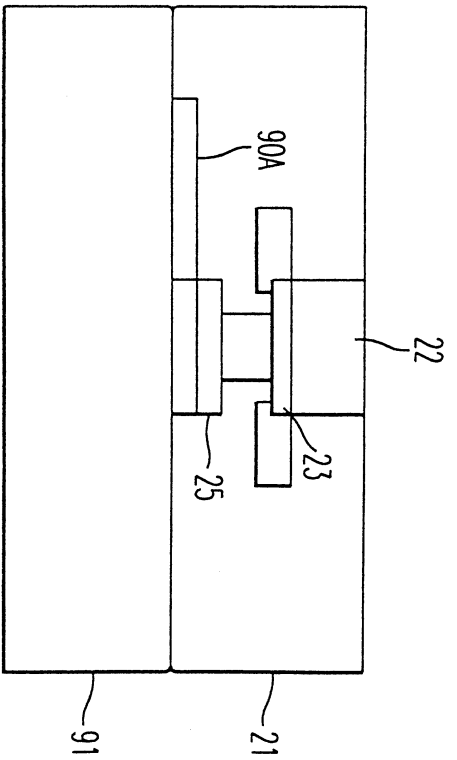


圖 20B

圖式

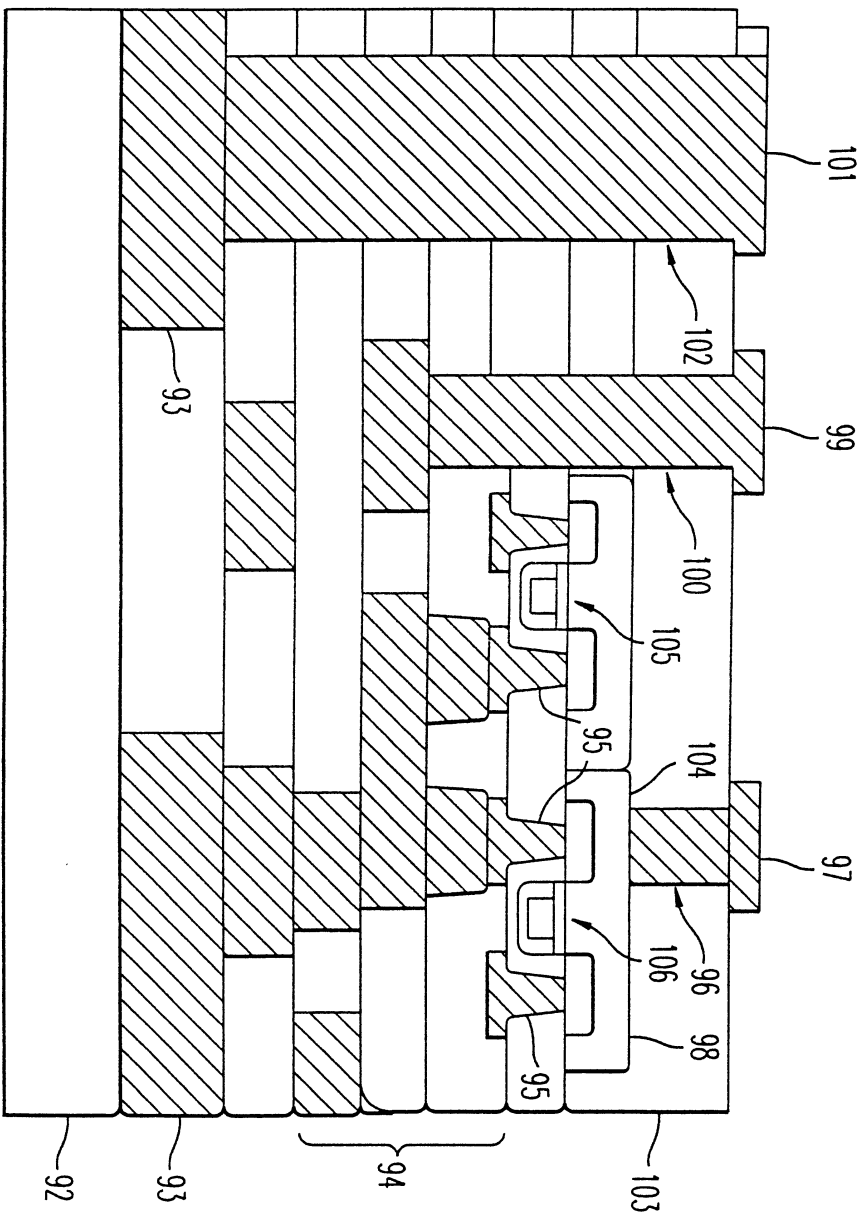


圖 20C

圖式

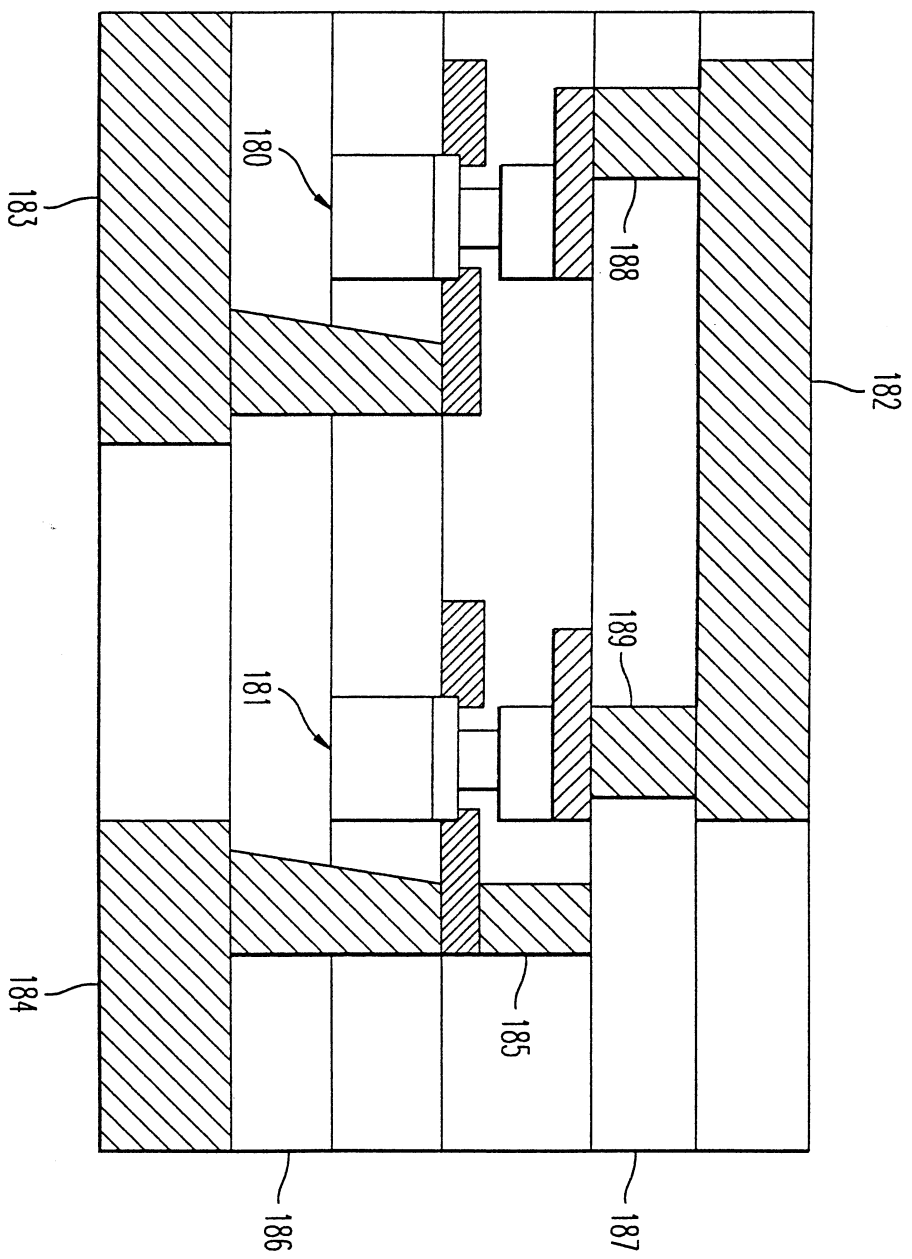
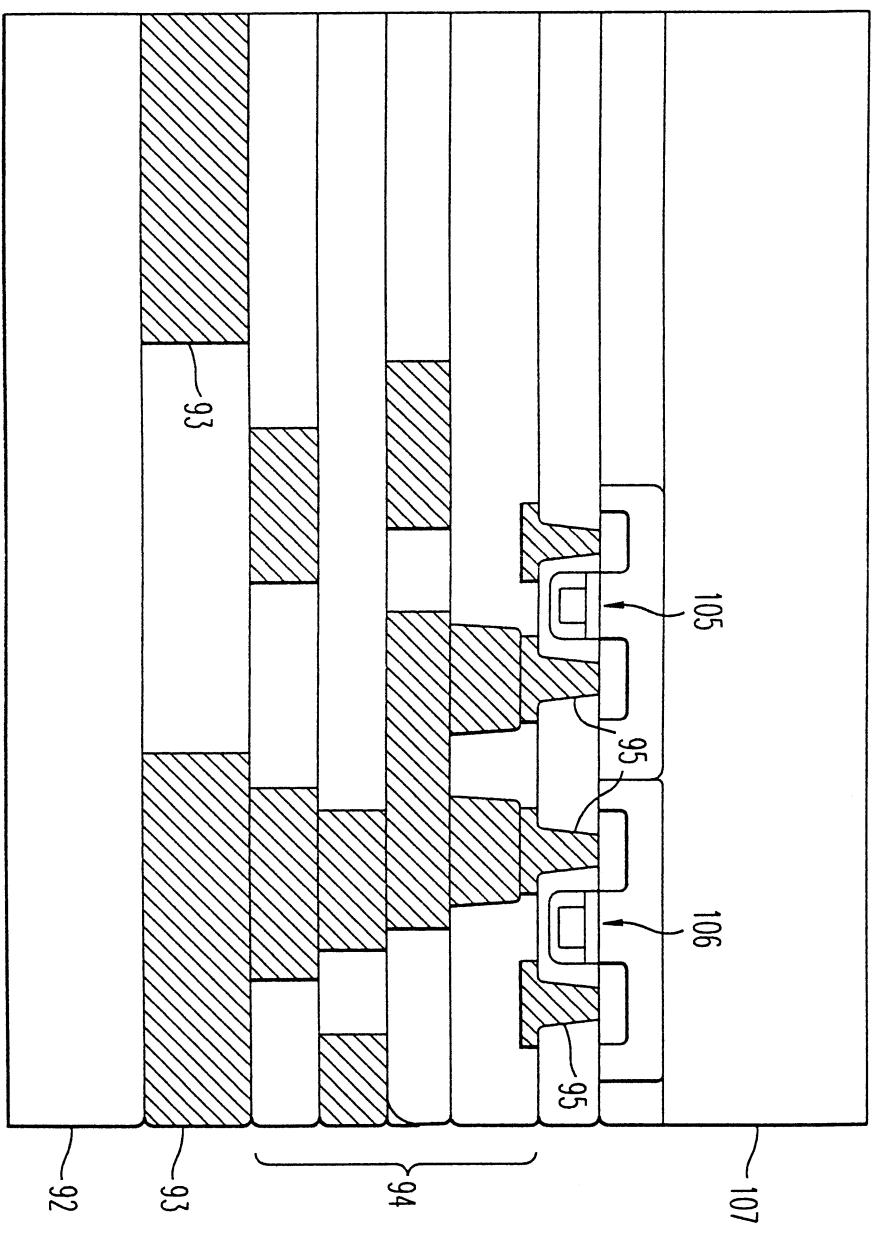


圖 20D

圖式

圖 20E



圖式

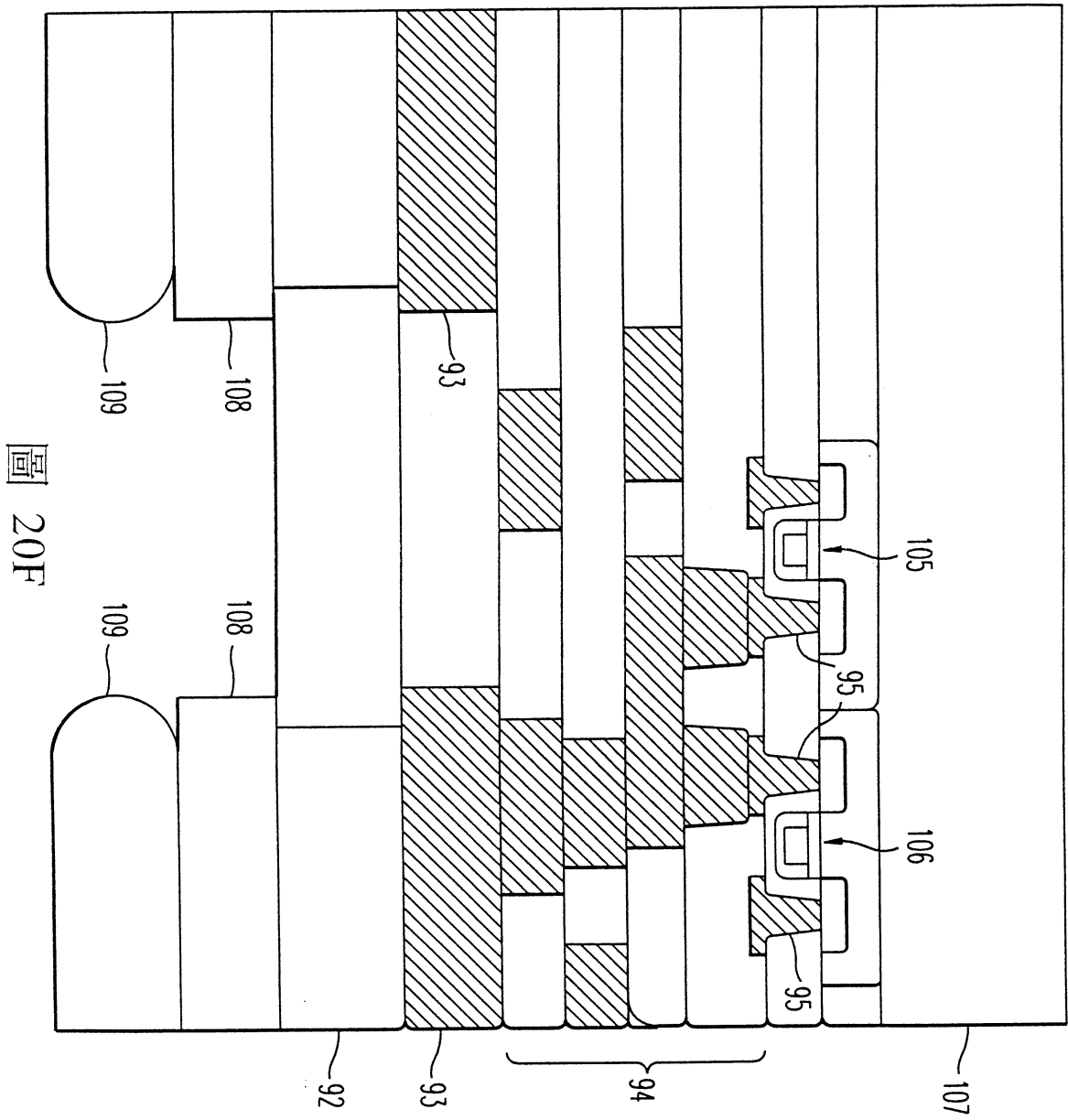


圖 20F

圖式

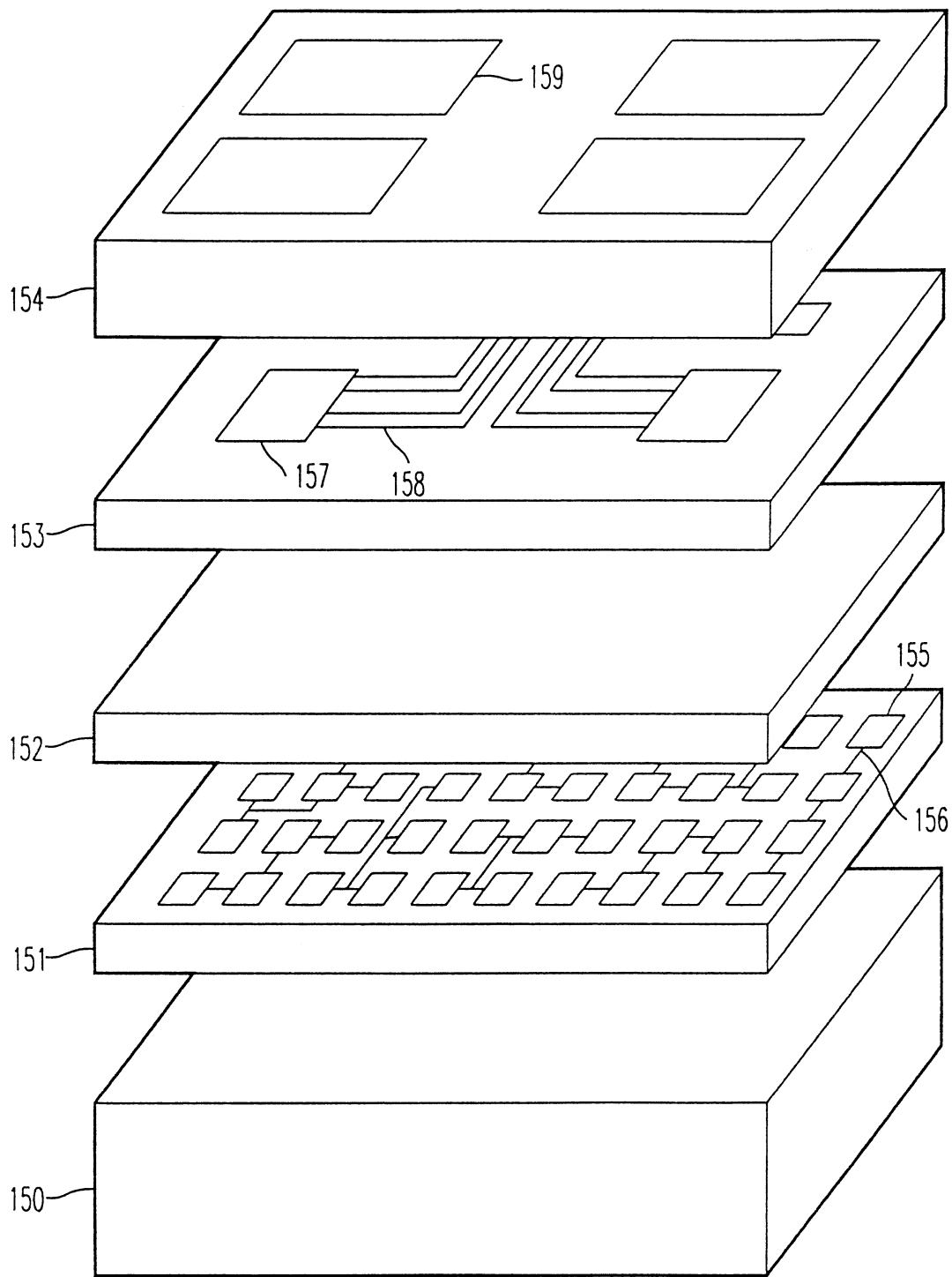


圖 21

圖式

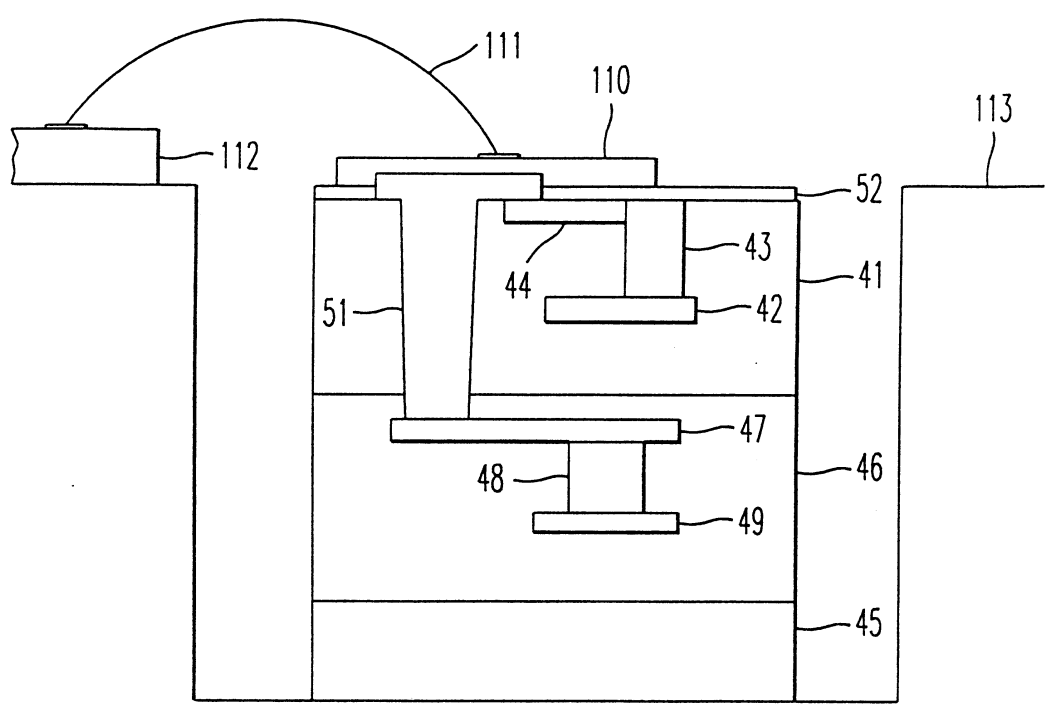


圖 22A

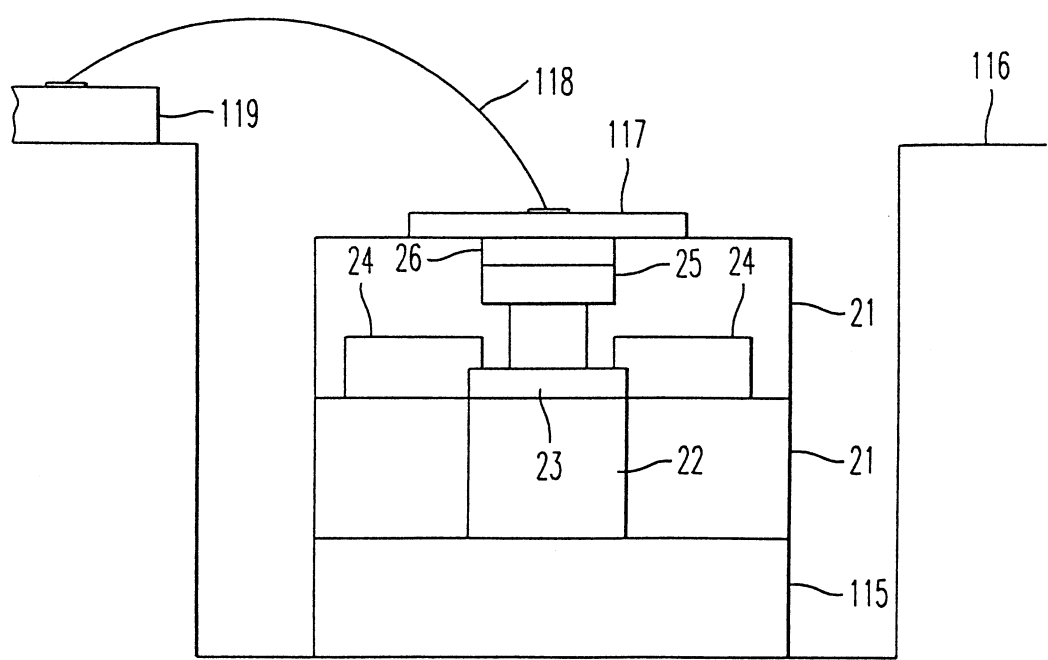


圖 22B

圖式

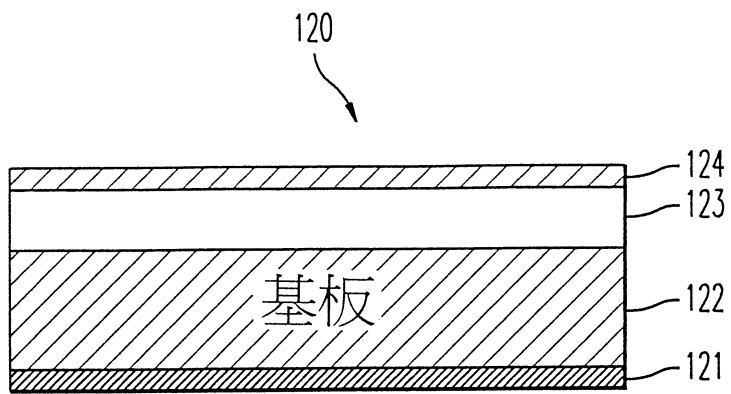


圖 23

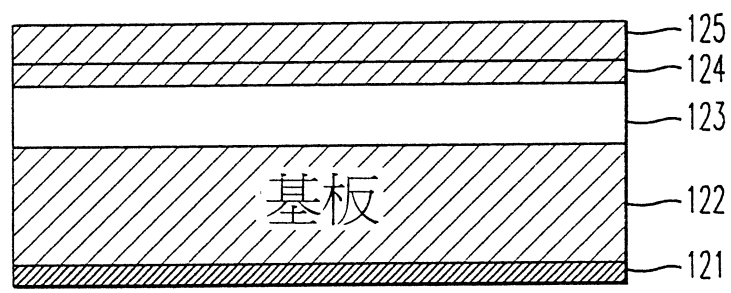


圖 24

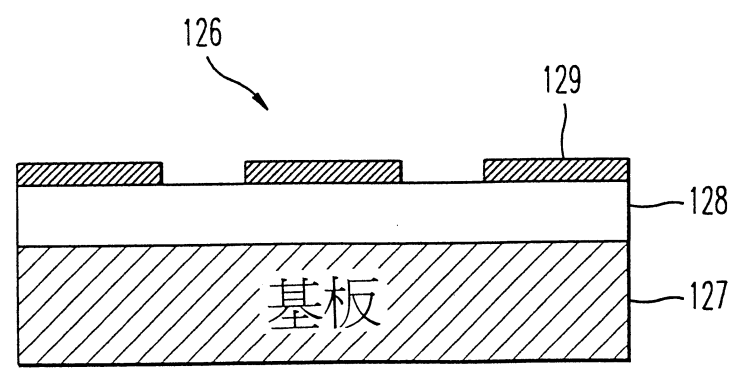


圖 25

圖式

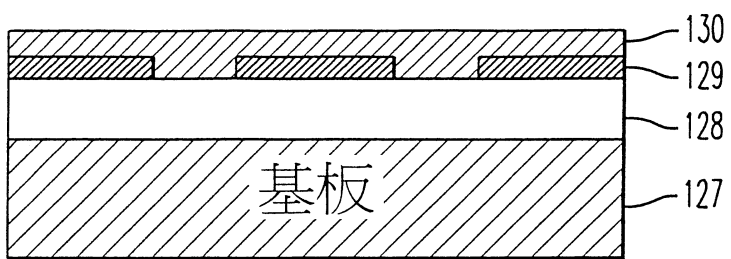


圖 26

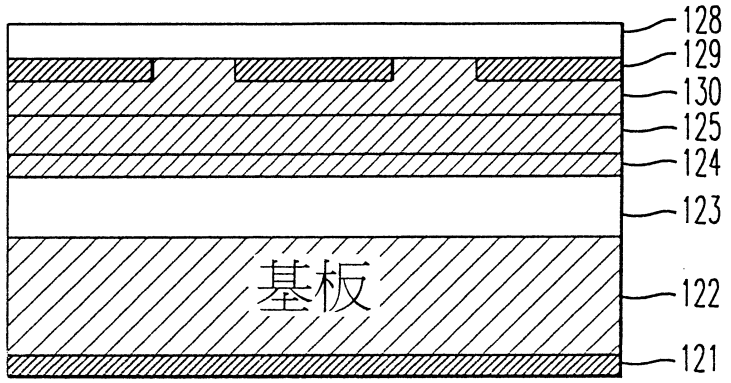


圖 27

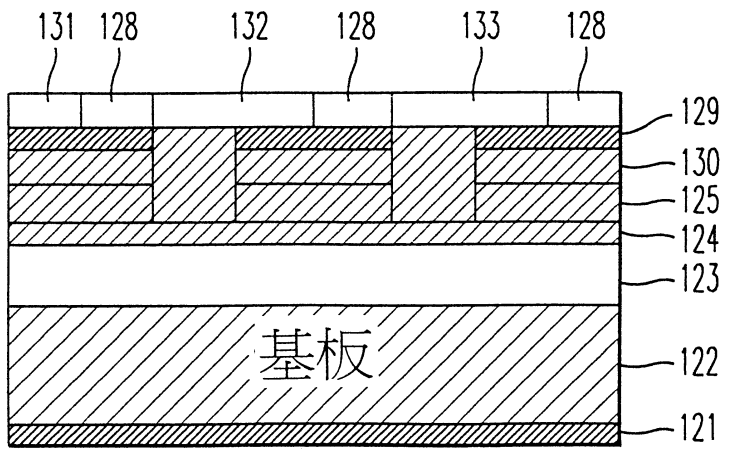


圖 28

圖式

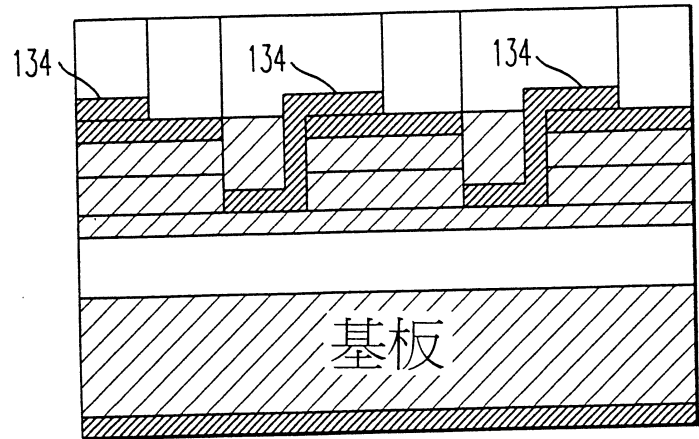


圖 29

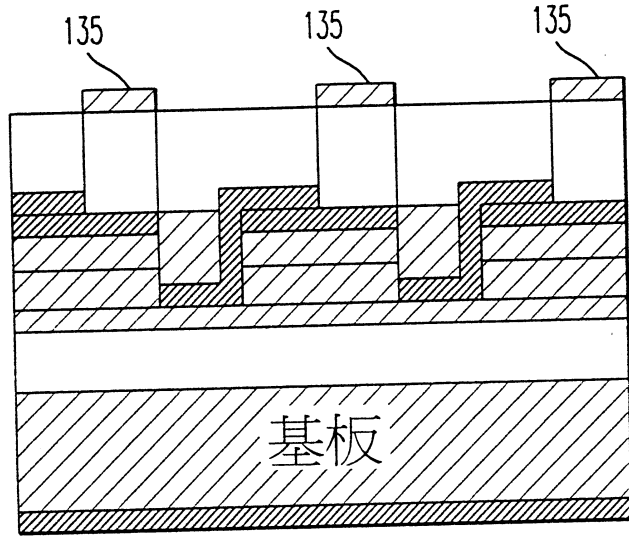


圖 30

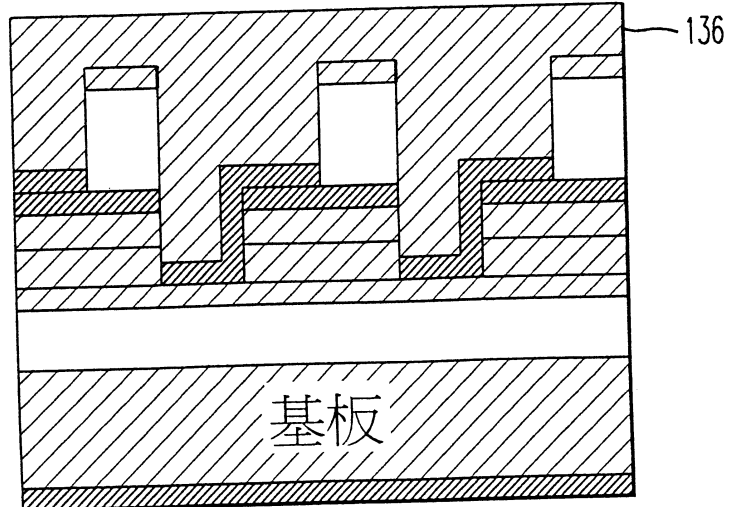


圖 31

圖式

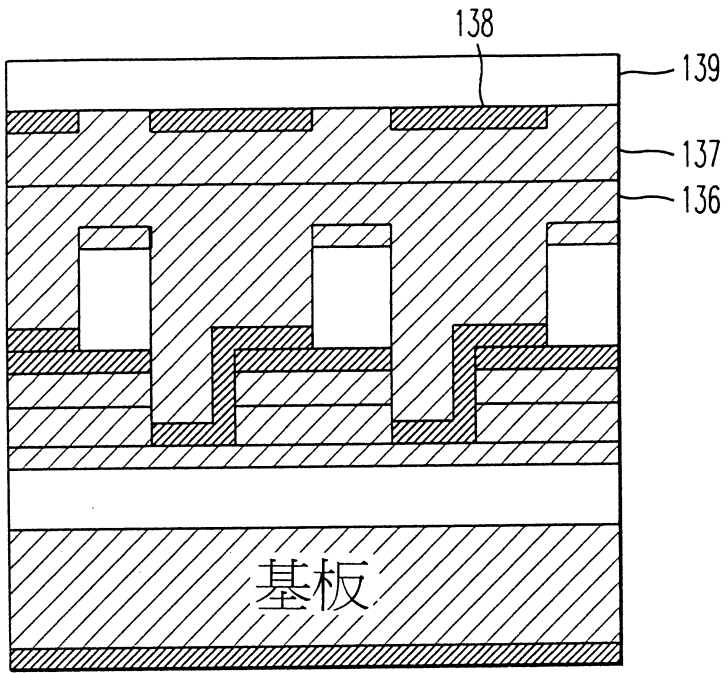


圖 32

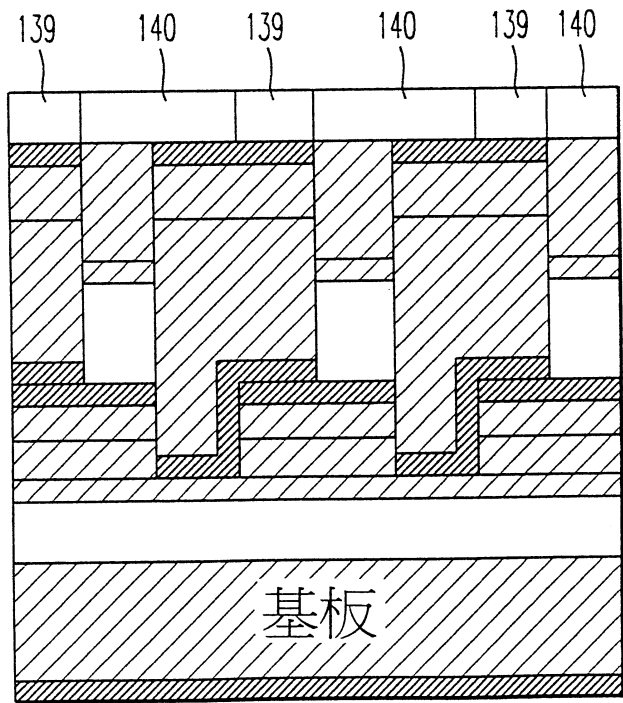


圖 33

圖式

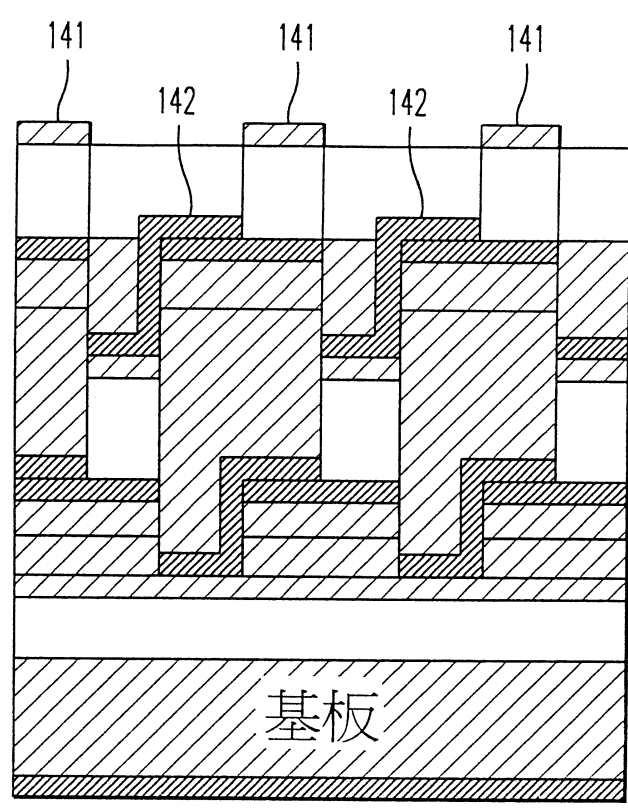


圖 34

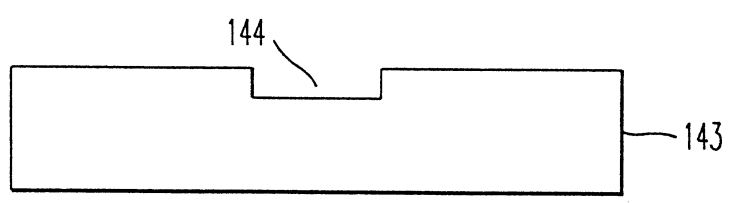


圖 35

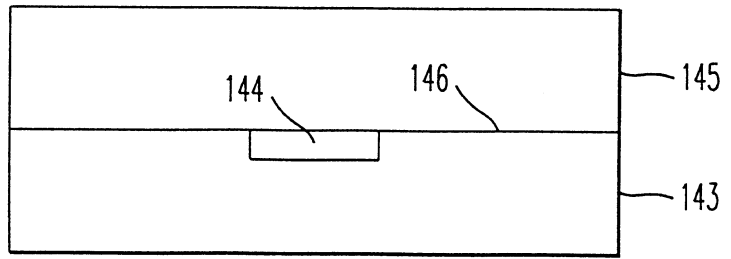


圖 36

圖式

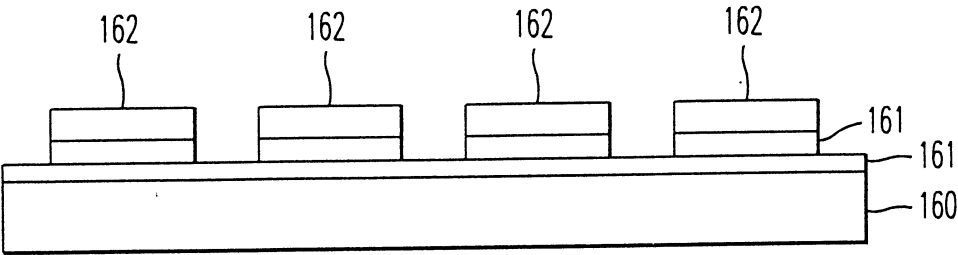


圖 37A

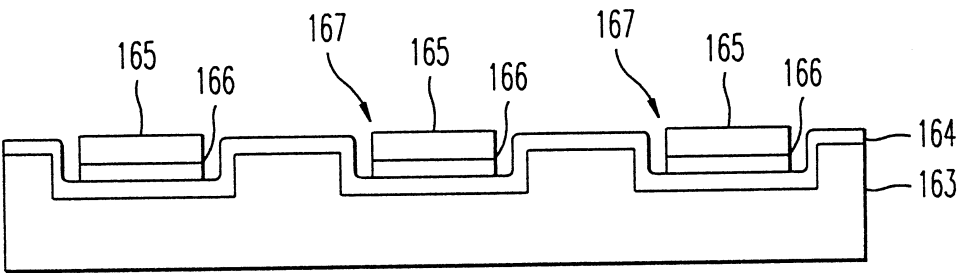


圖 37B

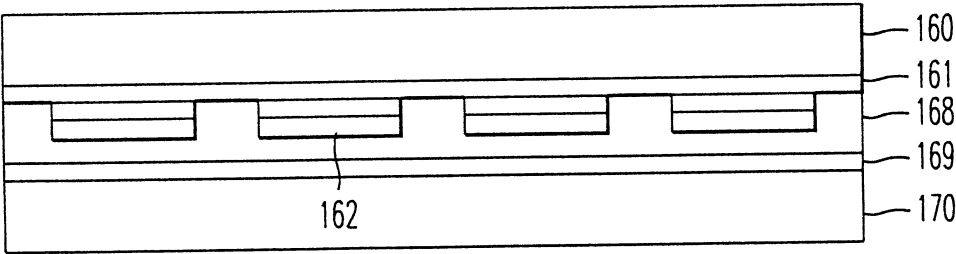


圖 37C

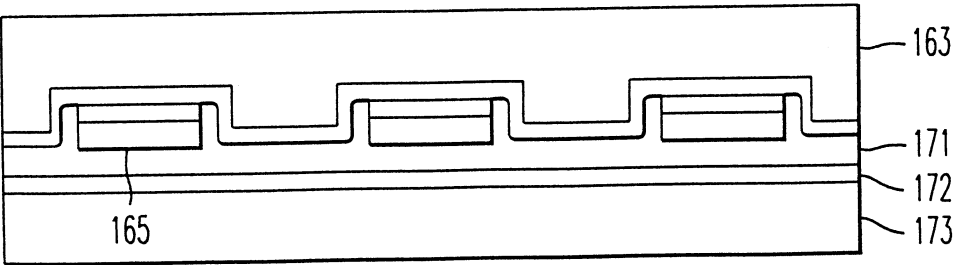


圖 37D

圖式

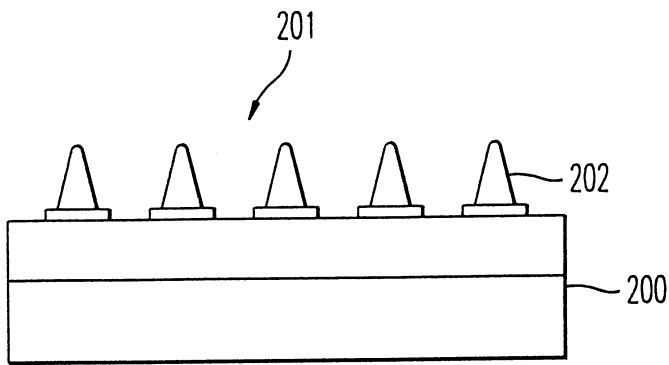


圖 38A

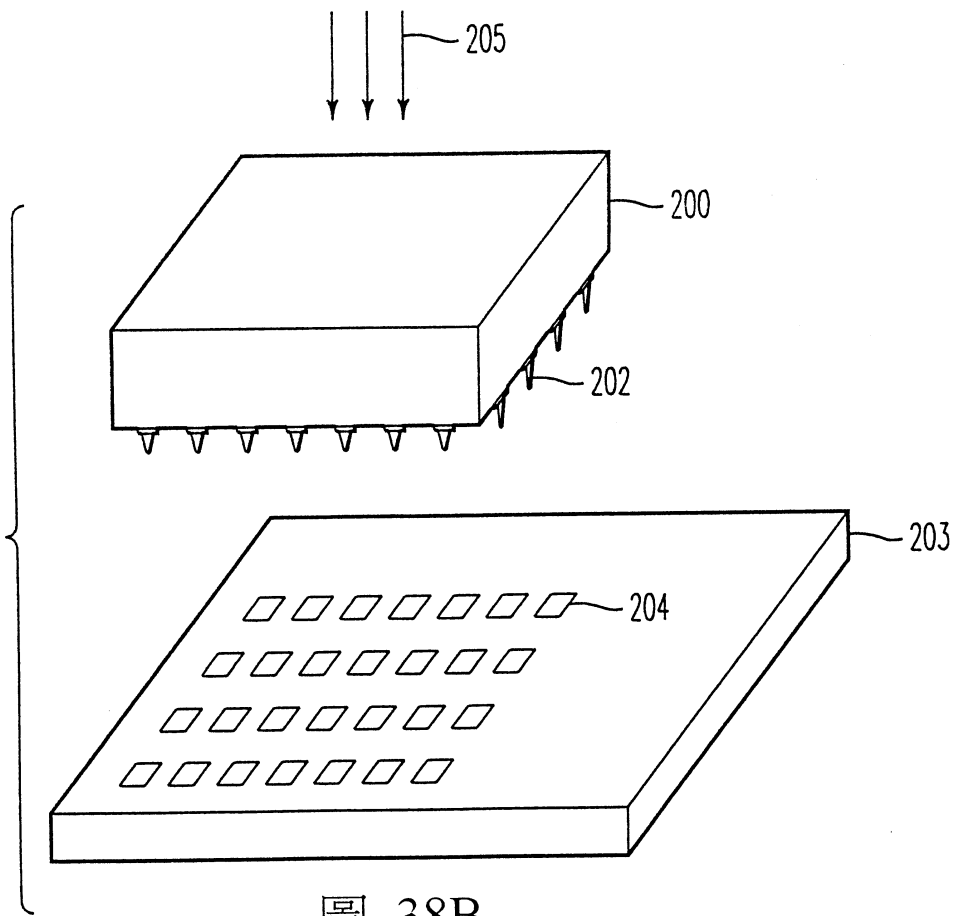


圖 38B