公告本

申請日期	89 年 3 月 2 日
案號	89103714
類別	H01L 21/8238

（以上各欄由本局填註）

A4
C4

521393

發明 ~~新型~~ 專利說明書

一、發明 新型 名稱	中文	可容許製程變化之積體電路設計
	英文	Process-tolerant integrated circuit design
二、發明 創作 人	姓名	(1) 庄司雅一為 Shoji, Masakazu
	國籍	(1) 美國
	住、居所	(1) 美國新澤西州・華倫・海冒特街四號 4 Highmount Avenue, Warren, NJ 07059, USA
三、申請人	姓名（名稱）	(1) 魯森工業技術股份有限公司 Lucent Technologies Inc.
	國籍	(1) 美國
	住、居所（事務所）	(1) 美國新澤西州莫瑞山丘莫頓路六〇〇號 600 Mountain Avenue, Murray Hill, NJ 07974 -0636, USA
	代表人姓名	(1) 麥克・格林 Greene, Michael R.

裝 訂 線

經濟部智慧財產局員工消費合作社印製

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有　□無主張優先權
美國	1999 年 3 月 8 日	09/264,070	☑有主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（１）

〔發明領域〕

本發明大致關於用於互補金屬半導體（ＣＭＯＳ）積體電路或其他類型之電子電路之可容許製程變化之設計技術。

〔發明背景〕

於很多不同類型積體電路之設計中之重要考量是製程變化。第１圖爲一ＣＭＯＳ積體電路１０之一部份，其例示一製程變化對電路效能之衝擊。電路１０包含一相鎖迴路（ＰＬＬ）１２，一電壓控制振盪器（ＶＣＯ）１４，及一電壓調整電路１６。電壓調整電路１６由一大致可變供給電壓V_{DD}產生一調整輸出電壓。於供給電壓V_{DD}中之變化係經常爲其標稱值之±２０％。已調整之電壓係被供給至ＶＣＯ１４，然後至ＰＬＬ１２。ＰＬＬ１２接收一輸入串流並產生一控制電壓，其調整ＶＣＯ輸出之頻率，使得ＰＬＬ輸出係被輸入串流所相位鎖定。電路１０經常需要操作於ＧＨｚ範圍之頻率或以上，必須符合於供給電壓V_{DD}，例如於±２０％變動值之變化之指定效能準則。另外，電路１０必須符合用於建構該電路之ＣＭＯＳ晶圓製程中之變化的指定效能準則。

於電路１０中，電壓調整器電路１６作用以去除於供給電壓V_{DD}中之變化，製程變化的作用係使用於ＰＬＬ１２及ＶＣＯ１４間之負回授環加以處理。電壓調整器電路１６之輸出係以定電壓之形式，而無關於供給電

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 3 ）

上之製程參數之作用而補償。可以用於此補償技術之環境參數例包含電源電壓，電流控制電壓，活動負載控制電壓，逆接偏壓，及操作溫度。適用於此補償技術之製程參數例包含導通臨限電壓，通道遷移率，閘極電容，汲極電容，歐里電壓，飽和參數，轉換時間及有關積體電路場效電晶體（ＦＥＴ）之其他參數。

於例示實施例中，電路操作參數係爲一環形振盪器之振盪週期。一電壓調整器產生一參考電壓，該參考電壓係至少基於環形振盪器中之已知製程參數變化加以決定。環形振盪器利用由電壓調整器所產生之參考電壓作爲其電源電壓，其振盪週期對於製程參數變化並不靈敏。另外，逆接偏壓作用可以引入於電壓調整器中，以補償由環形振盪器之特定架構所造成之逆接作用。

本發明之設計技術可以應用至各種不同類型之電路，操作參數，環境參數及製程參數。另外，本發明允許一電路操作參數，其變化爲例如上述振盪週期之時間的函數，以作成實際無關於處理。本發明可以例如應用以以高良率，產生固定操作頻率積體電路，並以例如約２伏或更低之低供給電壓完成指定效率。雖然，如先前所述，本發明適用於其他類型之電路，但本發明之可容許製程變化設計係特別適用於高速ＣＭＯＳ積體電路應用。本發明之這些及其他優點及特性將由以下附圖及以下之詳細說明變得更明顯。

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 4 ）

〔圖式之簡要說明〕

第1圖爲傳統積體電路之一部份之方塊圖。

第2及3圖爲分別本發明之第一及第二實施例，其中一調整電壓係應用至環形振盪器電路。

第4及5圖分別爲適用於第2及3圖之電壓調整器電路之另一實施法。

第6圖爲振盪週期中之變化爲於環形電路中之供給電壓V_{DD}之函數，該環形振盪電路係爲沒有電壓調整之V_{DD}所直接驅動。

第7及8圖爲由統計分析所決定之未補償及已補償環形振盪器電路之標稱化振盪週期之梯級頻率分佈圖。

〔符號說明〕

10　CMOS積體電路

12　相鎖迴路

14　電壓控制振盪器

16　電壓調整器電路

20　環形振盪器電路

30　電壓調整器電路

32　電壓跟隨器換算電路

40　環形振盪器電路

50　電壓調整器電路

〔本發明之詳細說明〕

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 5 ）

本發明將配合包含環形振盪器及電壓調整器之例示性積體電路加以說明如下。然而，應了解的是，本發明並未限定於使用於任何特定型式之電路，而是想要一般性地應用至電子電路或元件中，其中想要改良對製程變化之容許度。

第2圖示出本發明之一例示實施例，其包含一環形振盪器電路20及一壓調整器電路30。環形振盪器20包含三級串級反相器。該串級反相器係藉由成對之電晶體M1－M2，M3－M4，M5－M6加以形成。環形振盪器電路20同時包含電容C_1，C_2及C_3，其可以代表電晶體之寄生電容。電壓調整器電路30包含電晶體M7及M8，及一負載電阻R。一電壓跟隨器換算電路32係連接於電壓調整器電路30之參考電壓輸出及環形振盪器電路20之有效V_{DD}電壓輸入之間。電壓跟隨器換算電路32可以被看作爲電壓調整器電路30之一部份。由一數字所跟隨之代號"M"於此係用作爲表示一金屬氧化物半導體（MOS）場效電晶體（FET）。元件M1，M3，M5及M7爲P通道FET（PFET），及元件M2，M4，M6及M8爲N通道FET（NFET）。NFET元件M2，M4，M6及M8之源極係連接至地端或V_{SS}。依據本發明，將如以下所詳述，電壓調整器電路30係被設計以產生一已調整參考電壓V_{REF}，其係被選擇以使得環形振盪器20之振盪週期係實質無關於製程變化。電壓調整器電路30因此產生一電壓，其當被應用

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（6）

至環形振盪器時，取消或減少相關於製程變化之振盪週期之影響。

第3圖示出本發明之另一實施例，其包含一電壓控制環形振盪器電路40及一電壓調整器電路50。環形振盪器電路40包含如前述之環形振盪器電路20之元件，及另另三個如所示排列之NFET M10，M11，及M12。NFET M10，M11，及M12之閘極係連接至振盪器電路40之頻率控制電壓輸入，作爲由例如第1圖之PLL12之PLL所供給。電壓調整器電路50包含先前所述之電壓調整器電路30之元件，及另一個NFET M9，其源極係連接至地端或V_{ss}，及其閘極及汲極係連接至NFET M8之源極。於電壓調整器電路50之另一NFET之使用創造另一逆接偏壓作用，以補償由於環形振盪器40中之NFET M2，M4及M6不再直接連接至地端或V_{ss}所造成之逆接偏壓。

第4及5圖分別示出第2及3圖之電壓調整器電路30及50之另一實施法。第4圖之電壓調整器電路30´包含PFET M7，NFET M8及負載電阻R，如於第2圖之實施例所示，但NFET之源極係連接至負載電阻，及PFET直接連接至供給電壓V_{DD}。同樣地，第5圖之電壓調整器電路50'包含PFET M7，NFET M8及M9，電阻負載R如於第3圖之實施例所示，但NFET M9之源極係連接至負載電阻R，及PFET直接連接至供給電壓V_{DD}。第4及5圖之電路係

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 7 ）

適用於例如Ｎ－基材ＣＭＯＳ電路中，該電路具有一個別Ｐ－槽。

電壓調整器電路設計以提供一與製程無關之振盪週期之方法將使用第２圖之振盪器電路２０加以說明。然而，可以了解的是該分析可以應用至第３圖之實施例，及其他類型之電路。

第６圖示出第２圖之三級環形振盪器電路２０之振盪週期。爲了以下分析目的，而假設於環形振盪器電路２０中之ＰＦＥＴ　Ｍ１，Ｍ３及Ｍ５均被實施作爲於０．２５微米ＣＭＯＳ製程於８５°中之第二最小尺寸ＰＦＥＴ，及於電路２０中之ＮＦＥＴ　Ｍ２，Ｍ４及Ｍ６係被實施爲此製程之最小尺寸ＮＦＥＴ。可以由該圖看出，當V_{DD}減少時，振盪週期增加。若V_{DD}被降低爲低於$V_{THN}+V_{THP}$，其中V_{THN}及V_{THP}分別爲ＮＦＥＴ及ＰＦＥＴ之導通臨限電壓。以此例示實施例中，這些導通臨限電壓係忽略ＦＥＴ之次臨限導通電流加以決定。然後，若於增加V_{THN}或V_{THP}方向中之製程變化移位時，調整器輸出電壓係被作對等增加，及振盪週期係被保持大約不變。

第２圖之環形振盪器電路２０，於被V_{DD}所驅動時，其輸出係由第６圖之圖所表示，該圖被分析以例示利用依據本發明之製程變化補償所取得之優點。於此分析中，一逐步通道，一低場ＭＯＳＦＥＴ模型被使用。ＮＦＥＴ電流I_{DN}係由以下模式所定義：

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 8 ）

$I_{DN}=0$,對於 $V_G \leqq V_{THN}$;

$I_{DN}=B_N[V_G-V_{THN}-(1/2)V_D]V_D$對於$(V_G>V_{THN}$及 $V_D \leqq V_G-V_{THN})$;及

$I_{DN}=(B_N/2)(V_G-V_{THN})^2$

ＰＦＥＴ之電流I_{DP}可以使用上述公式具有以下替換加以找到：

$B_N \rightarrow B_P, V_{THN} \rightarrow V_{THP}, V_G \rightarrow V_{DD}-V_G, V_D \rightarrow V_{DD}-V_D$

以標稱單位之以下值係被用於該分析中：

$V_{DD}=0.8, V_{THN}=V_{THP}=0.2, B_N=B_P=1.0$,及 $C=1.0$

其中Ｃ爲節點電容。V_{DD}被設定爲０．８，而不是１．０，因爲由０．８至１．０電壓範圍係用以補償製程變化。於此標準操作條件下，基於由標稱化ＦＥＴ互導值所除之標稱化電容值之標稱化單位中，振盪週期爲２５．２７２８。用於標準操作條件中之振盪週期值將參考如下作爲比較之目的。來自標準操作之V_{DD}及製程參數之小變化所創造之振盪週期之變化係示於以下之表１及表２中。因爲振盪器係似乎被設計以具有拉上／拉下對稱以完成良好時鐘波形，該分析假設$V_{THN}=V_{THP}$及$B_N=B_P$。於次０．２５微米ＣＭＯＳ中，一Ｐ＋Ｎ＋多晶矽製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（9）

程將被使用，因此，其被假設等於導通臨限電壓 $V_{THN}=V_{THP}$，及一對稱緩衝反相器。然後，V_{THN}及V_{THP}，及B_N及B_P之變化創造了相同週期變化。然而，這限制對於此例示設計策略之整合並不是必要的。

V_{DD}	週期	V_{THN}	週期	V_{THP}	週期
0.9	20.7407	0.15	23.1581	0.15	23.1581
0.8	25.2728	0.20	23.2728	0.20	23.2728
0.7	32.1229	0.25	27.7941	0.25	27.7941

表1：振盪週期對參數變化

B_N	週期	B_P	週期
1.1	24.1050	1.1	24.1050
1.0	25.2728	1.0	25.2728
0.9	26.6580	0.9	26.6580

表2：振盪週期對參數變化

由以上資料，環形振盪器20之振盪週期T_P可以被寫成如下：

$$T_P = 25.2728 - 56.9125\,\Delta V_{DD} + 46.34(\Delta V_{THN} + \Delta V_{THP}) - 12.765(\Delta B_N + \Delta B_P)$$

其中，$\Delta V_{DD} = V_{DD} - 0.8$，$\Delta V_{THN} = V_{THN} - 0.2$，$\Delta B_N = B_N - 1.0$等等，代表偏離標準操作條

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 10）

件之參數變化。爲了使振盪週期 T_P 無關於這些變化，變化名稱必須滿足以下公式：

$$\Delta V_{DD}=0.814(\Delta V_{THN}+\Delta V_{THP})-0.2243(\Delta B_N+\Delta B_P)$$

若於第2圖之實施例中之調整器電路30之輸出電壓係被調整以滿足此公式，則振盪週期保持不變，於相關於標準條件之週期，而不管參數變化。

爲了例示本發明之上述參數補償之作用，兩個極端條件，一"慢"條件及一"快"條件係被檢測。慢及快條件代表製程參數 V_{THN}，V_{THP}，B_N 及 B_P 分別於這些參數之製程變化範圍之慢端及快端。於慢條件中，製程參數被假設爲 $V_{THN}=0.25$，$V_{THP}=0.24$，$B_N=0.70$ 及 $B_P=0.80$。所得補償 V_{DD} 爲0.9854，及振盪週期爲27.3424。若 V_{DD} 被保持於0.8，週期爲40.0682。於快條件中，製程參數被量測爲 $V_{THN}=0.19$，$V_{THP}=0.19$，$B_N=1.10$ 及 $B_P=1.30$。所得補償 V_{DD} 爲0.6777及振盪週期爲26.1793。若 V_{DD} 被保持爲0.8，週期爲19.6978。對於標準條件中，週期爲25.2728。由以上可以明顯得知，使用依據本發明所決定之補償 V_{DD} 值相對於沒有補償所造成之變化，具有大大地降低於振盪週期變化之作用。

第7及8圖示出基於上述分析之未補償及已補償之標

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 11）

稱振盪週期之梯級頻率分佈圖。假設V_{THN}，V_{THP}，B_N及B_P製程參數彼此無關地偏離其相關額定值±１５％。此變化係爲實際ＣＭＯＳ製程之典型變化，並相符於很多應用中所發現之±１５％V_{DD}變化。於用以產生上述環形振盪器２０之Ｃ語言程式中，用於這些參數之值係使用傳統蒙地卡羅分析加以隨機產生。該振盪週期係被計算，其中V_{DD}被維持於０．８，即V_{DD}爲未補償。及第７圖示出用於V_{THN}，V_{THP}，B_N及B_P製程參數所５００個隨機產生之結果。第８圖示出使用本發明之技術於V_{DD}未補償之結果，再者用於V_{THN}，V_{THP}，B_N及B_P製程參數所５００個隨機產生值之結果。這些結果顯示於振盪週期中之大量改良係藉由使用本發明之技術加以取得。歸屬於製程變化之振盪週期之變化係由未補償例之±１０％，降低至補償例中之±１％。

爲了使環形振盪器供給電壓取決於V_{THN}，V_{THP}，B_N及B_P製程參數，第２，３，４，５圖之電壓調整器電路３０，５０，３０'，５０'產生一參考電壓V_{REF}，其係爲

$$V_{REF}=aV_{THN}+bV_{THP}+cB_N+dB_P$$

其中，ａ，ｂ，ｃ，ｄ之值係被選擇，使得施加至環形振盪器電路，即第２圖之電路２０或第３圖之電路４０之電壓滿足前述於參數變化名稱間之關係。如於第２，３

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 12）

，4及5圖所示，電壓調整電路包含一串聯PFET M7，NFET M8，及一負載電阻R。由串聯FET所發展之電壓係例如使用已知類比電路技術，加以換算之電壓或由電壓換算電路所降低之阻抗。

應注意的是，雖然負載電阻R應具有小製程變化，即其應爲精密電阻，其特定值並不極端重要。負載電阻R可以是一外電阻，即"晶片外"電阻，或可以是形成於積體電路內作爲CMOS製程之部份。於一CMOS製程中，一類型電阻係大致較其他更精確被定義。例如，於一P型基材CMOS製程中，一N^+電阻，典型作成NFET源之長條結構，係大致最精確定義之電阻，而於N型基材CMOS源中，一P^+電阻係典型形成於PFET源之長條結構係一般爲最精密。於第2圖中之負載電阻R中，電壓調整器電路30可以是一N^+電阻，及於第4圖中之負載電阻R中，電壓調整器電路30'可以是一P^+電阻。負載電阻可以被另一適當電流產生器所替換。電路模擬可以用以決定用於負載電阻或電流產生器之適當參數。

有關於第2及4圖中之電壓調整器電路中之PFET M7及NFET M8之連接之其他細節將加以說明。開始時，參考第2圖之電壓調整器電路30，一CMOS基材可以爲一P型基材，具有隔離N槽，使得PFET M7被認爲是一個別元件。於此例子中，NFET M8源極係連接至地端或Vss，及NFET汲極係連接至NFET閘極，PFET汲極及PFET閘極

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 13）

及ＰＦＥＴ源極及ＰＦＥＴ　Ｎ槽係一起連接至負載電阻Ｒ。注意，於此例子中，Ｍ７係爲一具有自身Ｎ槽之個叩ＰＦＥＴ。現在參考第４圖之電壓調整電路３０´，ＣＭＯＳ基材可以是一具有隔離Ｐ槽之Ｎ型基材，使得ＮＦＥＴ　Ｍ８可以被認爲是一個別元件，即一完全獨立之具有本身Ｐ槽之ＮＦＥＴ。於此例子中，ＰＦＥＴ源極係自動地連接至V_{DD}，ＰＦＥＴ汲極係連接至ＰＦＥＴ閘極，ＮＦＥＴ汲極及ＮＦＥＴ閘極，以及，ＮＦＥＴ源極及Ｎ型基材係連接至負載電阻Ｒ。

上述類型之連接係用以避免逆接閘偏壓作用。然而，若目標電路予以使用本發明之技術以補償具有ＦＥＴ，其源極未直接連接至地端或V_{SS}（ＮＦＥＴ）或V_{DD}（ＰＦＥＴ）時，則其他之逆接偏壓作用可以方便地被使用以取得更精確補償。於此例子中，ＦＥＴ間所發展之電壓係電路速度之指示值，其包含導通臨限電壓V_{THN}，V_{THP}，及遷移率B_N及B_P。例如，如前配合第３圖之實施例所述，ＮＦＥＴ　Ｍ２，Ｍ４，及Ｍ６之其他逆接偏壓作用，其係由未將Ｍ８直接連接至地端或V_{SS}所造戍。

於第２及３圖之例示實施例中，一電路操作參數將以晶圓製程變化之函數加以變化，及環形振盪器電路之振盪週期係被作成不靈敏於此等製程變化。此改良係藉由選擇施加至環形振盪器之電壓加以提供，即由電壓調整器電路所產生之電壓作爲V_{THN}，V_{THP}，B_N及B_P製程參數之

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（15）

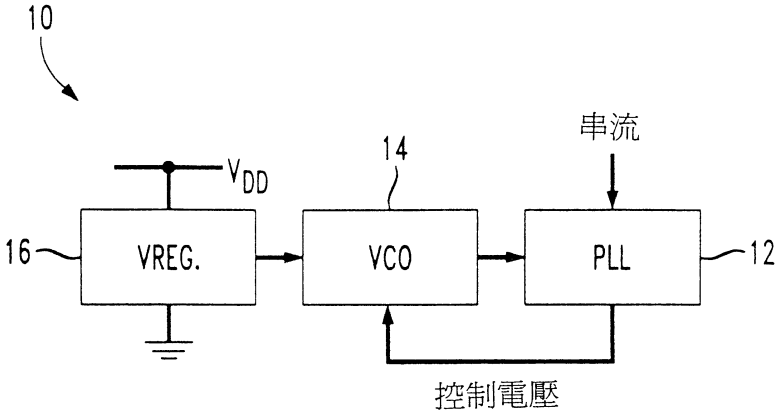
條件中，製程變化之影響大致被取消或降低。可以看出電路參數X現在取決於依據公式$X = f_X(f_{E1}(P1, P2, \ldots), P1, P2, \ldots)$之製程參數。因此，藉由適當選擇$f_{E1}(P1, P2, \ldots)$函數形式，電路參數X可以是無關於製程變化。於配合第2及3圖所述之例示實施例中，電路參數X爲環形振盪器週期，製程參數爲FET導通臨限電壓V_{THN}及V_{THP}，及FET通道遷移率B_N及B_P，環境參數爲供給電壓V_{DD}。

本發明之上述實施例係只作例示作用。例如，雖然本發明已配合電壓調整器及環形振盪器電路加以例示，但其可以應用至任何形式之電路，其包含積體電路或分立元件電路。再者，本發明可以用於各種不同製程參數，環境參數，及電路操作參數。各種其他實施例可以爲熟習此技藝者在不脫離以下申請專利範圍下加以想出。

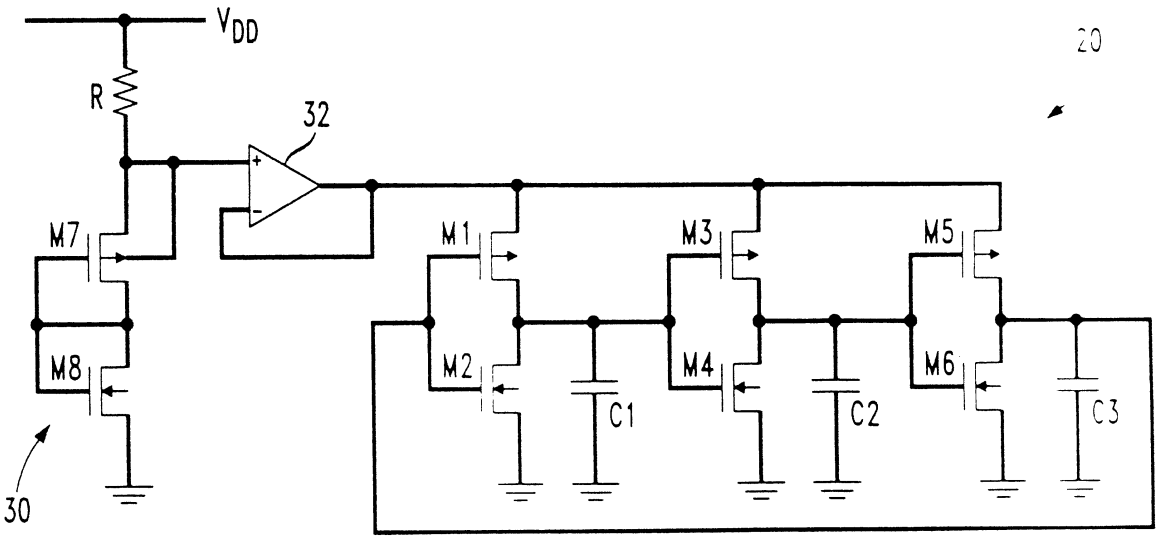
（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

第 1 圖

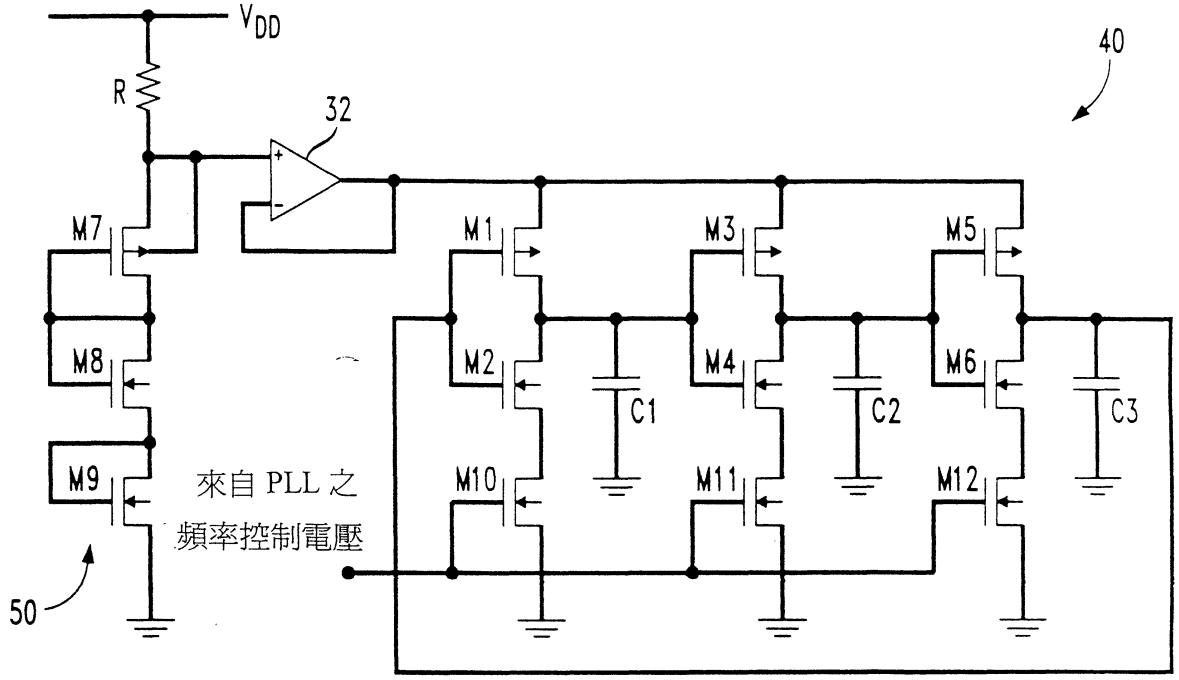
831862



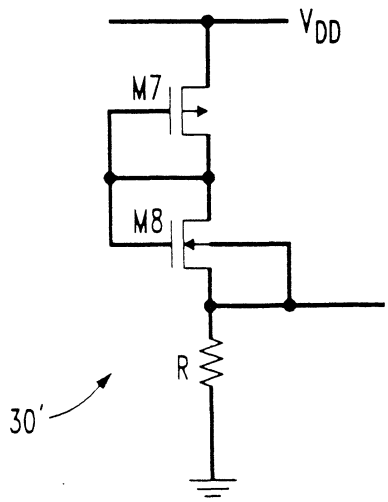
第 2 圖



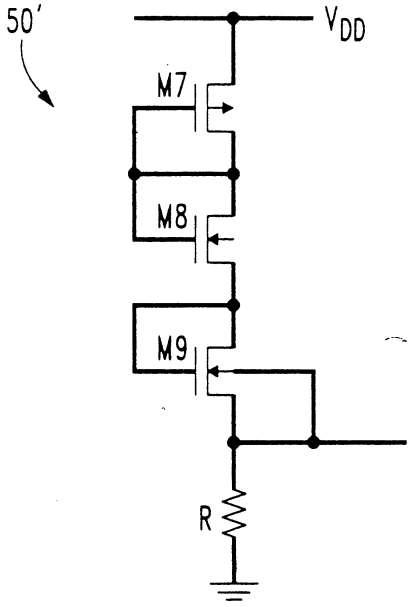
第 3 圖


VDD
R
32
40
M7
M8
M9
M1
M2
M3
M4
M5
M6
M10
M11
M12
C1
C2
C3
來自 PLL 之
頻率控制電壓
50

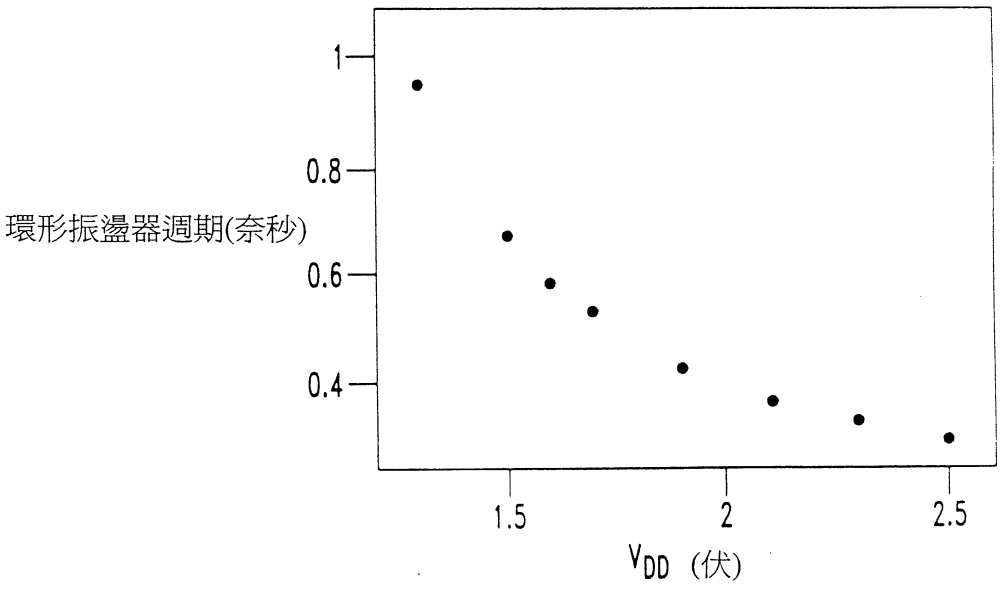
第 4 圖


VDD
M7
M8
R
30'

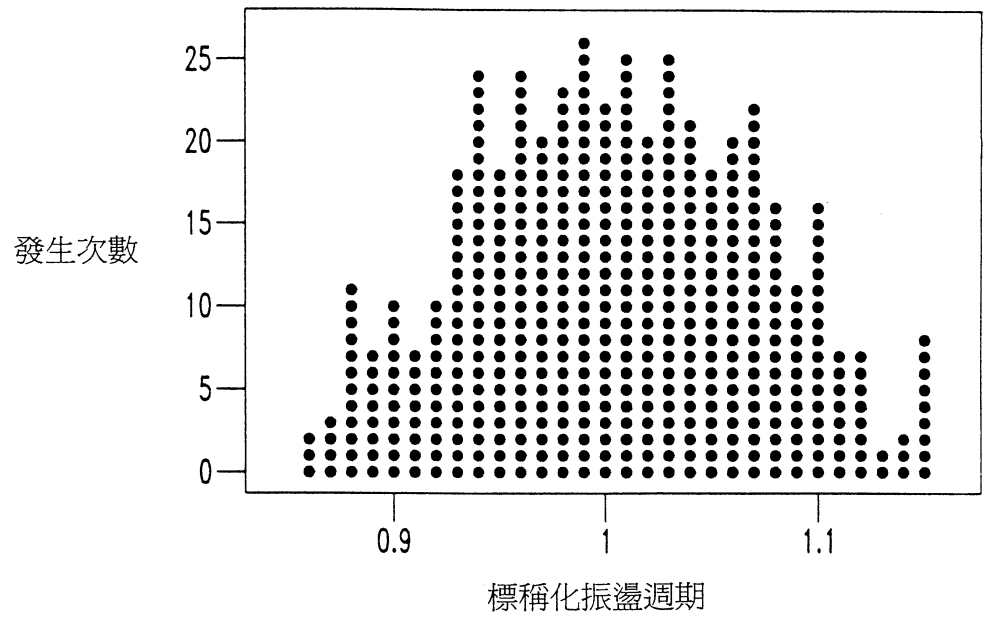
第 5 圖



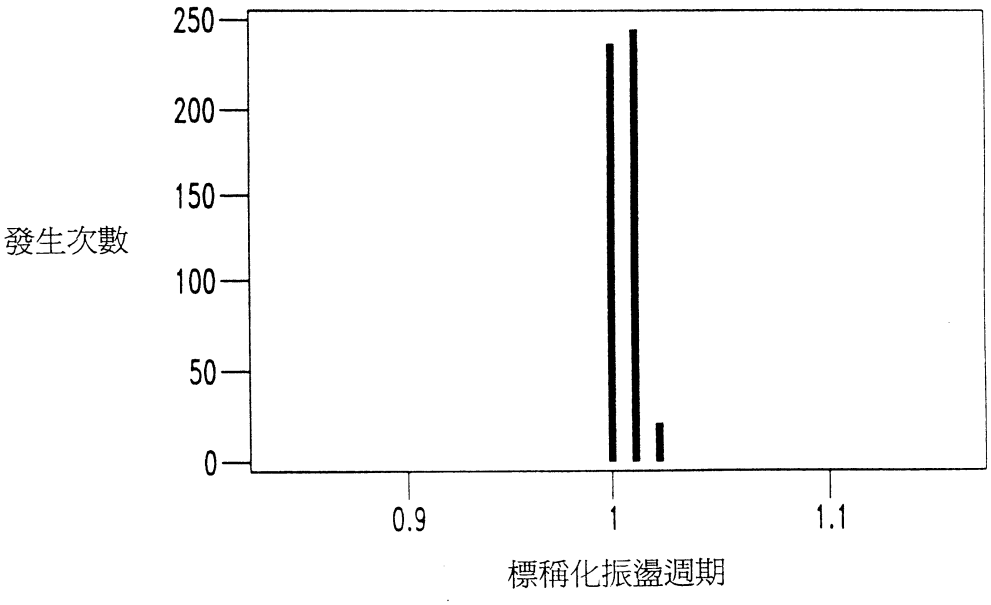
第 6 圖



第 7 圖


發生次數
25
20
15
10
5
0
0.9
1
1.1
標稱化振盪週期

第 8 圖


發生次數
250
200
150
100
50
0
0.9
1
1.1
標稱化振盪週期

五、發明說明（ 2 ）

壓V_{DD}中之變化，並可以使用所謂帶隙電壓參考電路加以產生。爲了提供足夠邊際以容許於V_{DD}中之指定變化，調整器輸出電壓係大致作成略低於期待最小V_{DD}值，典型約V_{BE}≈600毫伏或更低於期待最小V_{DD}值。當V_{DD}值降低時，例如取決於電路效能及所用之CMOS製程而由5伏至3．3伏或至2．5伏，就會很困難以提供想要量之電壓邊緣。

有關於製程變化，於電路10中，即使是電路之操作頻率保持不變，由PLL12至VCO14之控制電壓將取決於這些變化而改變。例如，若一N通道場效電晶體（NFET）控制VCO延遲，至VCO之控制電壓將較高，若製程轉移至其較低側。該類型變化更使設計邊緣變窄。

例如用於有關第1圖中之供給電壓變化及製程變化之傳統積體電路設計技術對於這些類型之變化，特別是V_{DD}降低，例如低於3．3伏是沒有足夠忍耐度。再者，這些技術係大致不能用以完成操作參數大致無關於製程之時變電路。因此，需要一改良積體電路設計。

〔發明概要〕

本發明使得一積體電路之操作參數大致對於製程變化不靈敏，藉由架構電路使得一影響操作參數之環境參數係爲一或多數製程參數之一函數。以此方式，於電路操作參數上之製程參數之作用可以部份或完全地藉由在環境參數

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（14）

函數。結果，製程參數變化係被取消，使得電路操作參數保持未變。此類型之補償係儘可能完成，因爲一已知CMOS製程具有FET互導之"目標"值，其決定電路之延遲時間，同時對於製程變化也不靈敏。互導本身係由導通臨限電壓及遷移率之更基本製程參數加以決定。上述例示實施例使用兩個更基本製程參數以決定例如同時影響延遲時間之供給電壓的環境參數。於供給電壓中之變化補償於基本製程參數之變化，使得環形振盪器電路之振盪週期變成與製程無關。

本發明更總結如下。假設有製程參數P1，P2，...表示一積體電路處理條件，及影響電路操作參數X。假設電路操作參數X爲環境參數E1，E2，...。製程參數P1，P2，...之例子爲NFET及PFET導通臨限電壓V_{THN}及V_{THP}、NFET及PFET通道遷移率B_n及B_P、NFET及PFET閘極電容、NFET及PFET汲極電容、NFET及PFET歐萊電壓、NFET及PFET飽和參數及轉換時間。歐萊電壓表示於導通臨限電壓上之汲極電壓，其中FET電流由於FET通道之有效短路而略微增加。這現象被稱爲歐萊效應。環境參數E1，E2．．之例子係供給電壓、FET電流產生器控制電壓、主動負載控制電壓、於浮接地－V_{DD}元件中之逆接偏壓、及操作溫度。

本發明可以特徵爲選擇環境參數或參數爲製程參數之函數，例如$E1 = f_{E1}(P1, P2, ...)$，使得於操作

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

91年9月5日修正替換頁

附件： 第89103714號專利申請案中文說明書修正頁
民國91年9月5日呈

四、中文發明摘要（發明之名稱： 可容許製程變化之積體電路設計 ）

積體電路之操作參數係被作成大致對製程變動不敏感，藉由架構該電路，使得一環境參數，例如至電路之一部份之供給電壓係爲一或多數製程參數之函數，該製程參數係例如導通臨限電壓及於該部份電路中之遷移率。以此方式，於電路操作參數上之製程參數的作用可以爲部份或完全地爲環境參數上之製程參數之作用所偏置。於一例示實施例中，電路操作參數係爲一環形振盪器之一振盪週期。一電壓調整器產生一參考電壓，該電壓係至少部份爲已知於環形振盪器中之已知製程參數變化所決定。環形振盪器利用由電壓調整器所產生之參考電壓作爲其供給電壓，及其振盪週期藉以作成對製程參數變化不敏感。另外，逆接偏壓作用可以引入於電壓調整器中，以補償由環形振盪器之特定架構所造成之逆接偏壓作用。本發明之設計技術可以應用於不同類型之積體電路，操作參數，環境參數及製程參數中。

英文發明摘要（發明之名稱： ）

PROCESS-TOLERANT INTEGRATED CIRCUIT DESIGN

An operating parameter of an integrated circuit is made substantially insensitive to process variations by configuring the circuit such that an environmental parameter, e.g., supply voltage to a portion of the circuit, is made a function of one or more process parameters, e.g., conduction threshold voltages and mobilities in that portion of the circuit. In this manner, the effect of the process parameters on the circuit operating parameter may be partially or substantially offset by the effect of the process parameters on the environmental parameter. In an illustrative embodiment, the circuit operating parameter is an oscillation period of a ring oscillator. A voltage regulator generates a reference voltage which is determined at least in part based on known process parameter variations in the ring oscillator. The ring oscillator utilizes the reference voltage generated by the voltage regulator as its supply voltage, and its oscillation period is thereby made insensitive to the process parameter variations. In addition, back-bias effects may be introduced in the voltage regulator to compensate back-bias effects resulting from particular configurations of the ring oscillator. The design techniques of the invention may be applied to a wide variety of different types of integrated circuits, operating parameters, environmental parameters and process parameters.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

A8
B8
C8
D8

91年9月5日修正/更正/補充

六、申請專利範圍

第 89103714 號專利申請案

中文申請專利範圍修正本

民國 91 年 9 月 5 日修正

1．一種製造操作參數係依至少一處理參數及至少一環境參數之函數 f_1 加以變化之電路的方法，該方法包含步驟：

架構該電路，使得環境參數爲製程參數之一函數 f_2，藉由基於至少函數 f_1 之已知特徵的一部份，並且，不使用基於處理參數檢測時之環境參數的回授控制，而預選擇函數 f_2，其中製程參數對電路操作參數之作用係至少部份被在環境參數上之製程參數之作用所補償。

2．如申請專利範圍第 1 項所述之方法，其中該電路爲一ＣＭＯＳ積體電路。

3．如申請專利範圍第 1 項所述之方法，其中製程參數對電路操作參數之作用作爲在環境參數上之製程參數之作用所實際補償。

4．如申請專利範圍第 1 項所述之方法，其中至少一處理參數包含一或多數以下參數：導通臨限電壓，通道遷移率，閘極電容，汲極電容，歐萊電壓，飽和參數，及轉換時間。

5．如申請專利範圍第 1 項所述之方法，其中至少一環境參數包含一或多數以下參數：供給電壓，電流產生器控制電壓，主動負載控制電壓，逆接偏壓，及操作溫度。

6．如申請專利範圍第 1 項所述之方法，其中該電路操

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

作參數係爲一振盪週期，製程參數包含導通臨限電壓及通道遷移率，及環境參數包含供給電壓。

7．如申請專利範圍第1項所述之方法，其中該架構步驟包含於電路中之第一部份產生一參考電壓，該電壓係至少部份基於電路第二部份之已知製程參數變化而決定。

8．如申請專利範圍第7項所述之方法，其中該電路之第一部份爲該電路電壓調整器部，及該電路之第二部份爲利用由電壓調整器所產生之參考電壓作爲供給電壓之一部份。

9．如申請專利範圍第7項所述之方法，其中一逆接偏壓作用至少相關於該電路第一部份中之一電晶體，該逆接偏壓作用係被利用以補償相關於該電路第二部份中之至少一電晶體之逆接偏壓作用。

10．一種具有一操作參數隨著至少一製程參數及至少一環境參數的函數 f_1 改變之電路，該電路包含：

一第一電路部份，用以產生一輸出，其中第一電路部份係架構以使得環境參數係爲製程參數之函數 f_2；藉由基於至少函數 f_1 之已知特徵的一部份，並且，不使用基於處理參數檢測時之環境參數的回授控制，而預選擇函數 f_2，及

一第二電路部份，被架構以接收由第一電路部所產生之輸出作爲一輸入，並操作以依據該操作參數產生一輸出，使得對第二電路部中之電路操作參數上之製程參數之作用係至少部份爲於環境參數上之製程參數之作用所補償。

11．如申請專利範圍第10項所述之電路，其中第一及第二電路部份爲一CMOS積體電路之一部份。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

12．如申請專利範圍第11項所述之電路，其中至少一製程參數包含一或多數以下參數：導通臨限電壓，通道遷移率，閘極電容，汲極電容，歐萊電壓，飽和參數，及轉換時間。

13．如申請專利範圍第11項所述之電路，其中至少一環境參數包含一或多數以下參數：供給電壓，電流產生器控制電壓，主動負載控制電壓，逆接偏壓，及操作溫度。

14．如申請專利範圍第11項所述之電路，其中該電路操作參數係爲一振盪週期，製程參數包含導通臨限電壓及通道遷移率，及環境參數包含供給電壓。

15．如申請專利範圍第11項所述之電路，其中該第一電路部份產生一參考電壓，該電壓係至少部份基於第二電路部份之已知製程參數變化而決定。

16如申請專利範圍第15項所述之電路，其中該第一電路部份爲一電壓調整器電路，及該第二電路部份利用由電壓調整器所產生之參考電壓作爲供給電壓。

17．如申請專利範圍第15項所述之電路，其中一逆接偏壓作用至少相關於該第一電路部份中之至少一電晶體，該逆接偏壓作用係被利用以補償相關於該第二電路部份中之至少一電晶體之逆接偏壓作用。

18．一種製造操作參數係依製程有關電晶體導通參數及一供給電壓之函數 f_1 變化的積體電路之方法，該方法包含步驟：

架構該電路，使得所施加之電壓爲導通參數之函數 f_2

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

，其中電路操作參數上導通參數之作用係至少部份被施加電壓上之導通參數之作用所補償。

１９．一種具有一操作參數係依製程有關電晶體導通參數及所施加之供給電壓之函數 f_1 改變的積體電路，其中所施加之電壓係被選擇爲導通參數之函數 f_2，藉由基於至少函數 f_1 之已知特徵的一部份，並且，不使用基於導通參數之檢測時之供給電壓的回授控制，而預選擇函數 f_2，使得於電路操作參數上之導通參數之作用係至少部份被所施加電壓之導通參數之作用所補償。

２０．一種具有一操作參數係依製程有關電晶體導通參數及所施加電壓之函數 f_1 改變的積體電路，該電路包含：

一電壓調整器，用以依導通參數之函數 f_2 產生該所施加之電壓，其中該函數 f_2 係基於至少 f_1 之已知特徵的一部分，且不使用基於導通參數檢測時所施加之電壓的回授控制加以預選擇，使得於電路操作參數上之導通參數之作用係至少部份被施加電壓之導通參數之作用所補償；及

一電路部份，具有一供給電壓輸入連接至電壓調整器之輸出，並作用以依據該操作參數產生一輸出。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製