

(19) 日本国特許庁(JP)

(12) **公開特許公報(A)**

(11) 特許出願公開番号

特開2010-66984

(P2010-66984A)

(43) 公開日 平成22年3月25日(2010.3.25)

(51) Int.Cl.

G05F 1/56 (2006.01)

F I

G05 F 1/56 320C

テーマコード (参考)

5H430

審査請求 未請求 請求項の数 12 O L (全 14 頁)

(21) 出願番号 特願2008-232344 (P2008-232344)

(22) 出願日 平成20年9月10日 (2008. 9. 10)

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(74) 代理人 100081422

弁理士 田中 光雄

(74) 代理人 100068526

弁理士 田村 恭生

(74) 代理人 100098280

弁理士 石野 正弘

(72) 発明者 上田 裕一

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

Fターム(参考) 5H430 BB01 BB12 EE04 FF07 FF12

GG05 HH03 JJ04 LA07

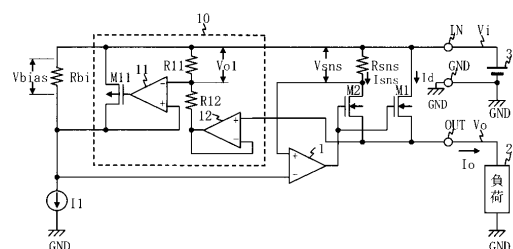
(54) 【発明の名称】 電流制限回路及び電流制限回路の駆動方法

(57) 【要約】

【課題】実際に出力する電流の最大値と電流の制限値との差をより小さくできる電流制限回路を提供する。

【解決手段】電流制限回路は、ドライバトランジスタ（ $M1$ ）と、センス抵抗（ R_{sns} ）を介して入力端子（ IN ）に一端が接続され、他端が出力端子（ OUT ）に接続され、制御端子がドライバトランジスタ（ $M1$ ）の制御端子に接続されたセンストランジスタ（ $M2$ ）と、入力端子の電位を基準電位とするバイアス電圧（ V_{bais} ）と、センス抵抗の電圧降下とを入力し、ドライバトランジスタとセンストランジスタの制御端子に出力が接続された演算増幅回路（ 1 ）を備える。電流制限回路は、バイアス電圧の電圧値を、入力端子と出力端子の差電圧に応じて、所定のバイアス電圧以下になるように制御するバイアス電圧変更回路（ 10 ）をさらに備える。

【選択図】図 1



【特許請求の範囲】

【請求項 1】

入力電圧が印加される入力端子と、
出力電圧を出力する出力端子と、
一端が入力端子に接続され、他端が前記出力端子に接続され、制御端子を備えたドライ
バトランジスタと、

一端がセンス抵抗を介して前記入力端子に接続され、他端が前記出力端子に接続され、
制御端子が前記ドライバトランジスタの制御端子に接続されたセンストランジスタと、

前記入力端子の電位を基準電位とする、バイアス電圧と、前記センス抵抗における電圧
降下とを入力し、前記ドライバトランジスタと前記センストランジスタの制御端子に出力
が接続された第 1 演算増幅回路と、

前記バイアス電圧の電圧値を、前記入力端子と前記出力端子の差電圧に応じて、所定の
バイアス電圧以下になるように制御するバイアス電圧変更回路と
を備えた電流制限回路。

【請求項 2】

前記バイアス電圧変更回路は、前記差電圧が小さいほど、前記バイアス電圧を小さくす
るよう前記バイアス電圧の電圧値を制御する請求項 1 記載の電流制限回路。

【請求項 3】

前記バイアス電圧変更回路は、前記バイアス電圧が前記所定のバイアス電圧に達するま
では、前記バイアス電圧を前記差電圧の $1/N$ ($N > 1$) に制御する請求項 2 記載の電流
制限回路。

【請求項 4】

前記バイアス電圧変更回路は、前記差電圧に応じて前記 N の値を変化させる請求項 3 記
載の電流制限回路。

【請求項 5】

前記バイアス電圧に下限値を設定した請求項 2 ないし 4 のいずれか 1 つに記載の電流制
限回路。

【請求項 6】

前記バイアス電圧は、前記入力端子に一端が接続されたバイアス抵抗に所定の電流を供
給することで生成され、

前記バイアス電圧変更回路は、前記バイアス抵抗に並列に接続した可変インピーダンス
素子のインピーダンスを前記差電圧に応じて制御する、請求項 1 ないし 5 のいずれか 1 つ
に記載の電流制限回路。

【請求項 7】

前記可変インピーダンス素子は第 1 MOS トランジスタである請求項 6 記載の電流制限
回路。

【請求項 8】

前記バイアス電圧変更回路は、前記バイアス電圧を入力する第 1 入力端子と、前記差電
圧を抵抗で分圧した電圧を入力する第 2 入力端子と、前記第 1 MOS トランジスタのゲー
トに接続された出力端子とを有する第 2 演算増幅回路を備える請求項 7 記載の電流制限回
路。

【請求項 9】

前記バイアス電圧変更回路は、前記バイアス電圧を入力する第 1 入力端子と、前記差電
圧を抵抗で分圧した電圧を入力する第 2 入力端子と、前記第 1 MOS トランジスタのゲー
トに接続された出力端子とを有する第 2 演算増幅回路を備え、

前記第 2 演算増幅回路の第 2 入力端子と、前記電流制限回路の出力端子との間に、前記
第 1 MOS トランジスタと同じ導電型の第 2 MOS トランジスタと抵抗とが直列に接続さ
れ、前記第 2 MOS トランジスタのゲートに前記第 2 演算増幅回路の出力が接続された
請求項 7 記載の電流制限回路。

【請求項 10】

10

20

30

40

50

前記ドライバトランジスタと前記センストランジスタは同じ導電型のMOSトランジスタであり、両トランジスタのソースが前記電流制限回路の出力端子に接続された、請求項1ないし9のいずれか1つに記載の電流制限回路。

【請求項11】

前記ドライバトランジスタと前記センストランジスタは同じ導電型のMOSトランジスタであり、両トランジスタのドレインが前記電流制限回路の出力端子に接続された請求項1ないし9のいずれか1つに記載の電流制限回路。

【請求項12】

入力電圧が印加される入力端子と、
出力電圧を出力する出力端子と、
一端が入力端子に接続され、他端が前記出力端子に接続され、制御端子を備えたドライバトランジスタと、

10

一端がセンス抵抗を介して前記入力端子に接続され、他端が前記出力端子に接続され、制御端子が前記ドライバトランジスタの制御端子に接続されたセンストランジスタと、

前記入力端子の電位を基準電位とする、バイアス電圧と、前記センス抵抗における電圧降下とを入力し、前記ドライバトランジスタと前記センストランジスタの制御端子に出力が接続された第1演算増幅回路とを備えた電流制限回路の駆動方法であって、

バイアス電圧の電圧値を、前記入力端子と前記出力端子の差電圧に応じて、所定のバイアス電圧以下になるように制御する、
電流制限回路の駆動方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、回路に流れる電流を所定の電流値以下に制限する電流制限回路に関する。

【背景技術】

【0002】

図12(a)は従来の電流制限回路である。この回路はドライバトランジスタM1、センストランジスタM2、演算増幅回路1、電流源I1、センス抵抗R_{sns}、およびバイアス抵抗R_{bi}で構成されている。また、入力端子IN、接地端子GND、出力端子OUTを備えている。入力端子INには入力電圧V_iが入力されている。出力端子OUTと接地端子GND間には負荷20が接続されている。

30

【0003】

ドライバトランジスタM1のドレインは入力端子INに接続され、ソースは出力端子OUTに接続されている。また、ゲートは演算増幅回路1の出力に接続されている。センストランジスタM2のドレインはセンス抵抗R_{sns}を介して入力端子INに接続されると共に、演算増幅回路1の非反転入力に接続されている。またソースとゲートはそれぞれドライバトランジスタM1のソースとゲートに共通接続されている。

【0004】

なお、センストランジスタM2の素子サイズはドライバトランジスタM1の素子サイズに比べ数十から数千分の一に設定されている。演算増幅回路1の反転入力バイアス抵抗R_{bi}と電流源I1の接続ノードに接続されている。また、出力は前記したようにドライバトランジスタM1とセンストランジスタM2のゲートに接続されている。

40

【0005】

バイアス抵抗R_{bi}は入力端子INと演算増幅回路1の反転入力間に接続されている。また電流源I1は演算増幅回路1の反転入力と接地端子GND間に接続されている。

【0006】

この電流制限回路の動作を説明する。電流制限回路はドライバトランジスタM1を介して負荷20に供給される出力電流I_oを一定値内の電流に制限する機能を有する。ドライバトランジスタM1を介して負荷20に出力電流I_oが供給されると、センストランジスタM2には、ドライバトランジスタM1のドレイン電流I_dに比例したセンス電流I_{sns}が

50

流れる。ドライバトランジスタM1とセンストランジスタM2のサイズ比をK:1に設定した場合は、センストランジスタM2のセンス電流I_{sns}はドライバトランジスタM1のドレイン電流I_dの1/Kになる。

【0007】

センストランジスタM2のセンス電流I_{sns}はセンス抵抗R_{sns}に流れるので、センス抵抗R_{sns}にはセンス電圧V_{sns}が発生する。センス電圧V_{sns}は出力電流I_oが増えるに従い大きくなる。その結果、演算増幅回路1の非反転入力電位は出力電流I_oが増えるに従い低下する。演算増幅回路1の非反転入力電位が反転入力電位以下になると、演算増幅回路1の出力は低下して、ドライバトランジスタM1のゲート電位を下げ、ドライバトランジスタM1のインピーダンスを大きくする。その結果、出力電流I_oは演算増幅回路1の非反転入力と反転入力電圧が等しくなる電流値で制限されることになる。

10

【0008】

一方、入力電圧V_iと演算増幅回路1の反転入力端子間の電圧は、バイアス抵抗R_{bi}の電圧降下で決まる電圧である。この電圧をバイアス電圧V_{bias}とする。バイアス電圧V_{bias}はバイアス抵抗R_{bi}と電流源I₁の積で決まる一定電圧である。すなわち、出力電流I_oの制限電流(最大電流値)I_{lim}は、センス電圧V_{sns}がバイアス電圧V_{bias}と等しくなるときの出力電流である。ドライバトランジスタM1のインピーダンスをR_d、センストランジスタM2のインピーダンスをR_sとすると、制限電流I_{lim}は下記の式(1)で表される。

$$I_{lim} = V_{bias} (R_d + R_s) / (R_d \cdot R_{sns}) \quad \dots (1)$$

20

なお、上記のような従来技術としては特許文献1に開示の技術がある。

【特許文献1】特許第3606994号

【発明の開示】

【発明が解決しようとする課題】

【0009】

従来の構成では、入力電圧V_iと出力電圧V_oの差電圧(V_i - V_o)が小さいとき、出力電流I_oが制限電流I_{lim}以上に増加することがある。以下にその理由を説明する。

【0010】

図12(b)、(c)は、図12(a)に示す従来の回路の動作を説明するための電圧と電流の関係を示すグラフである。図12(b)、(c)の横軸は入力電圧V_iと出力電圧V_oの差電圧(V_i - V_o)である。図12(b)に示すグラフは、センス電圧V_{sns}(細線)とバイアス電圧V_{bias}それぞれの変化を示すグラフである。縦軸は電圧であり、入力電圧V_iを基準電位とし、下方に向かうほど電圧が下がっている。図12(b)において、V_{bias}の電圧はバイアス抵抗R_{bi}と電流源I₁間の接続ノードの電圧であり、V_{sns}の電圧はセンス抵抗R_{sns}とセンストランジスタM2間の接続ノードの電圧である。V_{bias0}は所定のバイアス電圧である。所定のバイアス電圧V_{bias0}は、バイアス抵抗R_{bi}に電流源I₁の電流が全て流れた場合のバイアス電圧V_{bias}である。図12(c)に示すグラフは、出力電流I_oの変化を示すグラフであり、縦軸は電流値である。

30

【0011】

今、ドライバトランジスタM1のオン抵抗をR_{d0}、センストランジスタM2のオン抵抗をR_{s0}とする。また、入力端子I_NからドライバトランジスタM1を通して出力端子O_UTまでの配線抵抗(鎖線で表した抵抗)をR_{para}とする。差電圧(V_i - V_o)が小さく、センストランジスタM2がオンしてもセンス電圧V_{sns}がバイアス電圧V_{bias}未満の場合のセンス電流I_{sns}は次式で得られる。

40

$$I_{sns} = (V_i - V_o) / (R_{sns} + R_{s0}) \quad \dots (2)$$

【0012】

また、このときのセンス電圧V_{sns}は次式で得られる。

$$V_{sns} = R_{sns} \cdot I_{sns} = R_{sns} (V_i - V_o) / (R_{sns} + R_{s0}) \quad \dots (3)$$

【0013】

式(3)からセンス電圧V_{sns}は差電圧(V_i - V_o)が0Vの場合は0Vとなり、差電圧(

50

$V_i - V_o$)に比例して大きくなることが分かる。

【 0 0 1 4 】

また、バイアス抵抗 R_{bi} には、差電圧 $(V_i - V_o)$ に関係なく電流源 I_1 の定電流が供給されるので、バイアス電圧 V_{bias} は常に所定のバイアス電圧値 (V_{bias0}) となる。

【 0 0 1 5 】

演算増幅回路 1 の出力は、センス電圧 V_{sns} が所定のバイアス電圧 V_{bias0} に等しくなるまではハイレベルとなるので、ドライバトランジスタ M_1 もオン状態である。この状態におけるドライバトランジスタ M_1 のドレイン電流 I_d は次式で得られる。

$$I_d = (V_i - V_o) / (R_{d0} + R_{para}) \quad \cdots (4)$$

【 0 0 1 6 】

10

出力電流 I_o はセンス電流 I_{sns} とドレイン電流 I_d の和であるから、式 (2) と式 (4) から出力電流 I_o は次式で得られる。

$$I_o = (V_i - V_o) / (R_{sns} + R_{s0}) + (V_i - V_o) / (R_{d0} + R_{para}) \quad \cdots (5)$$

【 0 0 1 7 】

出力電流 I_o が最大値となるときの差電圧 $(V_i - V_o)$ は、式 (3) において、センス電圧 V_{sns} が所定のバイアス電圧 V_{bias0} と等しくなったときである。そこで、式 (3) のセンス電圧 V_{sns} を所定のバイアス電圧 V_{bias0} で置換し、差電圧 $(V_i - V_o)$ に付いて解くと、次式が得られる。

$$V_i - V_o = V_{bias0} (R_{sns} + R_{s0}) / R_{sns} \quad \cdots (6)$$

【 0 0 1 8 】

20

すなわち、式 (6) の右辺が、出力電流 I_o が最大値となる差電圧 $(V_i - V_o)$ である。そこで、式 (6) を式 (5) に代入して最大出力電流 I_{max} を求める。

$$I_{max} = V_{bias0} (R_{d0} + R_{para} + R_{sns} + R_{s0}) / R_{sns} (R_{d0} + R_{para}) \quad \cdots (7)$$

【 0 0 1 9 】

さらに差電圧 $(V_i - V_o)$ が大きくなった場合は、ドライバトランジスタ M_1 とセンストランジスタ M_2 のゲートは演算増幅回路 1 で制御されるようになり、センス電圧 V_{sns} は常に所定のバイアス電圧 V_{bias0} に等しくなるので、センス電流 I_{sns} は次式となる。

$$I_{sns} = V_{bias0} / R_{sns} \quad \cdots (8)$$

【 0 0 2 0 】

30

また、ドライバトランジスタ M_1 のドレイン電流 I_d は次式で表される。

$$I_d = K \cdot I_{sns} = K \cdot V_{bias0} / R_{sns} \quad \cdots (9)$$

K : ドライバトランジスタ M_1 とセンストランジスタ M_2 の素子サイズ比

【 0 0 2 1 】

出力電流 I_o は、センス電流 I_{sns} (式 (8)) とドライバ電流 I_d (式 (9)) の和であるから次式となる。

$$I_o = V_{bias0} (1 + K) / R_{sns} \quad \cdots (10)$$

【 0 0 2 2 】

40

今、 $R_{d0} = 0.1 \Omega$ 、 $R_{s0} = 1 \Omega$ 、 $R_{para} = 0.1 \Omega$ 、 $R_{sns} = 5 \Omega$ 、 $V_{bias} = 0.1 V$ とし式 (5) と式 (10) をグラフに表したのが、図 12 (c) である。なお、電圧 V_1 は出力電流 I_o が最大出力電流 I_{max} となる差電圧 $(V_i - V_o)$ である。差電圧 $(V_i - V_o)$ が電圧 V_1 を越えた後、直ぐに出力電流 I_o が制限電流 I_{lim} にならないのは、センストランジスタ M_2 とドライバトランジスタ M_1 のドレイン電圧が僅かに異なることによるチャネル長変調効果などの影響によるものである。

【 0 0 2 3 】

上記の値を式 (1) に代入して制限電流 I_{lim} を求めると、 $I_{lim} = 0.22 A$ が求まる。同様に式 (7) に代入して最大出力電流 $I_{max} = 0.62 A$ が求まり、このときの差電圧 V_1 は、式 (3) から $V_1 = 0.12 V$ が求まる。この例から分かるように、最大出力電流 I_{max} は制限電流 I_{lim} の 3 倍近くにも達している。

【 0 0 2 4 】

最大出力電流 I_{max} が制限電流 I_{lim} より大きい場合、次のような不利益がある。電流制

50

限回路を用いて設計を行う際に、仕様上の定格電流は I_{lim} であるにもかかわらず、負荷変動のシーケンスによっては最大出力電流値 I_{max} まで流れることを見込んで設計を行う必要がある。このことはシステム上流にある電源の負荷電流の許容値を大きくすることを要求すると共に、上流、下流の基板配線の配線幅をより太くする必要性を生じさせる。

【0025】

本発明は、上述した実情を考慮してなされたものであって、最大出力電流 I_{max} と制限電流 I_{lim} の差を小さくした電流制限回路を提供することを目的とする。

【課題を解決するための手段】

【0026】

上記の課題を解決するために、本発明に係る電流制限回路は、入力電圧が印加される入力端子と、出力電圧を出力する出力端子と、一端が入力端子に接続され、他端が出力端子に接続され、制御端子を備えたドライバトランジスタと、一端がセンス抵抗を介して入力端子に接続され、他端が出力端子に接続され、制御端子がドライバトランジスタの制御端子に接続されたセンストランジスタと、入力端子の電位を基準電位とするバイアス電圧と、センス抵抗における電圧降下とを入力し、ドライバトランジスタとセンストランジスタの制御端子に出力が接続された第1演算増幅回路と、バイアス電圧の電圧値を、入力端子と出力端子の差電圧に応じて、所定のバイアス電圧以下になるように制御するバイアス電圧変更回路とを備える。

10

【0027】

本発明に係る電流制限回路の駆動方法は、入力電圧が印加される入力端子と、出力電圧を出力する出力端子と、一端が入力端子に接続され、他端が出力端子に接続され、制御端子を備えたドライバトランジスタと、一端がセンス抵抗を介して入力端子に接続され、他端が出力端子に接続され、制御端子がドライバトランジスタの制御端子に接続されたセンストランジスタと、入力端子の電位を基準電位とするバイアス電圧と、センス抵抗における電圧降下とを入力し、ドライバトランジスタとセンストランジスタの制御端子に出力が接続された第1演算増幅回路とを備えた電流制限回路の駆動方法である。その駆動方法によれば、バイアス電圧の電圧値を、入力端子と出力端子の差電圧に応じて、所定のバイアス電圧以下になるように制御する。

20

【発明の効果】

【0028】

本発明によれば、入力電圧と出力電圧の差電圧(出力端子と接地端子の間にドライバトランジスタを有する場合は出力電圧 V_o と接地電位の差電圧)に応じて、バイアス電圧 V_{bias} を変更するようにしたので、差電圧が小さい領域においても、出力電流 i_o の最大値を制限電流 I_{lim} とほぼ同じ電流以下に制御することが可能となる。その結果、回路要素に対し許容電流値を緩和することが可能となり、回路面積の縮小、および回路コストの低減が可能となる。

30

【発明を実施するための最良の形態】

【0029】

以下、添付の図面を参照して、本発明の実施形態を詳細に説明する。

【0030】

40

(実施の形態1)

図1は、本発明の第1の実施形態における電流制限回路の回路図である。図12(a)に示す従来の電流制限回路と異なる点は、本実施形態の電流制限回路がバイアス電圧変更回路10をさらに備えている点である。バイアス電圧変更回路10以外の回路の部分に関しては、従来技術で既に説明を行なっているので、ここでの説明は省略する。

【0031】

バイアス電圧変更回路10は、入力電圧 V_i と出力電圧 V_o の差電圧($V_i - V_o$)に基づいて、バイアス抵抗 R_{bi} 両端に印加されるバイアス電圧 V_{bias} の値を変更する回路であり、演算増幅回路11と12、PMOSトランジスタ M_{11} 、及び抵抗 R_{11} と R_{12} で構成されている。

50

【 0 0 3 2 】

P M O S トランジスタ M 1 1 はバイアス抵抗 R b i に並列に接続されており、ソースは入力端子 I N に、ドレインはバイアス抵抗 R b i と電流源 I 1 間の接続ノードに接続されている。P M O S トランジスタ M 1 1 のゲートは演算増幅回路 1 1 の出力に接続されている。演算増幅回路 1 1 の非反転入力端子は P M O S トランジスタ M 1 1 のドレインに接続されている。また、その反転入力端子は抵抗 R 1 1 と抵抗 R 1 2 間の接続ノードに接続されている。抵抗 R 1 1 の他端は入力端子 I N に接続され、抵抗 R 1 2 の他端は演算増幅回路 1 2 の出力に接続されている。演算増幅回路 1 2 の反転入力端子は自身の出力に接続されている。また、非反転入力端子は出力端子 O U T に接続されている。電流制限回路は出力端子 O U T を流れる電流 I o を所定電流値内になるよう制限する。

10

【 0 0 3 3 】

次にバイアス電圧変更回路 1 0 の動作を説明する。

演算増幅回路 1 2 はボルテージフォロア回路を構成しているので、その出力電圧は、その入力電圧である出力端子 O U T の電圧と同じである。抵抗 R 1 1 と R 1 2 は直列接続され、入力端子 I N と演算増幅回路 1 2 の出力との間に接続されている。よって、抵抗 R 1 1 と抵抗 R 1 2 間の接続ノードの電圧は、入力電圧 V i と出力電圧 V o の差電圧 (V i - V o) を、抵抗 R 1 1 と R 1 2 の抵抗値で分圧した電圧となる。抵抗 R 1 1 における電圧降下を電圧 V o 1 とすると電圧 V o 1 は次式で得られる。

$$V o 1 = (V i - V o) \cdot R 1 1 / (R 1 1 + R 1 2) \quad \cdots (1 1)$$

ここで、 $R 1 1 / (R 1 1 + R 1 2) = 1 / N$ とすると、式 (1 1) から次式を得る。

20

$$V o 1 = (V i - V o) / N \quad \cdots (1 2)$$

【 0 0 3 4 】

この電圧 V o 1 が演算増幅回路 1 1 の反転入力に印加されているので、演算増幅回路 1 1 は、バイアス電圧 V b i a s を電圧 V o 1 と等しくなるように P M O S トランジスタ M 1 1 のゲート電圧を制御する。すなわち、バイアス電圧 V b i a s が電圧 V o 1 と等しくなるように制御される。

$$V b i a s = V o 1 = (V i - V o) / N \quad \cdots (1 2 ')$$

【 0 0 3 5 】

しかしながら、P M O S トランジスタ M 1 1 にはバイアス抵抗 R b i が並列に接続されており、しかも P M O S トランジスタ M 1 1 とバイアス抵抗 R b i には電流源 I 1 による定電流を超えた電流は流れないので、バイアス電圧 V b i a s の最大値は、バイアス抵抗 R b i と電流源 I 1 の電流値の積で決まる所定のバイアス電圧値 (V b i a s 0) 以上にはならない。

30

【 0 0 3 6 】

図 2 は、図 1 に示すバイアス電圧変更回路 1 0 の動作を説明するための電圧と電流の関係を示すグラフである。図 2 の趣旨は従来技術で説明した図 1 2 (b)、(c) に示すグラフと同じである。図 2 (a)、(b) の横軸は入力電圧 V i と出力電圧 V o の差電圧 (V i - V o) である。図 2 (a) に示すグラフは、センス電圧 V s n s (細線) とバイアス電圧 V b i a s それぞれの変化を示すグラフである。縦軸は電圧であり、入力電圧 V i を基準電位とし、下方に向かうほど電圧が下がっている。図 2 (a) において、V b i a s の電圧はバイアス抵抗 R b i と電流源 I 1 間の接続ノードの電圧であり、V s n s の電圧はセンス抵抗 R s n s とセンストランジスタ M 2 間の接続ノードの電圧である。V b i a s 0 は所定のバイアス電圧である。所定のバイアス電圧 V b i a s 0 は、バイアス抵抗 R b i に電流源 I 1 の電流が全て流れた場合のバイアス電圧 V b i a s である。図 2 (b) に示すグラフは、出力電流 I o の変化を示すグラフであり、縦軸は電流値である。

40

【 0 0 3 7 】

従来技術の場合と同様、ドライバトランジスタ M 1 のオン抵抗を R d 0、センストランジスタ M 2 のオン抵抗を R s 0 とする。また、図 1 には示していないが、入力端子 I N からドライバトランジスタ M 1 を通って出力端子 O U T までの配線抵抗を R p a r a とする。

【 0 0 3 8 】

演算増幅回路 1 によって、センス電圧 V s n s が常にバイアス電圧 V b i a s と同じになるよ

50

うにN M O S トランジスタM 2 のゲート電圧が制御される。そのため、図 2 (a) に示すように、センス電圧 V_{sns} とバイアス電圧 V_{bias} は常に同電圧となる。

【 0 0 3 9 】

センス電流 I_{sns} は次式で得られる。

$$I_{sns} = V_{bias} / R_{sns} \quad \cdots (13)$$

また、ドライバトランジスタM 1 のドレイン電流 I_d は式 (9) で表される。

【 0 0 4 0 】

本実施形態の最大出力電流 I_{max} は式 (7) の場合と同様にして次式で求められる。

$$I_{max} = V_{bias} (R_{d0} + R_{para} + R_{sns} + R_{s0}) / R_{sns} (R_{d0} + R_{para}) \quad \cdots (7')$$

式 (7') より最大出力電流 I_{max} の値はバイアス電圧 V_{bias} の値に比例することが分かるが、式 (1 2') より、バイアス電圧 V_{bias} は差電圧 ($V_i - V_o$) の $1 / N$ に制御される。よって、 N を適宜設定することで、差電圧 ($V_i - V_o$) が小さい場合、バイアス電圧 V_{bias} を小さくでき、最大出力電流 I_{max} を従来に比して低減することができる。

【 0 0 4 1 】

従来技術の場合と同様に、 $R_{d0} = 0.1 \Omega$ 、 $R_{s0} = 1 \Omega$ 、 $R_{para} = 0.1 \Omega$ 、 $R_{sns} = 5 \Omega$ 、 $V_{bias} = 0.1 V$ とし、さらに $N = 2$ として式 (9) を計算した結果を図 2 (b) に示す。

【 0 0 4 2 】

上記パラメータを式 (1) に代入して制限電流 I_{lim} を求めると、 $I_{lim} = 0.22 A$ が求まる。最大出力電流 I_{max} はバイアス電圧 V_{bias} が所定のバイアス電圧 V_{bias0} と等しくなるときで、このときの差電圧 V_1 は、式 (1 2) の電圧 V_{o1} が所定のバイアス電圧 V_{bias0} になったときであるから、 $V_1 = V_{bias0} \times N = 0.2 V$ となる。このときの最大出力電流 I_{max} は、制限電流 I_{lim} と等しくなるはずであるが、実際には、ドライバトランジスタM 1 のドレイン電圧がセンストランジスタM 2 のドレイン電圧より所定のバイアス電圧 V_{bias0} 分高いため、グラフに表したように制限電流 I_{lim} より少し大きくなっている。

【 0 0 4 3 】

また、 N が 1 に近いほど差電圧 V_1 は所定のバイアス電圧 V_{bias0} ($0.1 V$) に近づくが、チャネル変調効果の影響で、最大出力電流 I_{max} は大きくなる。逆に N が大きいほどチャネル変調効果の影響は小さくなり、最大出力電流 I_{max} は制限電流 I_{lim} に近づくが、制限電流 I_{lim} に到達する差電圧 V_1 が大きくなる。このため、 N の値は、本電流制限回路を使用する回路の仕様によって最適な値を選ぶようにする。

【 0 0 4 4 】

以上のように、本実施形態では、バイアス電圧変更回路 1 0 により、バイアス電圧 (V_{bias}) の大きさを、入力端子と出力端子の差電圧 ($V_i - V_o$) に応じて所定のバイアス電圧 ($V_i - V_{bias0}$) 以下になるように制御する。これにより、差電圧が小さい領域においても出力電流 i_o の最大値を制限電流 I_{lim} とほぼ同じ電流以下に制御することが可能となる。

【 0 0 4 5 】

(実施の形態 2)

図 3 は、本発明の第 2 の実施形態における電流制限回路の回路図である。図 1 に示す実施の形態 1 の構成と異なる点は、バイアス電圧変更回路 1 0 b において、抵抗 R_{12} と並列に P M O S トランジスタM 1 2 と抵抗 R_{13} の直列回路が接続され、P M O S トランジスタM 1 2 のゲートが演算増幅回路 1 1 の出力に接続されている点である。実施形態 1 の場合と同様、バイアス電圧変更回路 1 0 以外の回路の部分についての説明は省略する。

【 0 0 4 6 】

本実施形態では、バイアス電圧変更回路 1 0 において、抵抗 R_{12} と並列に設けた P M O S トランジスタM 1 2 と抵抗 R_{13} の直列回路によって、差電圧に応じ式 (1 2') における N の値を変化させるようにしている。これにより、

【 0 0 4 7 】

P M O S トランジスタM 1 2 のゲートは P M O S トランジスタM 1 1 のゲートと同電位

になっており、ソース電位はPMOSトランジスタM11のソース電位より電圧 V_{o1} だけ低い電位になっている。電圧 V_{o1} はバイアス電圧 V_{bias} が所定のバイアス電圧 V_{bias0} になるまでは、バイアス電圧 V_{bias} と同じである。そのため、MOSトランジスタM12は、バイアス電圧 V_{bias} が0Vに近い場合は、PMOSトランジスタM11と同様インピーダンスは小さいが、バイアス電圧 V_{bias} が増加するに従いPMOSトランジスタM12のインピーダンスは大きくなり、バイアス電圧 V_{bias} が所定のバイアス電圧 V_{bias0} では完全にオフとなる。

【0048】

その結果、抵抗 R_{12} と抵抗 R_{13} 、およびPMOSトランジスタM12で構成される回路の合成インピーダンスは、抵抗 R_{12} と抵抗 R_{13} を並列に接続した状態から抵抗 R_{12} 単独抵抗までの間を連続的に変化することになる。すなわち、差電圧($V_i - V_o$)に応じてNの値が変化するようにになっている。これにより、差電圧($V_i - V_o$)が小さい領域から、出力電流 I_o の最大値を制限電流 I_{lim} により近づけることが可能となる。

10

【0049】

図4は、図3の回路の動作を表した電圧と電流の関係を示すグラフである。書かれている内容は図2のグラフと同じである。

【0050】

いま、 $R_{11} = R_{12} = R_{13}$ とすると、Nは1.5から2まで変化することになる。その他の条件は第1の実施例と同様にした場合のグラフを図4に示す。図に示すように、バイアス電圧 V_{bias} と出力電流 I_o の変化が曲線となっている。

20

【0051】

Nの最大値が2で第1の実施形態と同じなので、出力電流 I_o が最大になる差電圧 V_1 は第1の実施形態と同様、0.2Vである。また、最大出力電流 I_{max} もチャネル変調効果などの影響で、制限電流 I_{lim} より少し大きくなっている。

【0052】

このように、差電圧($V_i - V_o$)に応じてNを次第に大きくすることによって、差電圧($V_i - V_o$)が小さいときから出力電流 I_o の最大値を制限電流 I_{lim} により近づけることが可能となる。

【0053】

なお、抵抗 R_{11} の抵抗値と抵抗 R_{13} の抵抗値の比と、センス抵抗 R_{sns} の抵抗値とセンストランジスタM2のオン時のインピーダンスの比とを等しくするのが好ましい。PMOSトランジスタM12は、センストランジスタM2の演算増幅回路1によるインピーダンスの変動をキャンセルするために挿入されている。

30

【0054】

(実施の形態3)

図5に、本発明の第3の実施形態における電流制限回路の回路図を示す。図3に示す実施の形態2の構成と異なる点は、抵抗 R_{11} と R_{12} の接続ノードと接地端子GND間に電流源 I_{11} がさらに接続されている点である。前述の実施形態と同様、バイアス電圧変更回路10以外の電流制限回路部分についての説明は省略する。

【0055】

本実施形態では、電流源 I_{11} により、抵抗 R_{11} と R_{12} の接続ノードから常にバイアス電流 I_{11} が供給される。これにより、電圧 V_{o1} は、差電圧($V_i - V_o$)が0Vであっても、0Vにはならない。バイアス電圧 V_{bias} も同様に、差電圧($V_i - V_o$)が0Vであっても、0Vにならず、一定の電圧値を有する。この一定の電圧値を、バイアス電圧の下限值 V_{b0} という。バイアス電圧の下限值 V_{b0} を与えることにより、回路素子のバラツキをキャンセルする。すなわち、バイアス電圧の下限值 V_{b0} の値は、キャンセルしたいバラツキに応じて適宜設定される。回路素子のバラツキとしては、例えば、演算増幅回路1のオフセットがある。

40

【0056】

電圧 V_{o1} は、抵抗 R_{12} 、 R_{13} 、PMOSトランジスタM12の合成抵抗を R_{23} し

50

て次式で得られる。

$$V_{o1} = \{ I_{11} \cdot R_{11} \cdot R_{23} + (V_i - V_o) R_{11} \} / (R_{11} + R_{23}) \quad (14)$$

【0057】

ここで、抵抗 R_{11} 、 R_{12} 、 R_{13} の比を $1:2:2$ とすると、 R_{23} は 1 から 2 まで変化し、差電圧 $(V_i - V_o)$ が 0 V の場合、 R_{23} は 1 となる。図 6 に、電流源 I_{11} の電流値を 0.003 とし、その他の条件は第 1 の実施形態と同様にした場合のグラフを示す。

【0058】

同図から分かるように、差電圧 $(V_i - V_o)$ が 0 V の場合のバイアス電圧 V_{bias} は 0 V ではなく、 V_{b0} である。このバイアス電圧 V_{b0} を上記の条件で式 (14) より求めると、 $V_{b0} = 0.015\text{ V}$ となる。

【0059】

また、出力電流 I_o は 2 つのピーク値を持つ。第 1 のピークは、バイアス電圧 V_{bias} とセンス電圧 V_{sns} が一致する差電圧 V_1 で発生する。第 2 のピーク値はバイアス電圧 V_{bias} が所定のバイアス電圧 V_{bias0} に到達した差電圧 V_2 で発生する。

【0060】

第 1 のピークが発生する差電圧 V_1 とそのときの出力電流 I_o は、電流源 I_{11} の電流値と、抵抗 R_{11} から R_{13} の組み合わせでさまざまに変えることができる。上記条件の場合は、差電圧 V_1 が約 0.035 V で、そのときの出力電流 I_o は約 0.21 A と制限電流 I_{lim} の 0.22 A に近い電流値になっている。また、第 2 のピークは差電圧 V_2 が約 0.24 V となっている。このときの最大出力電流 I_{max} は、制限電流 I_{lim} と同じになるはずであるが、前記したようにチャネル長変調などの影響を受け制限電流 I_{lim} より少し大きくなる。

【0061】

本実施形態によれば、バイアス電圧の下限値 V_{b0} を設定する。これにより、演算増幅回路 1 のばらつき（オフセット等）をキャンセルすることができる。

【0062】

（実施の形態 4）

図 7 は、本発明の第 4 の実施形態における電流制限回路の回路図である。図 3 に示す実施の形態 2 の構成と異なる点は、抵抗 R_{14} が PMOS トランジスタ M_{11} のドレインと入力端子 I_N 間に挿入されている点である。

【0063】

この回路では、PMOS トランジスタ M_{11} がオンになった場合、すなわち、差電圧が 0 V になった場合、抵抗 R_{14} とバイアス抵抗 R_{b1} が並列接続され、抵抗 R_{14} とバイアス抵抗 R_{b1} の合成抵抗に対して電流源 I_1 から電流が供給される。このため、PMOS トランジスタ M_{11} がオンになった場合、すなわち、差電圧が 0 V になった場合でも、バイアス電圧 V_{bias} の最低電圧は 0 V にはならず、所定の下限電圧 V_{b0} に設定される。

【0064】

図 8 に、抵抗 $R_{14} = 0.3\ \Omega$ とし、その他の条件を第 2 の実施形態の場合と同じにした場合のグラフを示す。

【0065】

同図から分かるように、差電圧 $(V_i - V_o)$ が 0 V の場合のバイアス電圧 V_{bias} は 0 V ではなく、 V_{b0} である。このバイアス電圧 V_{b0} は上記したようにバイアス抵抗 R_{bi} と抵抗 R_{14} の合成抵抗と電流源 I_1 の積であるから、

$$V_{b0} = I_1 \cdot R_{bi} \cdot R_{14} / (R_{bi} + R_{14}) \quad \dots (15)$$

となり、数値を代入すると、 $V_{b0} = 0.1 \times 1 \times 0.3 / (1 + 0.3) = 0.023\text{ V}$ となる。

【0066】

また、本実施形態においても、図 5 に示す実施形態 3 の場合と同様、出力電流 I_o は 2 つのピーク値を持つ。第 1 のピークは、バイアス電圧 V_{bias} とセンス電圧 V_{sns} が一致す

る差電圧 V_1 で発生し、第 2 のピーク値はバイアス電圧 V_{bias} の大きさが所定のバイアス電圧 V_{bias0} に到達したときの差電圧 V_2 で発生する。

【0067】

第 1 のピークが発生する差電圧 V_1 とそのときの出力電流 I_o は、電流源 I_1 の電流値と、抵抗 $R_{11} \sim R_{14}$ の組み合わせでさまざまに変えることができる。上記条件の場合は、差電圧 V_1 が約 $0.03V$ で、そのときの出力電流 I_o は約 $0.21A$ と制限電流 I_{lim} の $0.22A$ に近い電流値になっている。また、第 2 のピークは差電圧 V_2 が約 $0.2V$ となっている。そのときの最大出力電流 I_{max} も図 5 の場合と同様、制限電流 I_{lim} と同じになるはずであるが、前述のようにチャネル長変調などの影響を受け制限電流 I_{lim} より少し大きくなる。

10

【0068】

本実施形態においても、実施の形態 3 と同様に、バイアス電圧 V_{bias} の下限値 V_{bo} は回路素子のバラツキに応じて適宜設定される。

【0069】

(実施の形態 5)

図 9 は、本発明の第 5 の実施形態における電流制限回路の回路図である。この回路は図 1 に示す電流制限回路における MOS トランジスタ M_1 、 M_2 、 M_{11} の導電型を全て逆にして構成した回路である。そのため、ドライバトランジスタ M_1 は接地端子 GND と出力端子 OUT 間に接続され、負荷 20 は入力端子 IN と出力端子 OUT 間に接続されている。また、他の回路も入力電圧 V_i と接地電位 GND 間の接続関係が全て逆になっている。

20

【0070】

本実施形態の電流制限回路の動作は図 1 の構成と全く同様なので説明は省略する。なお、図 3、図 5、図 7 の回路に付いても同様に逆の導電型の MOS トランジスタで構成できることは言うまでもない。

【0071】

(実施の形態 6)

図 10 は、本発明の第 6 の実施形態における電流制限回路の回路図である。この回路は図 1 に示す電流制限回路におけるドライバトランジスタ M_1 とセンストランジスタ M_2 を PMOS トランジスタに置き換えたときの回路図である。

30

【0072】

ドライバトランジスタ M_1 のソースが入力端子 IN に接続され、ドレインが出力端子 OUT に接続されている。センストランジスタ M_2 のソースはセンス抵抗 R_{sns} を介して入力端子 IN に接続され、ドレインは出力端子 OUT に接続されている。

【0073】

さらに演算増幅回路 1 の反転入力にセンストランジスタ M_2 のソースとセンス抵抗 R_{sns} の接続ノードに接続され、非反転入力にバイアス電圧 V_{bias} が入力されている。

【0074】

この回路の場合、センストランジスタ M_2 のゲート - ソース間電圧が、ドライバトランジスタ M_1 のゲート - ソース間電圧より、センス電圧 V_{sns} だけ低くなるため、センストランジスタ M_2 のオン抵抗に関し補正を行なう必要がある。

40

【0075】

ドライバトランジスタ M_1 のゲート - ソース間電圧を V_{gs} 、図 1 の場合のセンストランジスタ M_2 のインピーダンスを R_s とし、図 10 のセンストランジスタ M_2 のインピーダンスを R_{ss} とすると、 R_{ss} と R_s の関係は次式で表される。

$$R_{ss} = R_s \cdot V_{gs} / (V_{gs} - V_{bias}) \quad \cdots (16)$$

【0076】

今、ドライバトランジスタ M_1 のゲート - ソース間電圧 $V_{gs} = 1V$ 、バイアス電圧 $V_{bias} = 0.1V$ とすると、式 (16) より次式が得られる。

$$R_{ss} = 1.11 \cdot R_s \quad \cdots (17)$$

50

【 0 0 7 7 】

式 (1) の R_s を上記の R_{ss} で置換すると、制限電流 I_{lim} が求められる。なお、その他の条件は図 1 の場合と同じとする。制限電流 I_{lim} は次式で求まる。

$$I_{lim} = 0.1 (0.1 + 1.11 \times 1) / 0.1 \times 5 = 0.242 \text{ A}$$

【 0 0 7 8 】

図 1 に示す回路に比べ、1 割ほど大きくなるが、センス抵抗 R_{sns} を調整することで制限電流 I_{lim} を同じにすることができる。

【 0 0 7 9 】

センストランジスタ M_2 のゲート - ソース間電圧を上記のように補正するだけで、電流制限回路およびバイアス電圧変更回路 10 の動作を図 1 の場合と同様にできる。

10

【 0 0 8 0 】

さらに、図 10 に示す回路においても、図 3、図 5、図 7 で説明したバイアス電圧変更回路 10 を適用することができることは言うまでもない。

【 0 0 8 1 】

(実施の形態 7)

図 11 は、本発明の第 7 の実施形態を示す電流制限回路の回路図である。この回路は、図 10 に示した電流制限回路に用いた MOS トランジスタ M_1 、 M_2 、 M_{11} の導電型を全て逆にして構成した回路である。そのため、ドライバトランジスタ M_1 は接地端子 GND と出力端子 OUT 間に接続され、負荷 20 は入力端子 IN と出力端子 OUT 間に接続される。また、他の回路素子についても入力電圧 V_i と接地電位 GND に対する接続関係が

20

【 0 0 8 2 】

本実施形態の回路の動作は図 10 に示したものと全く同様なので、説明は省略する。図 11 に示す回路においても、図 3、図 5、図 7 で説明したバイアス電圧変更回路を利用することができることは言うまでも無い。

【 0 0 8 3 】

以上のように、上記実施形態 1 ~ 4 に示した電流制限回路によれば、入力電圧 V_i と出力電圧 V_o の差電圧 (実施の形態 5 ~ 7 における MOS トランジスタの導電型を逆にした場合は、出力電圧 V_o と接地電位の差電圧) に応じて、バイアス電圧 V_{bias} を変更するようにしたので、差電圧が小さい領域においても、出力電流 I_o を制限電流 I_{lim} とほぼ同じ電流以下に制御することが可能となる。その結果、回路要素に対し許容電流値を緩和することが可能となり、回路面積の縮小、および回路コストの低減が実現できる。

30

【 図面の簡単な説明 】

【 0 0 8 4 】

【 図 1 】 本発明の第 1 の実施形態における電流制限回路の回路図である。

【 図 2 】 (a) 電流制限回路におけるバイアス電圧とセンス電圧の変化を示す図、及び (b) 出力電流の変化を示す図である (第 1 の実施形態) 。

【 図 3 】 本発明の第 2 の実施形態における電流制限回路の回路図である。

【 図 4 】 (a) 電流制限回路におけるバイアス電圧とセンス電圧の変化を示す図、及び (b) 出力電流の変化を示す図である (第 2 の実施形態) 。

40

【 図 5 】 本発明の第 3 の実施形態における電流制限回路の回路図である。

【 図 6 】 (a) 電流制限回路におけるバイアス電圧とセンス電圧の変化を示す図、及び (b) 出力電流の変化を示す図である (第 3 の実施形態) 。

【 図 7 】 本発明の第 4 の実施形態における電流制限回路の回路図である。

【 図 8 】 (a) 電流制限回路におけるバイアス電圧とセンス電圧の変化を示す図、及び (b) 出力電流の変化を示す図である (第 4 の実施形態) 。

【 図 9 】 本発明の第 5 の実施形態における電流制限回路の回路図である。

【 図 10 】 本発明の第 6 の実施形態における電流制限回路の回路図である。

【 図 11 】 本発明の第 7 の実施形態における電流制限回路の回路図である。

【 図 12 】 (a) 電流制限回路の回路図、(b) 電流制限回路におけるバイアス電圧とセ

50

ンス電圧の変化を示す図、及び（ｃ）電流制限回路における出力電流の変化を示す図である（従来技術）。

【符号の説明】

【 0 0 8 5 】

1 0 バイアス電圧変更回路

2 0 負荷

1、1 1 演算増幅回路

M 1 ドライバトランジスタ

M 2 センストランジスタ

R b i バイアス抵抗

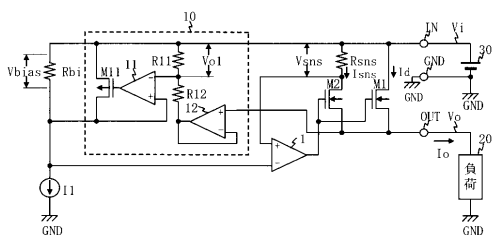
R s n s センス抵抗

R 1 1 ~ R 1 4 抵抗

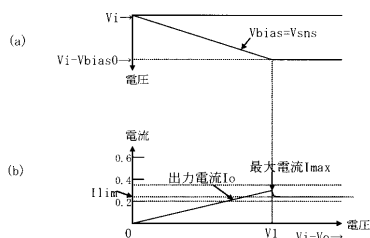
I 1, I 1 1 電流源

10

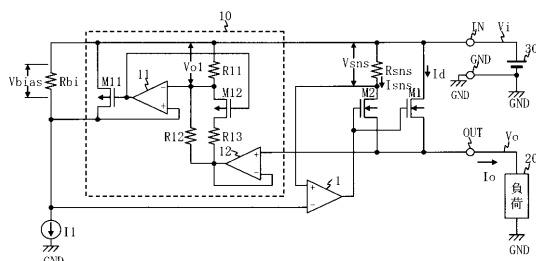
【 図 1 】



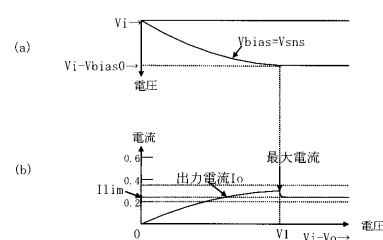
【 図 2 】



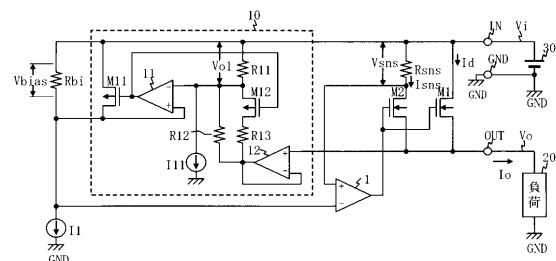
【 図 3 】



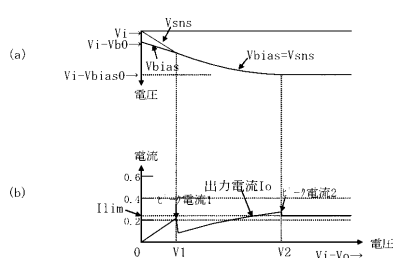
【 図 4 】



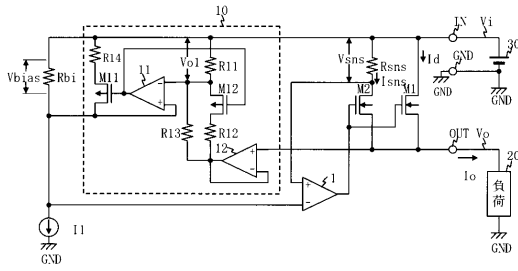
【 図 5 】



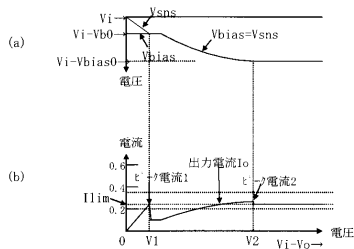
【 図 6 】



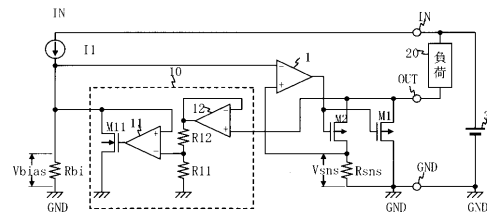
【図 7】



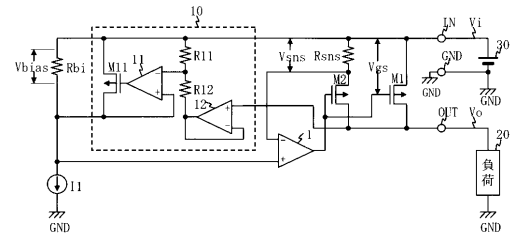
【図 8】



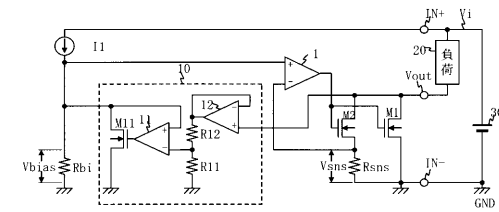
【図 9】



【図 10】



【図 11】



【図 12】

