(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 1 月 12 日(12.01.2017)

WIPO | PCT

(10) 国際公開番号
WO 2017/006594 A1

(51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 21/336* (2006.01)
H01L 21/20 (2006.01) *H01L 29/12* (2006.01)
H01L 21/265 (2006.01)

(21) 国際出願番号: PCT/JP2016/059707

(22) 国際出願日: 2016 年 3 月 25 日(25.03.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2015-136889 2015 年 7 月 8 日(08.07.2015) JP

(71) 出願人: 住友電気工業株式会社 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目５番３３号 Osaka (JP).

(72) 発明者: 西口 太郎 (NISHIGUCHI, Taro); 〒6640016 兵庫県伊丹市昆陽北一丁目１番１号 住友電気工業株式会社伊丹製作所内 Hyogo (JP).
日吉 透 (HIYOSHI, Toru); 〒5540024 大阪府大阪市此花区島屋一丁目１番３号 住友電気工業株式会社大阪製作所内 Osaka (JP).

(74) 代理人: 中田 元己, 外 (NAKATA, Motomi et al.); 〒5540024 大阪府大阪市此花区島屋一丁目１番３号 住友電気工業株式会社内 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

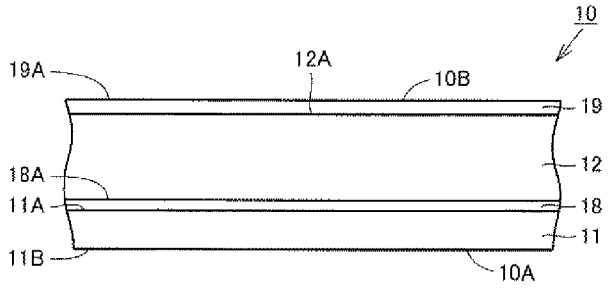
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: SILICON CARBIDE SEMICONDUCTOR SUBSTRATE AND METHOD FOR MANUFACTURING SILICON CARBIDE SEMICONDUCTOR DEVICE

(54) 発明の名称 : 炭化珪素半導体基板および炭化珪素半導体装置の製造方法

[図1]



(57) **Abstract**: This silicon carbide semiconductor substrate is provided with: a silicon carbide substrate having a main surface; a first silicon carbide semiconductor layer disposed on the main surface; a second silicon carbide semiconductor layer disposed on the first silicon carbide semiconductor layer; and a third silicon carbide semiconductor layer directly disposed on the second silicon carbide semiconductor layer. The first silicon carbide semiconductor layer contains an n-type impurity at a first concentration. The second silicon carbide semiconductor layer contains an n-type impurity at a second concentration. The third silicon carbide semiconductor layer contains an n-type impurity at a third concentration. The first concentration is higher than the second concentration. The third concentration is higher than the second concentration.

(57) 要約:

[続葉有]

WO 2017/006594 A1

炭化珪素半導体基板は、主面を有する炭化珪素基板と、主面上に配置された第１の炭化珪素半導体層と、第１の炭化珪素半導体層上に配置された第２の炭化珪素半導体層と、第２の炭化珪素半導体層上に直接配置された第３の炭化珪素半導体層と、を備える。第１の炭化珪素半導体層は第１の濃度のｎ型不純物を含む。第２の炭化珪素半導体層は第２の濃度のｎ型不純物を含む。第３の炭化珪素半導体層は第３の濃度のｎ型不純物を含む。第１の濃度は、第２の濃度より高い。第３の濃度は、第２の濃度より高い。

明　細　書

発明の名称 ：

炭化珪素半導体基板および炭化珪素半導体装置の製造方法

技術分野

[0001] 本開示は炭化珪素半導体基板および炭化珪素半導体装置に関する。本出願は２０１５年７月８日出願の日本特許出願第２０１５－１３６８８９号に基づく優先権を主張し、前記日本特許出願に記載された全ての内容を援用するものである。

背景技術

[0002] 炭化珪素（ＳｉＣ）層を動作層として含む炭化珪素半導体装置は、炭化珪素層を含む半導体積層体（炭化珪素半導体基板）上に二酸化珪素（SiO_2）からなる絶縁膜や金属などの導電体からなる電極を形成することにより製造される（たとえば、特許文献１参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開２０１４－３８８９９号公報

発明の概要

[0004] 本開示にかかる炭化珪素半導体基板は、主面を有する炭化珪素基板と、主面上に配置された第１の炭化珪素半導体層と、第１の炭化珪素半導体層上に配置された第２の炭化珪素半導体層と、第２の炭化珪素半導体層上に直接配置された第３の炭化珪素半導体層と、を備える。第１の炭化珪素半導体層は第１の濃度のｎ型不純物を含む。第２の炭化珪素半導体層は第２の濃度のｎ型不純物を含む。第３の炭化珪素半導体層は第３の濃度のｎ型不純物を含む。第１の濃度は、第２の濃度より高い。第３の濃度は、第２の濃度より高い。

図面の簡単な説明

[0005] [図1]図１は、炭化珪素半導体基板の構造の一例を示す概略断面図である。

[図2]図２は、炭化珪素半導体基板およびＭＯＳＦＥＴ（Ｍｅｔａｌ　Ｏｘｉ

ｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ Ｆｉｅｌｄ Ｅｆｆｅｃｔ Ｔｒａｎｓｉｓｔｏｒ）の製造方法の一例を概略的に示すフローチャートである。

[図3]図３は、ＭＯＳＦＥＴの製造過程を示す第１の概略断面図である。

[図4]図４は、ＭＯＳＦＥＴの製造過程を示す第２の概略断面図である。

[図5]図５は、ＭＯＳＦＥＴの製造過程を示す第３の概略断面図である。

[図6]図６は、ＭＯＳＦＥＴの製造過程を示す第４の概略断面図である。

[図7]図７は、ＭＯＳＦＥＴの製造過程を示す第５の概略断面図である。

[図8]図８は、ＭＯＳＦＥＴの製造過程を示す第６の概略断面図である。

[図9]図９は、ＭＯＳＦＥＴの製造過程を示す第７の概略断面図である。

[図10]図１０は、ＭＯＳＦＥＴの製造過程を示す第８の概略断面図である。

[図11]図１１は、ＭＯＳＦＥＴの製造過程を示す第９の概略断面図である。

発明を実施するための形態

[0006] ［１．実施形態の詳細］

[0007] 本開示にかかる炭化珪素半導体基板（半導体積層体）の一実施の形態を、以下に図面を参照しつつ説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付し、その説明は繰返さない場合がある。また本明細書の結晶学的記載においては、個別方位を［］、集合方位を＜＞、個別面を（）、集合面を｛｝でそれぞれ示す。結晶学上の指数が負であることは、通常、数字の上に”－”（バー）を付すことによって表現されるが、本明細書では数字の前に負の符号を付すことによって結晶学上の負の指数を表現する。

[0008] 図１を参照して、本実施の形態における炭化珪素半導体基板１０は、炭化珪素基板１１と、第１の炭化珪素半導体層としてのバッファ層１８と、第２の炭化珪素半導体層としてのドリフト層１２と、第３の炭化珪素半導体層としての高濃度ｎ型層１９と、を備えている。炭化珪素半導体基板１０は、一方の主面１０Ａおよび他方の主面１０Ｂを有する。他方の主面１０Ｂは、炭化珪素半導体基板１０を用いた炭化珪素半導体装置の製造において酸化膜が形成されるべき主面である。

[0009] 炭化珪素基板１１は、炭化珪素（ＳｉＣ）から構成される。炭化珪素基板１１を構成する炭化珪素は、たとえば六方晶であり、たとえば４Ｈ構造を有する４Ｈ－ＳｉＣである。炭化珪素基板１１は、たとえば窒素（Ｎ）などのｎ型不純物を含むことにより、導電型がｎ型となっている。炭化珪素基板１１は、第１の主面１１Ｂと、第１の主面１１Ｂと反対側の第２の主面１１Ａとを有する。第１の主面１１Ｂは、炭化珪素半導体基板１０の一方の主面１０Ａである。第２の主面１１Ａは、たとえば（０００１）面に対して０°を超え４°以下傾斜した面である。つまり炭化珪素基板１１は、０°を超え４°以下のオフ角を有する。第２の主面１１Ａの傾斜方向（オフ方向）は、たとえば＜１１－２０＞方向である。なお、第２の主面１１Ａは、たとえば（０００－１）面に対して０°を超え４°以下傾斜した面であってもよい。つまり第２の主面１１Ａは、｛０００１｝面に対して０°を超え４°以下傾斜した面であってもよい。

[0010] バッファ層１８は、第２の主面１１Ａ上にエピタキシャル成長により形成されたエピ層である。バッファ層１８は、炭化珪素基板１１と同様にＳｉＣからなっている。バッファ層１８は、たとえば窒素（Ｎ）などのｎ型不純物を含むことにより、導電型がｎ型となっている。バッファ層１８に含まれるｎ型不純物の濃度は、炭化珪素基板１１に含まれるｎ型不純物の濃度より低い。バッファ層１８の厚みは、例えば０．５μｍ以上２μｍ以下である。

[0011] ドリフト層１２は、バッファ層１８の第１の主面１８Ａ上にエピタキシャル成長により形成されたエピ層である。ドリフト層１２は、炭化珪素基板１１およびバッファ層１８と同様にＳｉＣからなっている。ドリフト層１２は、たとえば窒素（Ｎ）などのｎ型不純物を含むことにより、導電型がｎ型となっている。バッファ層１８に含まれるｎ型不純物の濃度は、ドリフト層１２に含まれるｎ型不純物の濃度より高い。ドリフト層１２の厚みは、炭化珪素半導体装置の絶縁耐圧スペックに依存するが、例えば５μｍ以上１００μｍ以下である。

[0012] 高濃度ｎ型層１９は、ドリフト層１２の第１の主面１２Ａ上にエピタキシ

ャル成長により直接形成されたエピ層である。高濃度ｎ型層１９は、炭化珪素基板１１、バッファ層１８およびドリフト層１２と同様に炭化珪素から構成される。高濃度ｎ型層１９は、たとえば窒素（Ｎ）などのｎ型不純物を含むことにより、導電型がｎ型となっている。高濃度ｎ型層１９に含まれるｎ型不純物の濃度は、ドリフト層１２に含まれるｎ型不純物の濃度より高い。高濃度ｎ型層１９の第１の主面１９Ａは、炭化珪素半導体基板１０の他方の主面１０Ｂである。高濃度ｎ型層１９の厚みは、たとえば２０ｎｍ以上１００ｎｍ以下である。

[0013] 本開示にかかる炭化珪素半導体基板１０の他方の主面１０Ｂは、ドリフト層１２よりｎ型不純物濃度が高い高濃度ｎ型層１９を含む。そのため、他方の主面１０Ｂが犠牲酸化、ゲート酸化などの工程において酸化された場合に形成されるピットの深さを低減することができる。このように、炭化珪素半導体基板１０は、動作層として炭化珪素層を含み、動作の信頼性の高い炭化珪素半導体装置を得ることを可能とする。

[0014] 高濃度ｎ型層１９に含まれるｎ型不純物の濃度は$1\times10^{19}cm^{-3}$以上であることが好ましい。上記ピットの深さを低減する効果が高まるからである。さらに、ピットの深さ低減の観点からは、$2\times10^{19}cm^{-3}$以上とすることが、より好ましい。また、積層欠陥の発生を抑制する観点からは、$2\times10^{20}cm^{-3}$以下とすることが好ましい。

[0015] ドリフト層１２に含まれるｎ型不純物の濃度は$1\times10^{16}cm^{-3}$以下であってもよい。ｎ型不純物濃度が低い場合、具体的には、ｎ型不純物の濃度が$1\times10^{16}cm^{-3}$以下である場合、上記ピットの深さが大きくなりやすい。そのため、ｎ型不純物の濃度が$1\times10^{16}cm^{-3}$以下であるドリフト層１２上にｎ型不純物濃度が高い高濃度ｎ型層１９を形成することは、上記ピットの深さの低減に有効である。さらに、ドリフト層１２に含まれるｎ型不純物の濃度は$7\times10^{15}cm^{-3}$以下であってもよい。一方、ドリフト層１２における抵抗値の上昇を抑制する観点からは、$2\times10^{14}cm^{-3}$以上であることが好ましい。

[0016] バッファ層１８に含まれるｎ型不純物の濃度は１×１０^{16}ｃｍ$^{-3}$を超え１×１０^{19}ｃｍ$^{-3}$以下であることが好ましい。結晶性に優れた第２の炭化珪素半導体層１２および高濃度ｎ型層１９を形成することが容易となるからである。

[0017] また、炭化珪素半導体基板１０において、他方の主面１０Ｂの、高濃度ｎ型層１９の表面は（０００１）面に対して０°を超え４°以下傾斜していてもよい。つまりオフ角が０°を超え４°以下であってもよい。他方の主面１０Ｂの（０００１）面に対するオフ角が小さい場合、具体的には、オフ角が４°以下である場合、上記ピットの深さが大きくなりやすい。そのため、上記オフ角が４°以下である場合に、他方の主面１０Ｂを含むように高濃度ｎ型層１９を形成することは、上記ピットの深さの低減に有効である。なお、他方の主面１０Ｂの、高濃度ｎ型層１９の表面は（０００－１）面に対して０°を超え４°以下傾斜していてもよい。つまり、他方の主面１０Ｂの、高濃度ｎ型層１９の表面は｛０００１｝面に対して０°を超え４°以下傾斜していてもよい。

［２．測定方法］

[0018] 高濃度ｎ型層１９、ドリフト層１２、バッファ層１８および炭化珪素基板１１に含まれるｎ型不純物の濃度は、たとえばＳＩＭＳ（Ｓｅｃｏｎｄａｒｙ Ｉｏｎ Ｍａｓｓ Ｓｐｅｃｔｒｏｍｅｔｒｙ）を用いた深さ方向の濃度プロファイル測定により得られる。直径が１５０ｍｍの炭化珪素半導体基板１１においては、たとえば以下のように設定された面内５点の測定値を代表値とすることができる。炭化珪素半導体基板１１の中心を第１点とする。第１点から周辺方向に６０ｍｍ離れた点を第２点とする。第１点を中心として第２点と対称の位置を第３点とする。第４点と第５点はそれぞれ第１点から周辺方向に６０ｍｍ離れ、第４点と第５点を結ぶ直線は第１点を通り、第２点と第３点を結ぶ直線と直交するように構成される。

[0019] 高濃度ｎ型層１９、ドリフト層１２およびバッファ層１８が積層された状態で、それぞれの層の膜厚を正確に測定することは容易ではない。しかし、高

濃度ｎ型層１９、ドリフト層１２およびバッファ層１８それぞれを単層で成膜すると、たとえばＦＴ－ＩＲ（Ｆｏｕｒｉｅｒ　Ｔｒａｎｓｆｏｒｍ－ＩｎｆｒａＲｅｄ　ｓｐｅｃｔｒｏｍｅｔｅｒ）や分光エリプソメータを用いて膜厚を測定できる。炭化珪素半導体基板１０を製造するために、高濃度ｎ型層１９、ドリフト層１２およびバッファ層１８それぞれを単層で所望の膜厚になるように成膜条件を設定することにより、積層された状態の膜厚を見積ることができる。また、大まかな膜厚であれば、ＳＩＭＳの深さ方向の濃度プロファイルをとることによって把握可能である。つまり、ドリフト層１２と高濃度ｎ型層１９との膜厚の大小関係、および／またはドリフト層１２とバッファ層１８との膜厚の大小関係は、ＳＩＭＳによって確認できる。なお、炭化珪素半導体基板１１における膜厚測定位置は、上記の濃度測定位置と同じであってもよい。

［３．炭化珪素半導体基板１０の製造方法］

[0020] 以下の説明では、図２および図１が参照される。Ｓ１０では、炭化珪素基板１１が準備される。たとえば所望の濃度のｎ型不純物を含む４Ｈ－ＳｉＣからなるインゴットがスライスされることにより、炭化珪素基板１１が準備される。炭化珪素基板１１の第２の主面１１Ａは、（０００１）面に対するオフ角が、たとえば４°である。

[0021] 次に、Ｓ２０では、炭化珪素基板１１上に、エピタキシャル成長が実施される。より詳細には、バッファ層形成（Ｓ２１）、ドリフト層形成（Ｓ２２）および高濃度ｎ型層形成（Ｓ２３）が順次実施される。Ｓ２１では、炭化珪素基板１１の第２の主面１１Ａ上にエピタキシャル成長により４Ｈ－ＳｉＣからなるバッファ層１８が形成される。バッファ層１８は、ＳｉＣを構成するＳｉ（珪素）およびＣ（炭素）の原料ガスに、所望の濃度のｎ型不純物を導入するための不純物用原料ガスが添加されることにより、形成される。Ｓｉの原料ガスとしては、たとえばシラン（SiH_4）が用いられる。Ｃの原料ガスとしては、たとえばプロパン（C_3H_8）が用いられる。不純物用原料ガスとしてと、窒素（Ｎ）および／またはアンモニア（NH_3）が用いられる。

キャリアガスとして水素（Ｈ）が用いられてもよい。

[0022] Ｓ２２では、バッファ層１８の第１の主面１８Ａ上にエピタキシャル成長により４Ｈ－ＳｉＣからなるドリフト層１２が形成される。バッファ層１８の形成に引き続き、同一装置内において不純物用原料ガスの導入量を変化させることにより、ドリフト層１２を形成できる。より具体的には、不純物用原料ガスの導入量を所望のドリフト層１２内のｎ型不純物濃度に合わせて減少させることにより、ドリフト層１２を形成できる。なお、シラン、プロパンおよび水素の流量、装置内の圧力等に代表される成膜パラメータについては、適宜変更されてもよい。

[0023] Ｓ２３では、ドリフト層１２の第１の主面１２Ａ上にエピタキシャル成長により４Ｈ－ＳｉＣからなる高濃度ｎ型層１９が形成される。第２の炭化珪素半導体層１２の形成に引き続き、同一装置内において不純物用原料ガスの導入量を変化させることにより、高濃度ｎ型層を形成できる。より具体的には、不純物用原料ガスの導入量を所望の高濃度ｎ型層１９内のｎ型不純物濃度に合わせて増加させることにより、高濃度ｎ型層１９を形成できる。なお、シラン、プロパンおよび水素の流量、装置内の圧力等に代表される成膜パラメータについては、適宜変更されてもよい。

[0024] 以上のようにＳ１０およびＳ２０を経て、本開示にかかる炭化珪素半導体基板１０が製造される。バッファ層１８、ドリフト層１２および高濃度ｎ型層１９は、炭化珪素基板１１の第２の主面１１Ａのオフ角を引き継ぐ。よって、第２の主面１１Ａのオフ角が４°であれば、高濃度ｎ型層１９の第１の主面１９Ａのオフ角は４°である。第１の主面１９Ａのオフ角が小さいほど、ピットの深さは大きくなる傾向がみられる。得られた炭化珪素半導体基板１０に二酸化珪素からなる絶縁膜や金属などの導電体からなる電極を形成することにより、炭化珪素半導体装置を製造できる。

［４．ＭＯＳＦＥＴ１の製造方法］

[0025] 以下の説明では、図１～図１１が参照される。Ｓ３０では、イオン注入が実施される。具体的には、たとえばアルミニウム（Ａｌ）イオンなどのｐ型

不純物（導電型がｐ型であるキャリアを生成する不純物）となるべきイオンが、ドリフト層１２の内部に注入される。これにより、ドリフト層１２内の第１の主面１２Ａを含む領域にボディ領域１４が所望の間隔で複数形成される（図３参照）。

[0026] 次に、たとえばリン（Ｐ）イオンなどのｎ型不純物となるべきイオンが、第１の主面１２Ａを含むように上記ボディ領域１４の厚みよりも浅い領域に注入される。これにより、各ボディ領域１４内にソース領域１５が形成される。次に、たとえばＡｌイオンなどのｐ型不純物となるべきイオンが、ソース領域１５内にソース領域１５の厚みと同等の厚みとなるように注入される。これにより、各ソース領域１５内にコンタクト領域１６が形成される。また、ドリフト層１２において、ボディ領域１４、ソース領域１５およびコンタクト領域１６のいずれも形成されない領域が、ドリフト領域１３となる（図３参照）。

[0027] 次に、Ｓ４０では、活性化アニールが実施される。具体的には、ボディ領域１４、ソース領域１５およびコンタクト領域１６が形成された炭化珪素半導体基板１０が、所定の温度に加熱される。これにより不純物が活性化し、不純物が注入された領域に所望のキャリアが生成する（図３参照）。

[0028] 次に、Ｓ５０では、犠牲酸化膜２９が形成される。具体的には、図３に示される炭化珪素半導体基板１０が、たとえば酸素を含む雰囲気中において加熱される。つまり炭化珪素半導体基板１０が酸化処理される。これにより、他方の主面１０Ｂを覆うように二酸化珪素からなる熱酸化膜である犠牲酸化膜２９が形成される。より具体的には、高濃度ｎ型層１９の第１の主面１９Ａを含む領域（表層領域）の少なくとも一部が酸化されて犠牲酸化膜２９となる（図４参照）。

[0029] 次に、Ｓ６０では、犠牲酸化膜２９が除去される。具体的には、犠牲酸化膜２９が、たとえばフッ酸により除去される。これにより、以前の工程において他方の主面１０Ｂに形成付近の異常層等が除去される。Ｓ６０の終了後においても、高濃度ｎ型層１９は残留していてもよい（図５参照）。

[0030] 次に、Ｓ７０では、ゲート絶縁膜２０が形成される。具体的には、炭化珪素半導体基板１０が、たとえば酸素を含む雰囲気中において加熱される。これにより、他方の主面１０Ｂを覆うように二酸化珪素からなる熱酸化膜であるゲート絶縁膜２０が形成される。より具体的には、高濃度ｎ型層１９が酸化されてゲート絶縁膜２０となる。ゲート絶縁膜２０の形成により、高濃度ｎ型層１９は消失する（図６参照）。

[0031] 次に、Ｓ８０では、ゲート電極３０が形成される。具体的には、たとえばＬＰＣＶＤ（Ｌｏｗ Ｐｒｅｓｓｕｒｅ Ｃｈｅｍｉｃａｌ Ｖａｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ）により、適量の不純物を含むポリシリコンからなるゲート電極３０がゲート絶縁膜２０上に接触して形成される（図６、図７参照）。

[0032] 次に、Ｓ９０では、層間絶縁膜４０が形成される。具体的には、たとえばＬＰＣＶＤにより二酸化珪素からなる層間絶縁膜４０がゲート電極３０およびゲート絶縁膜２０上を覆うように形成される。層間絶縁膜４０は、たとえばＴＥＯＳ（Ｔｅｔｒａ Ｅｔｈｙｌ Ｏｒｔｈｏ Ｓｉｌｉｃａｔｅ）を原料として形成することができる（図７、図８参照）。

[0033] 次に、Ｓ１００では、コンタクトホール４０Ａが形成される。具体的には、層間絶縁膜４０およびゲート絶縁膜２０を貫通するコンタクトホール４０Ａが形成される。詳細には、コンタクトホール４０Ａを形成すべき領域に開口を有するマスク層を形成し、当該マスク層をマスクとして用いて、たとえばＲＩＥ（Ｒｅａｃｔｉｖｅ Ｉｏｎ Ｅｔｃｈｉｎｇ）を実施することにより、コンタクトホール４０Ａを形成できる。コンタクトホール４０Ａからは、ドリフト層１２の第１の主面１２Ａ（より具体的にはソース領域１５およびコンタクト領域１６の表面）が露出する（図８、図９参照）。

[0034] 次に、Ｓ１１０では、金属膜が形成される。具体的には、コンタクトホール４０Ａから露出するドリフト層１２の第１の主面１２Ａ（より具体的にはソース領域１５およびコンタクト領域１６の表面）に接触するようにソース電極６０となるべき金属膜が形成される。詳細には、コンタクトホール４０

Ａから露出するドリフト層１２の第１の主面１２Ａおよびコンタクトホール４０Ａの側壁を覆い、層間絶縁膜４０上にまで延在するように、たとえばＴｉ膜、ＡｌＳｉ膜がこの順に成膜される（図９、図１０参照）。また、同様の構造を有する金属膜が、炭化珪素基板１１の第１の主面１１Ｂを覆うように成膜される。金属膜の成膜は、たとえば所望の組成を有する金属ターゲットをスパッタリングすることにより実施できる。

[0035] 次に、Ｓ１２０では、合金化アニールが実施される。具体的には、金属膜が加熱されて合金化される。これにより、ドリフト層１２とオーミック接触するソース電極６０、および炭化珪素基板１１とオーミック接触するドレイン電極７０が得られる（図１０参照）。

[0036] 次に、Ｓ１３０では、配線が形成される。具体的には、たとえば蒸着法により、Ａｌなどの導電体からなるソース配線８０が、ソース電極６０に接触するように形成される（図１０、図１１参照）。以上の手順により、本開示にかかるＭＯＳＦＥＴ１が製造される。なお、炭化珪素基板１１の第２の主面１１Ａが、（０００－１）面に対するオフ角が、４°である場合も同様の手順により製造される。

［５．ＭＯＳＦＥＴ１の動作］

[0037] 以下の説明では、図１１が参照される。ゲート電極３０に印加される電圧が閾値電圧未満の状態、すなわちＭＯＳＦＥＴ１がオフの状態では、ソース電極６０とドレイン電極７０との間に電圧が印加されても、ボディ領域１４とドリフト領域１３とで形成されるｐｎ接合が逆バイアスとなり、非導通状態となる。一方、ゲート電極３０に閾値電圧以上の電圧が印加されてＭＯＳＦＥＴ１がオンの状態になると、ボディ領域１４においてゲート絶縁膜２０を挟んでゲート電極３０に対向する表面層に半転層が形成される。その結果、ソース領域１５とドリフト領域１３とが電気的に接続された状態となり、ソース電極６０とドレイン電極７０との間に電流が流れる。以上のように、ＭＯＳＦＥＴ１は動作する。

[0038] Ｓ５０およびＳ７０において炭化珪素半導体基板１０の他方の主面１０Ｂ

が酸化される際に、他方の主面１０Ｂには平面視の外形形状が六角形である複数のピットが形成される。このようなピットは、ゲート絶縁膜２０の厚みのばらつきの原因となる。ゲート絶縁膜２０の厚みのばらつきは、電界集中を招き、ＭＯＳＦＥＴ１の絶縁破壊の原因になる場合がある。つまりゲート絶縁膜２０の厚みのばらつきは、ＭＯＳＦＥＴ１の信頼性を低下させる原因になり得る。

[0039] 本開示にかかる炭化珪素半導体基板１０においては、他方の主面１０Ｂが酸化される時点で他方の主面１０Ｂを含む領域に高濃度ｎ型層１９が存在する。そのため、他方の主面がＳ５０）およびＳ７０において酸化された場合に形成されるピットの深さが低減される。よって、本開示にかかるＭＯＳＦＥＴ１は、ゲート絶縁膜の絶縁破壊に起因する信頼性低下が抑制される。

［６．評価］

[0040] 不純物濃度とピットの深さとの関係が評価された。そのために４Ｈ－ＳｉＣからなる基板が準備された。基板の主面は、（０００１）面に対するオフ角が４°である。この主面上にエピタキシャル成長により４Ｈ－ＳｉＣからなる半導体層が形成された。半導体層の主面は、（０００１）面に対するオフ角が４°である。半導体層に含まれるｎ型不純物の濃度は、$9\times10^{15}cm^{-3}$および$1\times10^{19}cm^{-3}$の２水準である。半導体層の主面を酸化することにより５０ｎｍの厚みを有する酸化膜が形成された。酸化膜は、酸素雰囲気中において基板を加熱することにより形成された。酸化膜の形成時の加熱温度は１１５０℃および１３５０℃の２水準である。その後、フッ酸により酸化膜が除去された半導体層の主面に形成されたピットの深さが測定された。

[0041] ピットの深さの測定は、ＡＦＭ（Ａｔｏｍｉｃ Ｆｏｒｃｅ Ｍｉｃｒｏｓｃｏｐｅ）により実施した。ＡＦＭとしては、たとえばＶｅｅｃｏ社製の「Ｄｉｍｅｎｓｉｏｎ３００」を用いることができる。また、ＡＦＭのカンチレバー（探針）としては、たとえば、Ｂｒｕｋｅｒ社製の型式「ＮＣＨＶ－１０Ｖ」を用いることができる。ＡＦＭの測定モードはタッピングモードとする。タッピングモードでの測定領域は一辺２０μｍの正方形領域、測定深

さは１．０μｍとすることができる。そして、タッピングモードでのサンプリングについては、測定領域内での走査速度を１周期あたり５秒とし、１走査ラインあたりのデータ数を５１２ポイントとし、かつ、走査ライン数を５１２とすることができる。また、カンチレバーの変位制御はピットの深さに対応するように設定される。

[0042] [表1]

		酸化温度	
		1150℃	1350℃
n型不純物濃度	$9\times10^{15}cm^{-3}$	26nm	21nm
	$1\times10^{19}cm^{-3}$	22nm	14nm

[0043] 表１には、各ｎ型不純物の濃度および酸化温度に対応するピットの深さが示されている。１１５０℃および１３５０℃のいずれの酸化温度においても、ｎ型不純物の濃度を高くすることによりピットの深さが低減されていることが分かる。このことから、酸化膜が形成されるべき炭化珪素層の主面を含むようにｎ型不純物の濃度が高い層を形成しておくことにより、ピットの深さを低減できると予測される。

[0044] また、９×１０^{15}ｃｍ$^{-3}$および１×１０^{19}ｃｍ$^{-3}$のいずれのｎ型不純物の濃度の場合においても、酸化温度を高くすることによりピットの深さが低減されていることが分かる。ピットの深さを低減する観点からは、炭化珪素半導体装置の製造に際して実施される酸化処理（犠牲酸化膜の形成および／またはゲート絶縁膜の形成）における酸化温度は、高く設定することが好ましい。酸化温度は、たとえば１３００℃以上としてもよく、１３５０℃以上としてもよい。一方、酸化温度は、１７００℃以下が好ましい。炭化珪素半導体基板の表面粗さが大きくなり、ゲート絶縁膜の厚みばらつきが大きくなるからである。なお、半導体層の主面は、（０００－１）面に対するオフ角が、４°である場合も同様と考えられる。

[0045] 本開示においては、炭化珪素半導体基板１０を用いて製造される炭化珪素半導体装置の一例として、ＭＯＳＦＥＴ１について説明した。しかし、製造

可能な炭化珪素半導体装置はこれに限られない。たとえばＩＧＢＴ（Ｉｎｓｕｌａｔｅｄ　Ｇａｔｅ　Ｂｉｐｏｌａｒ　Ｔｒａｎｓｉｓｔｏｒ）など、他の構造の炭化珪素半導体装置であってもよい。

［７．まとめ］

[0046] 本開示にかかる炭化珪素半導体基板１０は、第２の主面１１Ａを有する炭化珪素基板１１と、第２の主面１１Ａ上に配置された第１の炭化珪素半導体層であるバッファ層１８と、第１の炭化珪素半導体層上に配置された第２の炭化珪素半導体層であるドリフト層１２と、第２の炭化珪素半導体層上に直接配置された第３の炭化珪素半導体層である高濃度ｎ型層１９と、を備える。第１の炭化珪素半導体層であるバッファ層１８は第１の濃度のｎ型不純物を含む。第２の炭化珪素半導体層であるドリフト層１２は第２の濃度のｎ型不純物を含む。第３の炭化珪素半導体層である高濃度ｎ型層１９は第３の濃度のｎ型不純物を含む。第１の濃度は、第２の濃度より高い。第３の濃度は、第２の濃度より高い。

[0047] なお、炭化珪素半導体基板１０において、高濃度ｎ型層１９に含まれるｎ型不純物濃度である第３の濃度は$1\times10^{19}cm^{-3}$以上であってもよい。

[0048] 炭化珪素半導体基板１０において、ドリフト層１２に含まれるｎ型不純物濃度である第２の濃度は$1\times10^{16}cm^{-3}$以下であってもよい。

[0049] 炭化珪素半導体基板１０において、バッファ層１８に含まれるｎ型不純物濃度である第１の濃度は$1\times10^{16}cm^{-3}$を超え$1\times10^{19}cm^{-3}$以下であってもよい。

[0050] なお、炭化珪素半導体基板１０において、高濃度ｎ型層１９に含まれるｎ型不純物濃度である第３の濃度は$2\times10^{20}cm^{-3}$以下であってもよい。

[0051] 炭化珪素半導体基板１０において、第１の炭化珪素層であるバッファ層１８の厚みは、第２の炭化珪素層であるドリフト層１２の厚みより小さく、第３の炭化珪素層である高濃度ｎ型層１９の厚みは、第２の炭化珪素層であるドリフト層１２の厚みより小さくてもよい。

[0052] 炭化珪素半導体基板１０において、第３の炭化珪素半導体層である高濃度ｎ

型層１９の表面は｛０００１｝面に対して０°を超え４°以下傾斜していてもよい。

[0053] 本開示にかかる炭化珪素半導体装置の製造方法であるＭＯＳＦＥＴ１の製造方法は、炭化珪素半導体基板１０を準備する工程（Ｓ１０）と、炭化珪素半導体基板１０を酸化処理することにより炭化珪素半導体基板１０の表面に犠牲酸化膜２９を形成する工程（Ｓ５０）と、犠牲酸化膜２９を除去する工程（Ｓ６０）と、犠牲酸化膜２９を除去した後に、炭化珪素半導体基板１０の表面にゲート絶縁膜２０を形成する工程（Ｓ８０）と、を含む。このような製造方法によれば、炭化珪素半導体装置の絶縁破壊に起因する信頼性低下が抑制される。

[0054] 犠牲酸化膜２９を形成する工程（Ｓ５０）における酸化温度は１３００℃以上であってもよい。ゲート絶縁膜２０を形成する工程（Ｓ８０）における酸化温度は１３００℃以上であってもよい。ピットの深さがより低減されるからである。

[0055] 今回開示された実施の形態はすべての点で例示であって、どのような面からも制限的なものではないと理解されるべきである。本発明の範囲は上記した説明ではなく、請求の範囲によって規定され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0056] １　ＭＯＳＦＥＴ

１０　炭化珪素半導体基板

１０Ａ　一方の主面

１０Ｂ　他方の主面

１１　炭化珪素基板

１１Ａ　炭化珪素基板の第２の主面

１１Ｂ　炭化珪素基板の第１の主面

１２　第２の炭化珪素半導体層

１２Ａ　第２の炭化珪素半導体層の第１の主面

１３　ドリフト領域

１４　ボディ領域

１５　ソース領域

１６　コンタクト領域

１８　バッファ層

１８Ａ　バッファ層の第１の主面

１９　高濃度ｎ型層

１９Ａ　高濃度ｎ型層の第１の主面

２０　ゲート絶縁膜

２９　犠牲酸化膜

３０　ゲート電極

４０　層間絶縁膜

４０Ａ　コンタクトホール

６０　ソース電極

７０　ドレイン電極

８０　ソース配線

請求の範囲

[請求項1] 主面を有する炭化珪素基板と、

前記主面上に配置された第１の炭化珪素半導体層と、

前記第１の炭化珪素半導体層上に配置された第２の炭化珪素半導体層と、

前記第２の炭化珪素半導体層上に直接配置された第３の炭化珪素半導体層と、を備え、

前記第１の炭化珪素半導体層は第１の濃度のｎ型不純物を含み、

前記第２の炭化珪素半導体層は第２の濃度のｎ型不純物を含み、

前記第３の炭化珪素半導体層は第３の濃度のｎ型不純物を含み、

前記第１の濃度は、前記第２の濃度より高く、

前記第３の濃度は、前記第２の濃度より高い、

炭化珪素半導体基板。

[請求項2] 前記第３の濃度は１×１０^{19}ｃｍ$^{-3}$以上である、

請求項１に記載の炭化珪素半導体基板。

[請求項3] 前記第２の濃度は１×１０^{16}ｃｍ$^{-3}$以下である、

請求項１または２に記載の炭化珪素半導体基板。

[請求項4] 前記第１の濃度は１×１０^{16}ｃｍ$^{-3}$を超え１×１０^{19}ｃｍ$^{-3}$以下である、

請求項１～３のいずれか１項に記載の炭化珪素半導体基板。

[請求項5] 前記第３の濃度は２×１０^{20}ｃｍ$^{-3}$以下である、

請求項１～４のいずれか１項に記載の炭化珪素半導体基板。

[請求項6] 前記第１の炭化珪素層の厚みは、前記第２の炭化珪素層の厚みより小さく、

前記第３の炭化珪素層の厚みは、前記第２の炭化珪素層の厚みより小さい、

請求項１～５のいずれか１項に記載の炭化珪素半導体基板。

[請求項7] 前記第３の炭化珪素半導体層の表面は｛０００１｝面に対して０° を

超え４°以下傾斜している、

請求項１～６のいずれか１項に記載の炭化珪素半導体基板。

[請求項8] 主面を有する炭化珪素基板と、

前記主面上に配置された第１の炭化珪素半導体層と、

前記第１の炭化珪素半導体層上に配置された第２の炭化珪素半導体層と、

前記第２の炭化珪素半導体層上に直接配置された第３の炭化珪素半導体層と、を備え、

前記第１の炭化珪素半導体層は第１の濃度のｎ型不純物を含み、

前記第２の炭化珪素半導体層は第２の濃度のｎ型不純物を含み、

前記第３の炭化珪素半導体層は第３の濃度のｎ型不純物を含み、

前記第１の濃度は$1\times10^{16}cm^{-3}$を超え$1\times10^{19}cm^{-3}$以下であり、

前記第２の濃度は$1\times10^{16}cm^{-3}$以下であり、

前記第３の濃度は$1\times10^{19}cm^{-3}$以上$2\times10^{20}cm^{-3}$以下であり、

前記第３の炭化珪素半導体層の表面は｛０００１｝面に対して０°を超え４°以下傾斜している、

炭化珪素半導体基板。

[請求項9] 請求項１～８のいずれか１項に記載の前記炭化珪素半導体基板を準備する工程と、

前記炭化珪素半導体基板を酸化処理することにより前記炭化珪素半導体基板の表面に犠牲酸化膜を形成する工程と、

前記犠牲酸化膜を除去する工程と、

前記犠牲酸化膜を除去した後に、前記炭化珪素半導体基板の表面にゲート絶縁膜を形成する工程と、を含む、

炭化珪素半導体装置の製造方法。

[請求項10] 前記犠牲酸化膜を形成する工程における酸化温度は１３００℃以上で

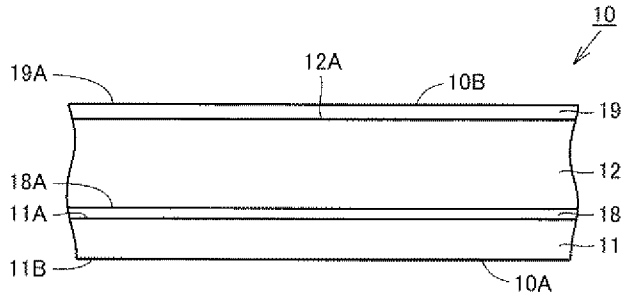
ある、

請求項９に記載の炭化珪素半導体装置の製造方法。

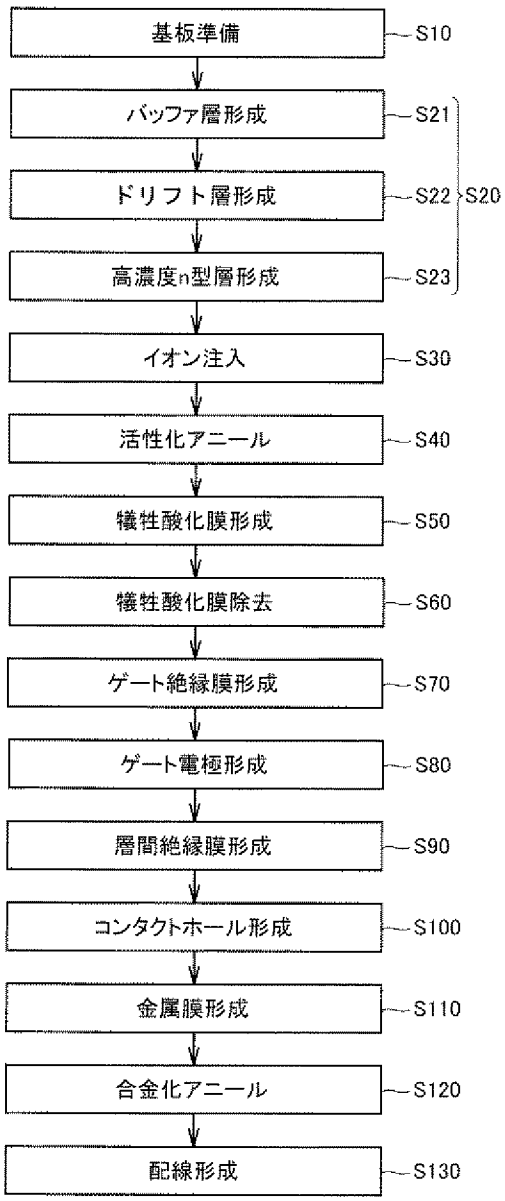
［請求項11］ 前記ゲート絶縁膜を形成する工程における酸化温度は１３００℃以上である、

請求項９または１０に記載の炭化珪素半導体装置の製造方法。

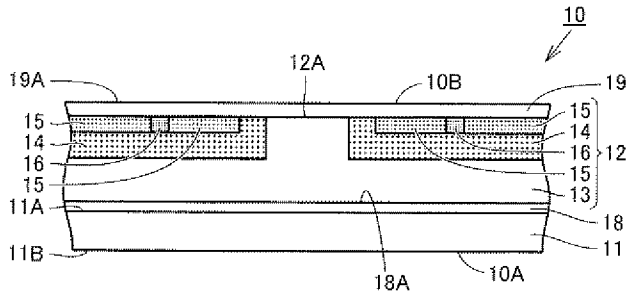
[図1]


10
19A
12A
10B
19
12
18A
11A
18
11
11B
10A

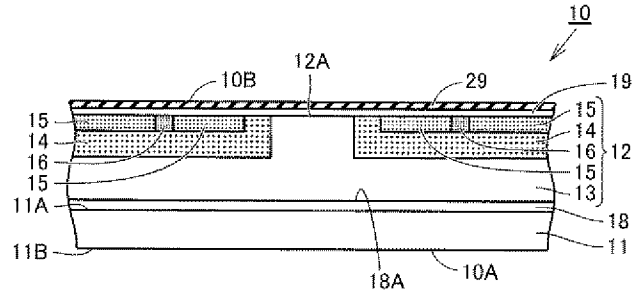
[図2]


基板準備
S10
バッファ層形成
S21
ドリフト層形成
S22
S20
高濃度n型層形成
S23
イオン注入
S30
活性化アニール
S40
犠牲酸化膜形成
S50
犠牲酸化膜除去
S60
ゲート絶縁膜形成
S70
ゲート電極形成
S80
層間絶縁膜形成
S90
コンタクトホール形成
S100
金属膜形成
S110
合金化アニール
S120
配線形成
S130

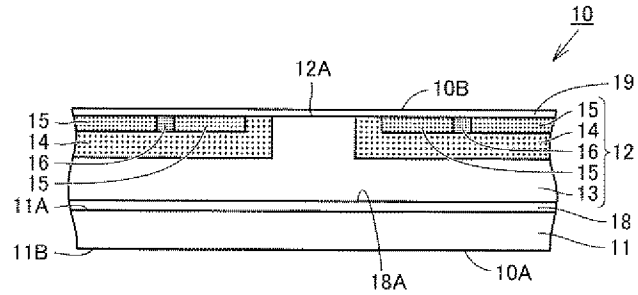
[図3]


10
12A
19A
10B
19
15
14
16
15
11A
11B
18A
10A
18
11
12
13

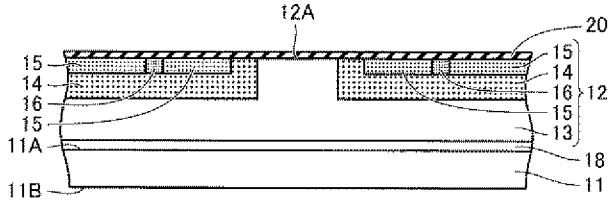
[図4]


10
12A
10B
29
19
15
14
16
15
11A
11B
18A
10A
18
11
12
13

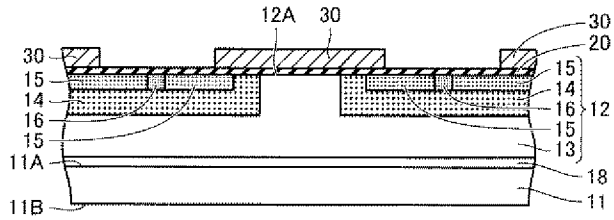
[図5]


10
12A
10B
19
15
14
16
15
11A
11B
18A
10A
18
11
12
13

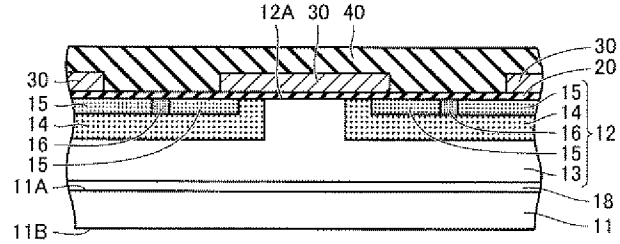
[図6]


12A
20
15
14
16
15
11A
11B
18
11
12
13

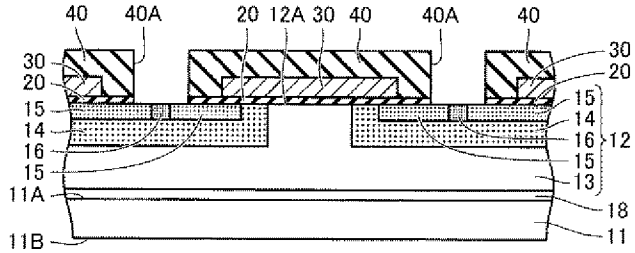
[図7]


12A
30
30
20
30
15
14
16
15
11A
11B
15
14
16
15
13
12
18
11

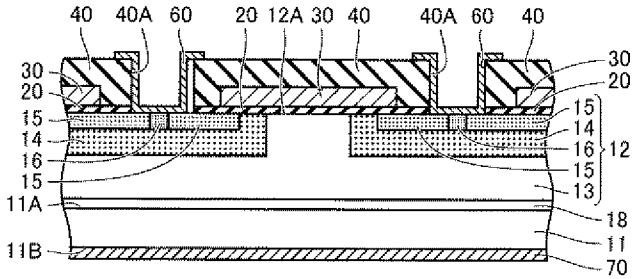
[図8]


12A
30
40
30
20
30
15
14
16
15
11A
11B
15
14
16
15
13
12
18
11

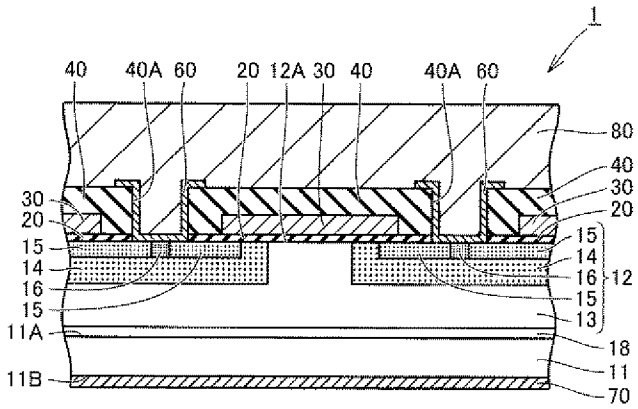
[図9]


40
40A
20
12A
30
40
40A
40
30
20
30
20
15
14
16
15
11A
11B
15
14
16
15
13
12
18
11

[図10]


40
40A
60
20
12A
30
40
40A
60
40
30
20
30
20
15
14
16
15
11A
11B
15
14
16
15
13
12
18
11
70

[図11]


1
40
40A
60
20
12A
30
40
40A
60
80
40
30
20
30
20
15
14
16
15
11A
11B
15
14
16
15
13
12
18
11
70

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/059707

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/78(2006.01)i, *H01L21/20*(2006.01)i, *H01L21/265*(2006.01)i, *H01L21/336*(2006.01)i, *H01L29/12*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/78, H01L21/20, H01L21/265, H01L21/336, H01L29/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2013-149798 A (Fuji Electric Co., Ltd.), 01 August 2013 (01.08.2013), paragraphs [0022], [0034] to [0044]; fig. 6 (Family: none)	1-6 7-11
Y	JP 2013-247252 A (National Institute of Advanced Industrial Science and Technology et al.), 09 December 2013 (09.12.2013), paragraph [0088]; fig. 1 & US 2015/0102363 A1 paragraph [0048]; fig. 1 & WO 2013/175840 A1	7-8

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
22 April 2016 (22.04.16)	10 May 2016 (10.05.16)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/059707

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-171374 A (Sumitomo Electric Industries, Ltd.), 01 September 2011 (01.09.2011), paragraph [0060]; fig. 8 & US 2012/0097980 A1 paragraph [0096]; fig. 8A to 8L & WO 2011/102254 A1 & EP 2538444 A1 & CN 102484126 A & TW 201140838 A & KR 10-2012-0138734 A	9-11

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１６／０５９７０７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/78(2006.01)i, H01L21/20(2006.01)i, H01L21/265(2006.01)i, H01L21/336(2006.01)i, H01L29/12(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/78, H01L21/20, H01L21/265, H01L21/336, H01L29/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１６年
日本国実用新案登録公報	１９９６－２０１６年
日本国登録実用新案公報	１９９４－２０１６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y	JP 2013-149798 A (富士電機株式会社) 2013.08.01, 段落[0022],[0034]-[0044],図６（ファミリーなし）	1-6 7-11
Y	JP 2013-247252 A (独立行政法人産業技術総合研究所　ほか) 2013.12.09, 段落[0088],図１ & US 2015/0102363 A1,段落[0048],図１ & WO 2013/175840 A1	7-8

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２２．０４．２０１６	１０．０５．２０１６

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　４６８８
大橋　達也
電話番号　０３－３５８１－１１０１　内線　３５１６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2011-171374 A (住友電気工業株式会社) 2011.09.01, 段落[0060],図８ & US 2012/0097980 A1,段落[0096],図 8A-8L & WO 2011/102254 A1 & EP 2538444 A1 & CN 102484126 A & TW 201140838 A & KR 10-2012-0138734 A	9-11