



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0032017
(43) 공개일자 2017년03월22일

(51) 국제특허분류(Int. Cl.)
H01F 17/00 (2006.01) H01F 17/02 (2006.01)
H01F 27/28 (2006.01)

(52) CPC특허분류
H01F 17/0013 (2013.01)
H01F 17/02 (2013.01)

(21) 출원번호 10-2015-0129742
(22) 출원일자 2015년09월14일
심사청구일자 없음

(71) 출원인
삼성전기주식회사
경기도 수원시 영통구 매영로 150 (매탄동)

(72) 발명자
김주현
경기도 수원시 영통구 매영로 150 (매탄동)

(74) 대리인
특허법인씨엔에스

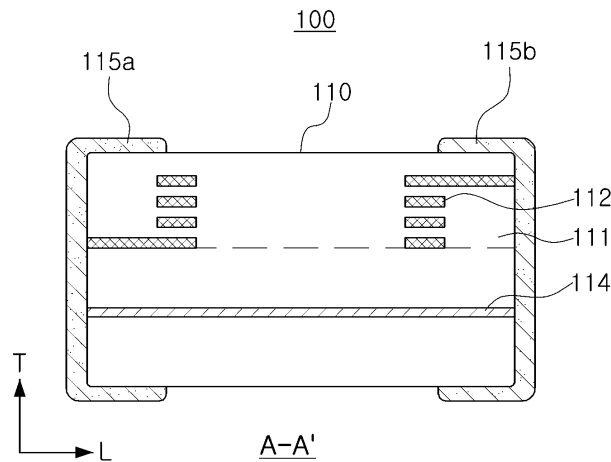
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **적층 인덕터**

(57) 요약

본 개시의 일 실시 예에 따른 적층 인덕터는 코일부, 상기 코일부의 상부 및 하부 중 적어도 하나에 배치된 커버부 및 상기 커버부의 내부 영역 중 상기 커버부의 표면과 이격된 일 영역에 배치된 비자성체층을 포함한다. 이로 인해, 적층 인덕터의 인덕턴스 특성을 향상시킴과 동시에 DC 바이어스 특성을 개선할 수 있다.

대표도 - 도2



(52) CPC특허분류
H01F 27/2804 (2013.01)

명세서

청구범위

청구항 1

코일부;

상기 코일부의 상부 및 하부 중 적어도 하나에 배치된 커버부; 및

상기 커버부의 내부 영역 중 상기 커버부의 표면과 이격된 일 영역에 배치된 비자성체층;을 포함하는 적층 인덕터.

청구항 2

제1항에 있어서,

상기 비자성체층은 상기 커버부의 표면과 상기 커버부의 두께의 25%이상의 거리로 이격된 일 영역에 배치된 적층 인덕터.

청구항 3

제2항에 있어서,

상기 비자성체층은 상기 코일부와 인접한 영역에 배치된 적층 인덕터.

청구항 4

제1항에 있어서,

상기 비자성체층은 상기 코일부와 접하는 적층 인덕터.

청구항 5

제1항에 있어서,

상기 커버부는 상기 코일부의 하부에 배치되는 적층 인덕터.

청구항 6

복수의 자성체 층이 적층된 구조를 구비하며, 코일부 및 상기 코일부의 상부 및 하부 중 적어도 하나에 배치된 커버부를 포함하는 본체;를 포함하며,

상기 커버부는 내부 영역 중 표면과 이격된 일 영역에 배치된 비자성체층을 포함하는 적층 인덕터.

청구항 7

제6항에 있어서,

상기 비자성체층은 상기 커버부의 표면과 상기 커버부의 두께의 25%이상의 거리로 이격된 일 영역에 배치된 적층 인덕터.

청구항 8

제7항에 있어서,
상기 비자성체층은 상기 코일부와 인접한 영역에 배치된 적층 인덕터.

청구항 9

제6항에 있어서,
상기 비자성체층은 상기 본체의 양 단면으로 노출되는 적층 인덕터.

청구항 10

제6항에 있어서,
상기 커버부는 상기 코일부의 하부에 배치되는 적층 인덕터.

발명의 설명

기술 분야

[0001] 본 개시는 적층 인덕터에 관한 것이다.

배경 기술

[0002] 일반적인 적층 인덕터는 도체패턴이 형성된 복수의 자성체 층을 적층한 구조를 가지며, 상기 도체패턴은 각 자성체 층에 형성된 도전성 비아에 의해 순차적으로 접속되어 적층방향에 따라 중첩되면서 나선구조를 갖는 코일을 이룬다. 또한, 상기 코일의 양단은 적층체의 외부면에 인출되어 외부단자와 접속된 구조를 갖는다.

[0003] 이와 같이, 적층 인덕터는 코일이 자성체로 둘러싸여 있으므로, 자기 누설이 게 발생하게 되며, 적층 칩 구조를 가지므로 소형화와 박형화에 유리한 장점을 가진다.

[0004] 하지만, 이러한 장점에도 불구하고, 적층 인덕터는 DC 바이어스(bias) 특성을 확보할 수 있으나, 자성체의 자기 포화에 의하여 급격한 인덕턴스(inductance) 저하(DC 중첩 특성 저하)가 발생하는 단점이 있다. 따라서, 이러한 급격한 인덕턴스 저하를 방지하고자 하는 연구가 이루어지고 있다.

[0005] 종래에는 도체패턴이 형성되는 일부 층을 전기적 절연성을 갖는 비자성체층으로 대체하거나, 도체패턴이 형성되는 일부 층에서 일부영역을 전기적 절연성을 갖는 비자성체 물질로 형성하는 방법을 제안하고 있다.

[0006] 하지만, 이러한 방안에 따르면, 이중인 비자성체 재료의 선택으로 사용되는 재료가 증가할 수 있으며, 그에 따른 별도의 공정이 요구되는 공정상 번거로움이 있다.

[0007] 특히, 도체패턴이 형성되는 일부 층에서 일부 영역을 대체할 경우에는 시트 제조공정이 상당히 복잡해지는 문제가 있으며, 인덕턴스 특성을 조정하는 것에 어려움이 있다.

[0008] 따라서, 인덕턴스 특성 및 DC 바이어스 특성을 모두 확보할 수 있는 적층 인덕터를 얻는 것이 매우 중요한 실정이다.

발명의 내용

해결하려는 과제

[0009] 한편, 비자성체층을 도체 패턴이 형성되는 일부 층에 대체할 경우 인덕턴스 특성을 조정하는 것에 어려움이 있다.

[0010] 본 개시의 여러 목적 중 하나는 인덕턴스 특성을 향상시키면서, DC 바이어스 특성을 개선할 수 있는 적층 인덕터를 제공하는 것이다.

과제의 해결 수단

[0011] 본 개시를 통하여 제안하는 여러 해결 수단 중 하는 적층 인덕터의 커버부의 내부 영역 중 커버부의 표면으로부터 이격된 일 영역에 배치된 비자성체를 포함하여, 인덕턴스 특성을 향상시킴과 동시에 DC 바이어스 특성을 개선할 수 있도록 하는 것이다.

발명의 효과

[0012] 본 개시의 일 실시 예에 따른 적층 인덕터는 인덕턴스 특성을 향상시키면서, DC 바이어스 특성을 개선할 수 있다.

도면의 간단한 설명

[0013] 도 1은 본 개시의 일 실시 예에 따른 적층 인덕터의 사시도를 개략적으로 도시한 것이다.
 도 2는 본 개시의 일 실시 예에 따른 적층 인덕터의 단면도를 개략적으로 도시한 것이다.,
 도 3은 본 개시의 일 실시 예에 따른 적층 인덕터의 본체의 단면도를 개략적으로 도시한 것이다.
 도 4는 본 개시의 일 실시 예에 따른 적층 인덕터의 비자성체층 위치에 따른 인덕턴스의 변화 거동을 나타낸 그래프를 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

[0014] 이하, 첨부된 도면을 참조하여 본 개시에 대해 보다 상세히 설명한다. 도면에서 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있다.

[0015] 이하, 본 개시에 의한 코일 부품에 대하여 설명한다.

[0016] 도 1은 본 개시의 일 실시 예에 따른 적층 인덕터의 사시도를 개략적으로 도시한 것이고, 도 2는 본 개시의 일 실시 예에 따른 적층 인덕터의 단면도를 개략적으로 도시한 것이며, 도 3은 본 개시의 일 실시 예에 따른 적층 인덕터의 본체의 단면도를 개략적으로 도시한 것이다.

[0017] 도 1 내지 도 3을 참조하면, 본 개시의 일 실시 예에 따른 적층 인덕터(100)는 코일부(A), 상기 코일부(A) 상부 및 하부 중 적어도 하나에 배치된 커버부(C) 및 상기 커버부(C)의 내부 영역 중 상기 커버부(C)의 표면과 이격된 일 영역에 배치된 비자성체층(114)을 포함한다.

- [0018] 구체적으로, 본 개시의 적층 인덕터(100)는 복수의 자성체 층(111)이 적층된 구조를 구비하며, 코일부(A) 및 상기 코일부(A)의 상부 및 하부 중 적어도 하나에 배치된 커버부(C)를 포함하는 본체(110);를 포함하며, 상기 커버부(C)는 상기 커버부(C)의 내부 영역 중 표면과 이격된 일 영역에 배치된 비자성체층(114)을 포함한다.
- [0019] 상기 본체(110)는 페라이트를 포함하는 복수의 자성체 층(111)을 두께 방향으로 적층하여 형성될 수 있다.
- [0020] 상기 자성체 층(111)은 소성 후에 경계를 거의 확인할 수 없을 만큼 일체화될 수 있다. 이러한 본체(110)의 형상, 치수 및 자성체 층의 적층 수가 본 개시의 실시 예에 도시된 것으로 한정되는 것은 아니다.
- [0021] 상기 본체(110)는 코일부(A) 및 커버부(C)를 포함한다.
- [0022] 상기 코일부(C)는 상기 자성체 층(111) 상에 코일(112)을 형성하여 형성될 수 있다.
- [0023] 상기 코일(112)은 전기 전도성이 우수한 재료를 사용하여 형성할 수 있으며, 예를 들어 은(Ag) 또는 구리(Cu)와 같은 도전성 재료 또는 이들의 합금을 포함하여 형성할 수 있으나, 본 개시는 이에 한정되는 것은 아니다.
- [0024] 상기 코일(112)은 인접하는 상부 및 하부의 코일(112)과 도전성 비아(미도시)를 통해 전기적으로 연결될 수 있다.
- [0025] 상기 커버부(C)는 상기 코일부(A)의 상부 및 하부 중 적어도 하나에 배치된다. 상기 커버부(C)는 상기 코일부(A)의 하부에 배치될 수 있으나, 이에 한정되는 것은 아니다.
- [0026] 상기 커버부(C)는 상기 자성체 층과 동일한 재료로 이루어진 페이스트를 일정 두께로 인쇄하여 형성될 수 있다.
- [0027] 도 1을 참조하면, 상기 본체(110)의 양 단면에 외부전극(115a, 115b)이 배치된다.
- [0028] 상기 외부전극(115a, 115b)은 전기 전도성이 우수한 재료를 사용하여 형성될 수 있으며, 예를 들어 은(Ag) 또는 구리(Cu)와 같은 도전성 재료 또는 이들의 합금을 포함하여 형성될 수 있으나, 본 개시가 이에 한정되는 것은 아니다.
- [0029] 또한, 이렇게 형성된 외부전극(115a, 115b)의 표면에 필요 시 니켈(Ni) 또는 주성(Sn)을 도금 처리하여 도금층이 더 형성될 수 있다.
- [0030] 상기와 같은 구성을 가지는 인덕터에서는 코일이 외부전극과 전기적으로 연결되면 코일을 중심으로 자기장이 형성되는데, 층층이 형성되어 있는 코일에서 발생하는 자기장이 중첩되어 자기장이 형성된다.
- [0031] 이와 같이 형성된 자기장의 자속은 상기 코일의 중심을 따라 흐르게 된다. 이러한 자기장은 자성체의 자기 포화에 의하여 급격한 인덕턴스 저하가 발생할 수 있다.
- [0032] 따라서, 이러한 급격한 인덕턴스 저하를 방지하기 위하여, 상기 비자성체층(114)을 상기 커버부(C)의 내부 영역에 배치할 수 있다.
- [0033] 상기 비자성체층(114)이 자기 포화를 지연시킬 수 있으므로, 자기 포화로 인한 인덕턴스 저하를 개선할 수 있다.
- [0034] 즉, 비자성체층(114)에 의하여 적층형 전자부품(100)의 인덕턴스 특성이 변화할 수 있다.
- [0035] 종래에는 비자성체층을 코일부의 내부 영역에 배치하여 적층 인덕터의 인덕턴스 특성을 구현하였다.
- [0036] 인덕터에서 코일부 내부의 비자성체층의 역할이 작을수록 인덕턴스 특성이 높아질 수 있는데, 인덕턴스 특성을 구현하는 범위를 증가시키는 방안으로 코일부 내부에 비자성체를 배치하는 것은 한계가 있다.

- [0037] 인덕턴스 특성은 상기 비자성체의 위치에 따라 구현 범위가 달라질 수 있다.
- [0038] 도 3을 참조하면, 본 개시의 일 실시 예에 따른 비자성체층(114)은 상기 커버부(C)의 표면과 상기 커버부(C)의 두께의 25%이상의 거리로 이격된 일 영역에 배치됨과 동시에, 상기 코일부(A)와 인접한 영역에 배치되어, 적층 인덕터의 인덕턴스 특성을 향상시킬 수 있으며, 이와 동시에 DC 바이어스 특성을 개선할 수 있다.
- [0039] 상기 커버부(C)의 표면과 상기 커버부(C)의 표면으로부터 상기 커버부의 두께(C)의 25%의 거리로 이격된 영역 사이를 갭(gap) 영역(G)이라고 할 때, 상기 비자성체층(114)은 상기 커버부(C)의 내부 영역 중 상기 갭 영역(G)을 제외한 영역에 배치될 수 있다.
- [0040] 상기 비자성체층(114)은 상기 코일부(A)와 접하여 형성될 수 있으나, 이에 한정되는 것은 아니다.
- [0041] 예를 들면, 상기 커버부(C)의 두께가 200 μm인 경우, 상기 비자성체층(114)은 상기 커버부(C)의 표면으로부터 50 μm 이상 이격된 영역에 배치될 수 있다.
- [0042] 상기 비자성체층(114)이 상기 코일부(A)의 외부에 배치되되, 상기 커버부(C)의 표면으로부터 이격된 영역에 배치되면, 인덕턴스 특성을 향상시킬 수 있으며, 이로 인해, DC 바이어스 특성 또한 개선될 수 있다.
- [0043] 상기 비자성체층(114)은 상기 커버부(C)의 표면과 상기 커버부(C)의 두께의 25% 내의 거리로 이격된 영역에 배치될 경우, 즉, 상기 비자성체층(114)이 갭 영역(G)의 내부에 배치될 경우, 저전류대 인덕턴스 변화 거동이 기존 적층 인덕터가 가질 수 있는 인덕턴스 거동과 달라질 수 있으므로, 자기 포화 저하 효과가 미비할 수 있다.
- [0044] 상기 비자성체층(114)은 상기 본체(110)의 양 단면으로 노출될 수 있다.
- [0045] 상기 비자성체층(114)은 상기 본체(110)의 양단면으로 노출되어 상기 외부전극과 접할 수 있다.
- [0046] 상기 커버부(C) 내부에 배치된 상기 비자성체층(114)은 상기 커버부(C)의 표면보다 코일부(A)에 더 인접하도록 배치될 수 있다.
- [0047] 상기 비자성체층(114)은 상기 커버부(C)의 내부 영역에서 상기 코일부(A)에 더 인접할수록 인덕턴스 특성이 향상될 수 있다. 즉, 적층 인덕터의 구현 가능한 인덕턴스의 상한 범위를 향상시킬 수 있다.
- [0048] (실시예)
- [0049] 하기 표 1은 비자성체층이 커버부의 표면과 이격된 거리를 나타낸 표이며, 도 4는 본 개시의 일 실시 예에 따른 적층 인덕터의 비자성체층 위치에 따른 인덕턴스의 변화 거동을 나타낸 그래프를 도시한 것이다.

표 1

구분	커버부의 두께 (μm)	비자성체층이 커버부의 표면과 이격된 거리 (μm)	비자성체층이 커버부의 표면과 이격된 거리 대비 커버부의 두께비 (%)	커버부에서 코일부와 접하는 면과 비자성체층 간의 거리 (μm)
비교예 1	200	25	12.5	175
실시예 1	200	50	25	150
실시예 2	200	75	37.5	125
실시예 3	200	100	50	100
실시예 4	200	150	75	50

[0051] *: 비교예

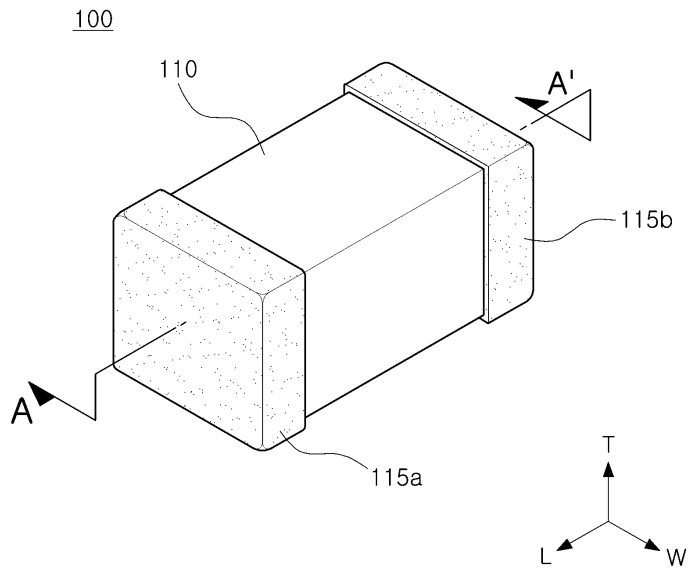
- [0052] 본 개시의 비교예 및 실시예의 적층 인덕터의 커버부의 두께는 200 μm 이며, 상기 커버부의 표면과 상기 커버부의 두께의 12.5%, 25%, 37.5%, 50% 및 75%의 거리(25, 50, 75, 100, 150 μm)로 이격된 영역에 비자성체를 배치하였다.
- [0053] 상기 비자성체를 포함하는 적층 인덕터에 전류를 인가하여 인덕턴스의 변화 거동을 측정하였다.
- [0054] 적층 인덕터에서 DC 바이어스 특성의 경우, 적층 인덕터에 전류 인가시 인덕턴스의 변화율의 영향을 받을 수 있다. 인덕턴스의 변화율 그래프를 봤을 때, 초기 전류값에서 변화율의 곡선이 완만한 형태를 유지하며, 특정 전류값에 도달하면 변화율의 곡선이 급격하게 변화하는 형태를 가질 수 있다.
- [0055] 도 4를 참조하면, 실시예 1 내지 4에서 비자성체층이 커버부의 표면과 이격된 거리가 클수록 인덕턴스의 변화율 그래프가 완만한 형상을 가지며, 특정 전류값이 높아짐을 알 수 있다.
- [0056] 비교예 1, 즉 비자성체층이 커버부의 표면과 커버부의 두께의 12.5% 거리로 이격된 경우, 초기 전류값 인가시 인덕턴스 변화율 곡선이 급격하게 변화하는 것을 알 수 있다. 이 경우, DC 바이어스 특성이 낮아질 뿐만 아니라, 인덕턴스 특성을 확보할 수 없다.
- [0057] 따라서, 본 개시의 적층 인덕터는 커버부의 표면과 커버부의 두께의 25%이상 거리로 이격된 일 영역에 배치된 비자성체층을 포함함으로써, DC 바이어스 특성 및 인덕턴스 특성을 확보할 수 있다.
- [0058] 본 개시는 상술한 실시형태 및 첨부된 도면에 의해 한정되는 것이 아니며 첨부된 청구범위에 의해 한정하고자 한다.
- [0059] 따라서, 청구범위에 기재된 본 개시의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 개시의 범위에 속한다고 할 것이다.

부호의 설명

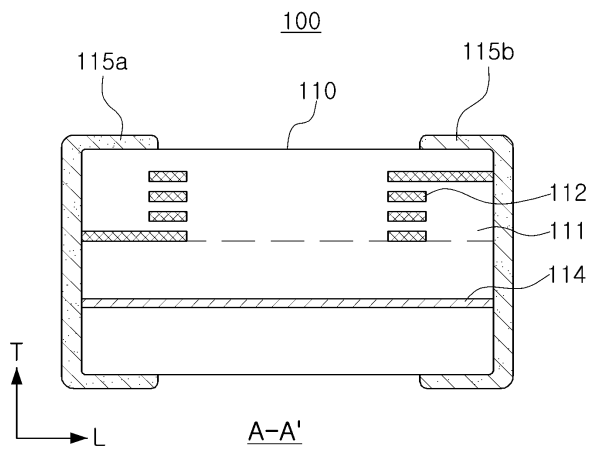
- [0060] 100: 적층 인덕터
- 110: 본체
- 111: 자성체 층
- 112: 코일
- 114: 비자성체층
- 115a, 115b: 제1 및 제2 외부 전극
- C: 커버부
- A: 코일부
- G: 갭(gap) 영역

도면

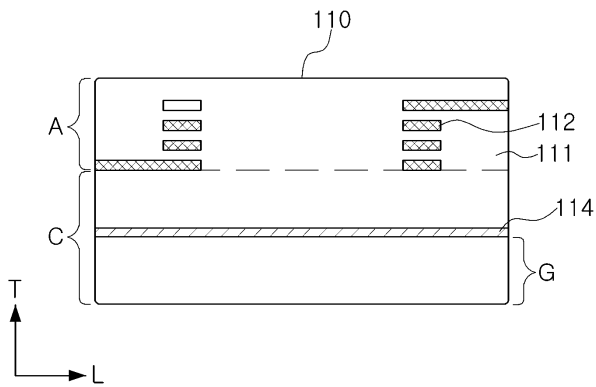
도면1



도면2



도면3



도면4

