



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

216 785

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 28 05 81
(21) PV 3959 - 81

(51) Int. Cl.³ H 03 L 7/00

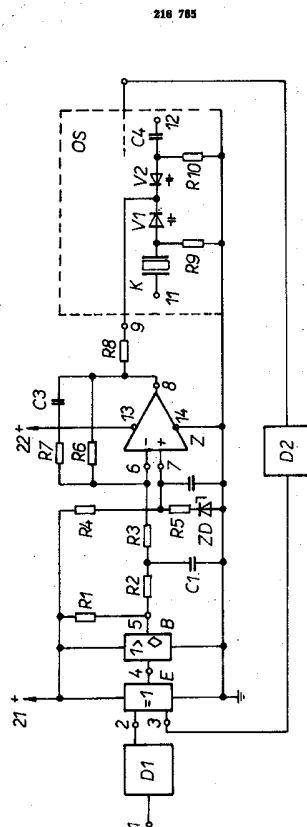
(40) Zveřejněno 29 01 82
(45) Vydáno 01 07 84

(75)

Autor vynálezu NOVÁK JIŘÍ ing.,
SMRČINA JIŘÍ,
TAUŠ VIKTOR ing.CSc.,PRAHA

(54) Zapojení synchronizované fázové smyčky v zařízeních systémů s pulsně kódovou modulací

Vynález řeší problém synchronizace oscilátoru vnějším taktovým signálem, případně taktovým signálem odvozeným z přicházejícího kódového signálu. Vstupní digitální synchronizační signál je přiveden na vstup vstupního děliče kmitočtu, z jehož výstupu je signál přiveden na první vstup fázového komparátoru. Z výstupu fázového komparátoru je signál přiveden na vstup oddělovacího a budicího obvodu s otevřeným kolektorem, odkud je signál veden přes RC filtrační členek na invertující vstup operačního zesilovače. Jeho předpětí je střídavě blokováno k zemi druhým kondenzátorem. Tímto předpětím se též posouvá nesymetricky rozkmit výstupního napětí operačního zesilovače kolem poloviny hodnoty stabilizovaného napětí ze zdroje. Z výstupu operačního zesilovače přechází signál na spojené katody varikapů v oscilátoru. Anoda prvního varikapu je připojena na krystal.



Vynález se týká zapojení synchronizované fázové smyčky v zařízeních přenosových systémů s pulsně kódovou modulací - PCM.

Úkolem synchronizované fázové smyčky s napětově řízeným oscilátorem je zajistit synchronizaci oscilátoru nějakým taktovým signálem, případně taktovým signálem odvozeným z přicházejícího kódového signálu, i při relativně značné odchylce kmitočtu těchto řídicích signálů. To platí i pro synchronizaci oscilátorů pamětí digitálních demultiplexních zařízení pomocí stuffingu, což je řízený postup změny přenosové rychlosti digitálního signálu tak, aby se mohla přizpůsobit jiné přenosové rychlosti. V obou případech musí být zajištěna stabilita kmitočtu při výpadku synchronizačního signálu i za kolísání napájecích napětí a teploty.

U známého zapojení je za vstupním děličem synchronizačního digitálního signálu zapojen první vstup logického obvodu TTL s funkcí EXCLUSIVE-OR použitého jako fázový komparátor. Z výstupu fázového komparátoru se řídí rychly tranzistorový spínač, napájený ze zdroje napětí U_T , které se rovná maximálnímu napětí vhodnému pro použité tranzistory. Z tranzistorového spínače jsou zesílené impulsy fázového komparátoru vedeny na varikap přes pasivní integrační článek sestavený z prvků RC. Integrační článek pracuje jako dolní propust s definovanou šířkou pásma, na jejímž výstupu je v synchronizovaném stavu pouze stejnosměrné řídicí napětí. V oscilátoru je v sérii s napětově řízeným varikapem a s krystalem zapojena indukčnost. Z výstupu oscilátoru je vedena vazba přes dělič zpět na druhý vstup fázového komparátoru. Nevýhodou známého zapojení je nutnost používat přídavnou indukčnost v oscilátoru. Napětí U_T maximálně dovolené pro použité tranzistory je nižší než napětí U_V , tj. maximální napětí vhodné pro použitý varikap volené tak, aby mohlo být dosaženo požadovaného rozladění oscilátoru. Čím větší je napětí U_T , tím větší musí být strmota hran řídicích impulsů. To pak vyvolává potřebu většího proudu tekoucího spínačem ze zdroje napětí U_T a zároveň to způsobuje zvětšení rušivých napětí.

Účelem vynálezu je odstranit uvedené nevýhody. Podle podstaty se toho dosahuje tím, že na vstupní svorku vstupního děliče kmitočtu digitálního signálu je připojen první vstup logického obvodu EXCLUSIVE-OR, na jehož výstup je připojen vstup oddělovacího a budicího obvodu s otevřeným kolektorem na výstupu. K němu je připojen první odpor, připojený druhým koncem na zdroj napájecího napětí integrovaných obvodů a přes druhý odpor s prvním kondenzátorem v sérii k zemi, a jejich společný bod je přes třetí odpor připojen na invertující vstup operačního zesilovače. Jeho neinvertující vstup je připojen jednak na zdroj napájecího napětí integrovaných obvodů přes čtvrtý odpor, jednak nazem přes pátý odpor a Zenerovu diodu v sérii, též na zem přes druhý kondenzátor. Výstup operačního zesilovače je spojen se svým invertujícím vstupem jednak přes šestý odpor, jednak přes sedmý odpor a třetí kondenzátor v sérii. Napájecí svorka operačního zesilovače je připojena na zdroj stabilizovaného napětí a zemní svorka na zem. Výstup operačního zesilovače je přes osmý odpor připojen na vstup oscilátoru, kde je připojen na spojené katody prvního a druhého varikapu. Anoda prvního varikapu je přes devátý odpor připojena na zem. Anoda druhého varikapu je přes desátý odpor připojena na zem. Anoda prvního varikapu je připojena na krystal, jehož druhý konec je připojen k známým obvodům oscilátoru. Anoda druhého varikapu je připojena na čtvrtý kondenzátor, jehož druhý konec je připojen ke známým obvodům oscilátoru. Jeho výstup je přes druhý dělič kmitočtu digitálního signálu připojen na druhý vstup logického obvodu EXCLUSIVE-OR.

Zapojení podle vynálezu má minimální spotřebu proudu ze zdroje stabilizovaného napětí, která kryje pouze vnitřní funkce operačního zesilovače. Vliv kolísání zdroje napájecího napětí integrovaných obvodů na stabilitu kmitočtu v nesynchronizovaném stavu je obvodově kompenzován. Zapojením Zenerovy diody jsou též kompenzovány teplotní změny kapacit varikapů a též napětí na výstupu operačního zesilovače.

Příklad zapojení podle vynálezu je dále popsán pomocí výkresu. Vstupní dělič D1 kmitočtu digitálního signálu je připojen na první vstupní svorku 2 logického obvodu EXCLUSIVE-OR E ve funkci fázového komparátoru. Jeho výstup 4 je připojen na vstup oddělovacího a budicího obvodu B s otevřeným kolektorem na výstupu 5, k němuž je připojen přes první odpor R1 zdroj 21 napájecího napětí integrovaných obvodů. Výstup 5 je přes druhý odpor R2 a první kondenzátor C1 připojen k zemi. Jejich společný bod je přes třetí odpor R3 připojen na in-

vertující vstup 6 operačního zesilovače Z , jehož neinvertující vstup 7 je připojen přes čtvrtý odpor R_4 ke zdroji 21 napájecího napětí integrovaných obvodů. Zároveň je neinvertující vstup 7 připojen k zemi přes pátý odpor R_5 v sérii s Zenerovou diodou ZD a přes druhý kondenzátor C_2 . Napájecí svorka 13 operačního zesilovače Z je připojena ke zdroji 22 stabilizovaného napětí, zemní svorka 14 je připojena k zemi. Výstup 8 operačního zesilovače Z je připojen na jeho invertující vstup 6 přes třetí kondenzátor C_3 v sérii se sedmým odporem R_6 a přes šestý odpor R_7 . Výstup 8 operačního zesilovače Z je dále připojen přes osmý odpor R_8 na vstup 9 oscilátoru OS , kde je připojen na spojené katody prvního a druhého varikapu V_1, V_2 . Anoda prvního varikapu V_1 je přes devátý odpor R_9 připojena k zemi a přes krystal K ke svorce 11 , připojené k známým obvodům oscilátoru OS . Anoda druhého varikapu V_2 je připojena přes desátý odpor R_{10} k zemi a přes čtvrtý kondenzátor C_4 , jehož druhý konec 12 je připojen ke známým obvodům oscilátoru OS . Výstup 10 oscilátoru OS je přes druhý dělič D_2 kmitočtu digitálního signálu připojen na druhý vstup 3 logického obvodu EXCLUSIVE-OR E .

Vstupní digitální synchronizační signál je přiveden na vstup 1 vstupního děliče D_1 , který dělí kmitočet n -krát. Z výstupu vstupního děliče D_1 je signál přiveden na první vstup 2 logického obvodu E , který má funkci fázového komparátoru. Je napájen ze zdroje 21 napětí integrovaných obvodů. Z výstupu logického obvodu E je signál přiveden na vstup 4 oddělovacího a budicího obvodu B s otevřeným kolektorovým výstupem 5. Kolektorovým odporem koncového tranzistoru tohoto oddělovacího obvodu B je odpor R_1 , který je stejně jako oddělovací obvod B napájen ze zdroje 21 napětí integrovaných obvodů. Z výstupu 5 je signál veden přes RC filtrační článek, tvořený druhým odporem R_2 a prvním kondenzátorem C_1 , a přes třetí odpor R_3 na invertující vstup 6 operačního zesilovače Z . Na jeho neinvertující vstup 7 je přivedeno předpětí získané na děliči: čtvrtý odpor R_4 k napětí zdroje 21 , pátý odpor R_5 v sérii s Zenerovou diodou ZD na zem. Předpětí je střídavě blokováno k zemi druhým kondenzátorem C_2 . Tímto předpětím se též posouvá nesymetricky rozkmit výstupního zesilovače Z kolem poloviny hodnoty stabilizovaného napětí ze zdroje 22 . Stejnoseměrné napěťové zesílení operačního zesilovače Z je dáno šestým odporem R_6 zapojeným z výstupu 8 operačního zesilovače Z na invertující vstup 6 operačního zesilovače Z a druhým a třetím odporem R_2, R_3 . Frekvenční charakteristika fázové smyčky v oblasti nízkých kmitočtů je dána sériovou kombinací třetího kondenzátoru C_3 a sedmého odporu R_7 , která je též zapojena mezi výstup 8 a invertující vstup 6 operačního zesilovače Z . Z výstupu 8 operačního zesilovače Z přechází signál přes osmý odpor R_8 a vstup 9 oscilátoru OS na spojené katody varikapů V_1, V_2 . V naznačeném zapojení oscilátoru OS jsou proměnné kapacity varikapů V_1, V_2 zapojeny v sérii. Tím se kompenzuje nelinearita jejich frekvenčních charakteristik při malém i velkém signálu. Anoda prvního varikapu V_1 je připojena přes krystal K na svorku 11 . Anoda druhého varikapu V_2 je připojena přes čtvrtý kondenzátor C_4 na svorku 12 . Uvedený obvod mezi svorkami 11 a 12 oscilátoru OS určuje frekvenci napěťově řízeného oscilátoru OS .

Vypadne-li z funkčních důvodů vstupní synchronizační signál na prvním vstupu 2 logického obvodu E , projde výstupní signál z výstupu 10 oscilátoru OS přes druhý dělič D_2 kmitočtu digitálního signálu na druhý vstup 3 logického obvodu E a tímto fázovým komparátorem bez logické změny signálu na jeho výstup 4. Dál digitální signál projde přes oddělovací a budicí obvod B filtračním článkem R_2, C_1 do operačního zesilovače Z , kde je zesílen a dále vyfiltrován článkem R_7, C_3 . Již jako stejnosměrné napětí je přiveden přes svorku 9 na varikapu V_1, V_2 , kde tak určuje kmitočet oscilátoru OS . Vliv kolísání zdroje 21 napájecího napětí integrovaných obvodů na stabilitu kmitočtu v tomto nesynchronizovaném stavu je kompenzován tím, že předpětí na neinvertujícím vstupu 7 operačního zesilovače Z je odvozeno ze stejného zdroje 22 stabilizovaného napětí, z kterého se získává řídicí napětí na oddělovacím obvodu B .

Předpětí na neinvertujícím vstupu 7 operačního zesilovače Z je pak dáno tak, aby při výpadku synchronizačního signálu byla děličem podělená změna napětí na neinvertujícím vstupu 7 stejná jako změna časově zprůměrovaného řídicího napětí na invertujícím vstupu 6 operačního zesilovače Z . Zapojení Zenerovy diody ZD se dosáhne vzájemné kompenzace teplotních změn kapacity varikapů V_1, V_2 a teplotní změny napětí na výstupu 8 operačního zesilovače Z .

P Ř E D M Ě T V Y N Á L E Z U .

Zapojení synchronizované fázové smyčky v zařízeních systémů s pulsně kódovou modulací, s krystalovým oscilátorem s varikapu, s fázovým komparátorem tvořeným logickým obvodem EXCLUSIVE-OR a se vstupním děličem kmitočtu digitálního signálu, vyznačené tím, že na výstupní svorku (2) vstupního děliče (D1) kmitočtu digitálního signálu je připojen první vstup (2) logického obvodu EXCLUSIVE-OR (E), na jehož výstup (4) je připojen vstup oddělovacího a budicího obvodu (B) s otevřeným kolektorem na výstupu (5), k němuž je připojen první odpor (R1), připojený druhým koncem na zdroj (21) napájecího napětí integrovaných obvodů a přes druhý odpor (R2) s prvním kondenzátorem (C1) v sérii k zemi, a jejich společný bod je přes třetí odpor (R3) připojen na invertující vstup (6) operačního zesilovače (Z), jehož neinvertující vstup (7) je připojen jednak na zdroj (21) napájecího napětí integrovaných obvodů přes čtvrtý odpor (R4), jednak na zem přes pátý odpor (R5) a Zenerovu diodu (ZD) v sérii a též na zem přes druhý kondenzátor (C2), přičemž výstup (8) operačního zesilovače (Z) je spojen se svým invertujícím vstupem (6) jednak přes šestý odpor (R6), jednak přes sedmý odpor (R7) a třetí kondenzátor (C3) v sérii, zatímco napájecí svorka (13) operačního zesilovače (Z) je připojena na zdroj (22) stabilizovaného napětí a zemní svorka (14) na zem, a současně je výstup (8) operačního zesilovače (Z) přes osmý odpor (R8) připojen na vstup (9) oscilátoru (OS), kde je připojen na spojené katody prvního a druhého varikapu (V1, V2), přičemž anoda prvního varikapu (V1) je přes devátý odpor (R9) připojena na zem, anoda druhého varikapu (V2) je přes desátý odpor (R10) připojena na zem, přičemž anoda prvního varikapu (V1) je připojena na krystal (K), jehož druhý konec (11) je připojen k známým obvodům oscilátoru (OS) a anoda druhého varikapu (V2) je připojena na čtvrtý kondenzátor (C4), jehož druhý konec (12) je připojen ke známým obvodům oscilátoru (OS), jehož výstup (10) je přes druhý dělič (D2) kmitočtu digitálního signálu připojen na druhý vstup (3) logického obvodu EXCLUSIVE-OR (E).

1 výkres

