

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号

特許第7137913号

(P7137913)

(45)発行日 令和4年9月15日(2022.9.15)

(24)登録日 令和4年9月7日(2022.9.7)

(51)国際特許分類

F I

H 0 1 L 21/336(2006.01)

H 0 1 L 29/78 3 7 1

H 0 1 L 29/788(2006.01)

H 0 1 L 29/78 6 1 8 B

H 0 1 L 29/792(2006.01)

H 0 1 L 29/78 6 1 3 B

H 0 1 L 29/786(2006.01)

H 0 1 L 27/108 3 2 1

H 0 1 L 21/8242(2006.01)

H 0 1 L 27/11582

請求項の数 1 (全50頁) 最終頁に続く

(21)出願番号 特願2017-123146(P2017-123146)

(22)出願日 平成29年6月23日(2017.6.23)

(65)公開番号 特開2019-9259(P2019-9259A)

(43)公開日 平成31年1月17日(2019.1.17)

審査請求日 令和2年6月19日(2020.6.19)

(73)特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷 3 9 8 番地

(72)発明者 松崎 隆徳

神奈川県厚木市長谷 3 9 8 番地 株式会

社半導体エネルギー研究所内

(72)発明者 吉住 健輔

神奈川県厚木市長谷 3 9 8 番地 株式会

社半導体エネルギー研究所内

審査官 宮本 博司

最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項 1】

絶縁表面を有する基板上に、メモリトランジスタと、トランジスタと、を有する半導体装置であって、

前記メモリトランジスタは、第1の導電層、第2の導電層、第3の導電層、第1の絶縁層、第2の絶縁層、第3の絶縁層、及び第1の半導体層を有し、

前記トランジスタは、第4の導電層、第5の導電層、第6の導電層、第4の絶縁層、及び第2の半導体層を有し、

前記第1の導電層は、開口を有し、

前記第1の絶縁層は、前記開口の内側に接して設けられ、

前記第2の絶縁層は、前記第1の絶縁層の内側に接して設けられ、

前記第3の絶縁層は、前記第2の絶縁層の内側に接して設けられ、

前記第1の半導体層は、前記第3の絶縁層の内側に接して設けられ、且つ、前記第1の導電層の前記開口よりも上下方向に突出して設けられ、

前記第1の半導体層は、前記第1の絶縁層の上部、前記第2の絶縁層の上部、及び前記第3の絶縁層の上部よりも突出し、且つ前記第1の絶縁層の上部、前記第2の絶縁層の上部、及び前記第3の絶縁層の上部と接して設けられ、

前記第2の導電層は、前記第1の半導体層の底部に接して設けられ、

前記第3の導電層は、前記第1の半導体層の上部に接して設けられ、

前記第3の導電層の端部は、前記第1の半導体層の端部と一致し、

10

20

前記第 4 の導電層及び前記第 5 の導電層は、前記第 2 の半導体層にそれぞれ接して設けられ、

前記第 4 の導電層の端部及び前記第 5 の導電層の端部は、前記第 2 の半導体層の端部と一致し、

前記第 4 の絶縁層は、前記第 2 の半導体層に接して設けられ、

前記第 6 の導電層は、前記第 4 の絶縁層を介して前記第 2 の半導体層と重なる部分を有し、

前記第 1 の絶縁層、前記第 3 の絶縁層、及び前記第 4 の絶縁層は、それぞれ酸化物を含み、

前記第 2 の絶縁層は、窒化物を含み、

前記第 1 の半導体層と、前記第 2 の半導体層とは、同じ金属酸化物を含む、半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置に関する。本発明の一態様は、記憶装置に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、電子機器、照明装置、入力装置、入出力装置、それらの駆動方法、又はそれらの製造方法、を一例として挙げることができる。

【0003】

なお、本明細書等において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタ、半導体回路、演算装置、記憶装置等は半導体装置の一態様である。また、撮像装置、電気光学装置、発電装置（薄膜太陽電池、有機薄膜太陽電池等を含む）、及び電子機器は半導体装置を有している場合がある。

【背景技術】

【0004】

近年、扱われるデータ量の増大に伴って、より大きな記憶容量を有する半導体装置が求められている。単位面積あたりの記憶容量を増加させるためには、メモリセルを積層して形成することが有効である（特許文献 1、特許文献 2 参照）。メモリセルを積層して設けることにより、単位面積あたりの記憶容量をメモリセルの積層数に応じて増加させることができる。

【0005】

また、特許文献 3 には、酸化物半導体を用いた不揮発性の記憶装置が開示されている。

【先行技術文献】

【特許文献】

【0006】

【文献】米国特許公開 2011/0065270 号公報

米国特許第 9634097 号公報

米国特許公開 2016/0079268 号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

記憶装置はデータを格納するメモリセルアレイの他に、書き込みや読み出し動作を制御するための制御回路を有する。一般にメモリセルアレイの駆動電圧は制御回路よりも高いため、制御回路で生成された信号に基づいてメモリセルアレイを駆動する駆動回路には、高耐圧な素子が必要となる。しかしながら、このような高耐圧なトランジスタなどの素子は、制御回路を構成する素子よりもサイズが大きいため、メモリセルの数（すなわち記憶容量）が増大することに伴って、駆動回路を含む周辺回路の占有面積も増大してしまうと

10

20

30

40

50

いった問題があった。

【 0 0 0 8 】

本発明の一態様は、周辺回路の占有面積を縮小することを課題の一とする。または、単位面積当たりの記憶容量の大きい半導体装置を提供することを課題の一とする。または、生産性の高い半導体装置を提供することを課題の一とする。または、新規な半導体装置、または記憶装置を提供することを課題の一とする。

【 0 0 0 9 】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から抽出することが可能である。

【課題を解決するための手段】

【 0 0 1 0 】

本発明の一態様は、メモリトランジスタと、トランジスタと、を有する半導体装置である。メモリトランジスタは、第1の導電層、第2の導電層、第3の導電層、第1の絶縁層、第2の絶縁層、第3の絶縁層及び第1の半導体層を有する。トランジスタは、第4の導電層、第5の導電層、第4の絶縁層、及び第2の半導体層を有する。第1の導電層は開口を有し、第1の絶縁層は当該開口の内側に接して設けられ、第2の絶縁層は第1の絶縁層の内側に接して設けられ、第3の絶縁層は第2の絶縁層の内側に接して設けられ、第1の半導体層は第3の絶縁層の内側に接して設けられ、且つ、第1の導電層の開口よりも上下方向に突出して設けられる。また第2の導電層は第1の半導体層の底部に接して設けられ、第3の導電層は第1の半導体層の上部に接して設けられる。第4の導電層及び第5の導電層は、第2の半導体層にそれぞれ接して設けられる。第4の絶縁層は第2の半導体層に接して設けられる。第5の導電層は第4の絶縁層を介して第2の半導体層と重なる部分を有する。さらに、第1の絶縁層、第3の絶縁層、及び第4の絶縁層は、それぞれ酸化物を含む。さらに第2の絶縁層は、窒化物を含む。また、第1の半導体層と、第2の半導体層とは、同じ金属酸化物を含む。

【 0 0 1 1 】

また、上記において、第3の導電層と、第4の導電層と、第5の導電層とは、互いに同じ金属元素を含むことが好ましい。

【 0 0 1 2 】

また、上記において、第1の半導体層と、第2の半導体層とは、同じ金属酸化物膜を加工して形成されていることが好ましい。

【 0 0 1 3 】

また、上記において、第3の導電層、第4の導電層、及び第5の導電層は、互いに同じ導電膜を加工して形成されていることが好ましい。

【 0 0 1 4 】

また、上記において、第1の導電層と、第4の導電層とは、電気的に接続されていることが好ましい。

【 0 0 1 5 】

また、上記において、基板を有することが好ましい。このとき、メモリトランジスタは、当該基板上に複数設けられていることが好ましい。さらに、複数のメモリトランジスタは、基板の一面に対して垂直方向に積層して設けられていることが好ましい。

【 0 0 1 6 】

また、上記において、第1の半導体層及び第2の半導体層は、第1の半導体膜と、第2の半導体膜の積層構造を有することが好ましい。このとき、第1の半導体膜と、第2の半導体膜とは、結晶性が異なることが好ましい。または、第1の半導体膜と、第2の半導体膜とは、組成が異なることが好ましい。

【発明の効果】

【 0 0 1 7 】

本発明の一態様によれば、周辺回路の占有面積を縮小できる。または、単位面積当たり

10

20

30

40

50

の記憶容量の大きい半導体装置を提供できる。または、生産性の高い半導体装置を提供できる。または、新規な半導体装置、または記憶装置を提供できる。

【 0 0 1 8 】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から抽出することが可能である。

【図面の簡単な説明】

【 0 0 1 9 】

【図 1】半導体装置の上面図及び断面図。

【図 2】半導体装置の斜視図。

10

【図 3】半導体装置の上面図。

【図 4】半導体装置の断面図。

【図 5】半導体装置の作製方法例を説明する図。

【図 6】半導体装置の作製方法例を説明する図。

【図 7】半導体装置の作製方法例を説明する図。

【図 8】半導体装置の作製方法例を説明する図。

【図 9】半導体装置の作製方法例を説明する図。

【図 10】半導体装置の作製方法例を説明する図。

【図 11】半導体装置の作製方法例を説明する図。

【図 12】半導体装置の作製方法例を説明する図。

20

【図 13】半導体装置の作製方法例を説明する図。

【図 14】半導体装置の作製方法例を説明する図。

【図 15】半導体装置の作製方法例を説明する図。

【図 16】半導体装置の作製方法例を説明する図。

【図 17】半導体装置の作製方法例を説明する図。

【図 18】記憶装置のブロック図及び回路図。

【図 19】記憶装置の三次元構造例を示す図。

【図 20】記憶装置の三次元構造例を示す図。

【図 21】記憶装置の三次元構造例を示す図。

【図 22】記憶装置の回路図。

30

【図 23】記憶装置の動作例を説明する回路図。

【図 24】記憶装置の構成例。

【図 25】A I システムのブロック図。

【図 26】A I システムのブロック図。

【図 27】I C の構成例。

【図 28】電子機器の構成例。

【図 29】電子機器の構成例。

【発明を実施するための形態】

【 0 0 2 0 】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

40

【 0 0 2 1 】

なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

【 0 0 2 2 】

なお、本明細書で説明する各図において、各構成の大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されな

50

い。

【 0 0 2 3 】

なお、本明細書等における「第 1」、「第 2」等の序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではない。

【 0 0 2 4 】

トランジスタは半導体素子の一種であり、電流や電圧の増幅や、導通または非導通を制御するスイッチング動作などを実現することができる。本明細書におけるトランジスタは、IGFET (Insulated Gate Field Effect Transistor) や薄膜トランジスタ (TFT: Thin Film Transistor) を含む。

10

【 0 0 2 5 】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【 0 0 2 6 】

また、本明細書等において、トランジスタのソース、又はドレインのどちらか一方のことを「第 1 電極」と呼び、ソース、又はドレインの他方を「第 2 電極」とも呼ぶことがある。なお、ゲートについては「ゲート」又は「ゲート電極」とも呼ぶ。

【 0 0 2 7 】

20

本明細書等において、金属酸化物 (metal oxide) とは、広い表現での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体 (透明酸化物導電体を含む)、酸化物半導体 (Oxide Semiconductor または単に OS ともいう) などに分類される。例えば、トランジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、OS FET と記載する場合においては、金属酸化物または酸化物半導体を有するトランジスタと換言することができる。

【 0 0 2 8 】

(実施の形態 1)

本実施の形態では、本発明の一態様の半導体装置の構成例、作製方法例、回路構成、及びその動作方法例について説明する。

30

【 0 0 2 9 】

本発明の一態様は、メモリセルアレイと、高耐圧のトランジスタを含む回路部と、が同じ基板上に設けられた構成を有する。メモリセルアレイは、複数のメモリトランジスタが厚さ方向 (縦方向) に積層された構成を有する。そのため、高耐圧のトランジスタをメモリセルアレイの近傍に配置することが可能となり、半導体装置の占有面積を縮小することができる。

【 0 0 3 0 】

ここで、メモリトランジスタが有する半導体層と、高耐圧のトランジスタが有する半導体層とは、同じ半導体膜を加工して形成される。これにより、各半導体層の形成工程を兼ねることができるため、作製工程を簡略化することができ、半導体装置の作製コストを低減できる。さらに、メモリセルアレイに接続される配線等と、高耐圧のトランジスタが有するソース電極、ドレイン電極、またはゲート電極等とが、同じ導電膜を加工して形成されることが好ましい。

40

【 0 0 3 1 】

また、メモリトランジスタと、高耐圧のトランジスタとがそれぞれ有する半導体層に、酸化物半導体を適用することが好ましい。酸化物半導体を用いたトランジスタは、シリコンを用いたトランジスタ等に比べて、ソース - ドレイン間の耐圧を高めることが可能なため、回路部を構成するトランジスタに好適に用いることができる。また酸化物半導体を用いたトランジスタは、シリコンに比べてゲート絶縁層の厚さを厚くしても駆動能力が低下しにくいという特徴を有するため、ゲート耐圧を向上させることが可能で、このようなト

50

ランジスタを回路部及びメモリランジスタに用いることで、信頼性を高めることができる。

#### 【0032】

ここで、メモリセルアレイを制御する制御回路上に重畳するように、上記メモリセルアレイや高耐圧トランジスタを含む回路部を設けることが好ましい。例えば制御回路を単結晶シリコン基板上に形成したCMOS回路等で構成し、その上部に、メモリセルアレイや回路部を形成することで実現できる。これにより、さらに半導体装置の占有面積を縮小することができるため、一枚の単結晶シリコン基板あたりのチップ数が増大し、作製コストを低減できる。

#### 【0033】

以下では、より具体的な例について図面を参照して説明する。

#### 【0034】

##### [構成例]

以下では、半導体装置700のメモリランジスタ、メモリセルアレイ700M、及び回路部700Dが有するトランジスタの構成について、図面を参照して説明する。

#### 【0035】

##### [メモリセルアレイ]

図1(A)は、半導体装置700の上面図であり、図1(B)は、図1(A)にA1-A2の一点鎖線で示す部位の断面図である。また、図1(C)は、図1(A)にA3-A4の一点鎖線で示す部位の断面図であり、メモリストリングを説明する断面図である。

#### 【0036】

また、図1(D)は、図1(B)において、一点鎖線で囲まれた部分を拡大した断面図、または斜視図であり、メモリセルとして機能するメモリランジスタを説明する図である。なお、以下においては、図1に示すように、x軸、y軸、z軸からなる直交座標系を便宜上設定して説明する。ここで、x軸およびy軸は、半導体装置700を設ける基板720の上面に平行にとり、z軸は基板720の上面に垂直にとる。

#### 【0037】

半導体装置700は、基板720上に、メモリセルアレイ700Mと、回路部700Dとを有する。図1では、回路部700Dが有するトランジスタ750を示している。

#### 【0038】

メモリセルアレイ700Mは、基板720上に、複数の導電層701(導電層701\_\_1乃至導電層701\_\_m:mは、2以上の自然数)、導電層702、複数の絶縁層703(絶縁層703\_\_1乃至絶縁層703\_\_3)、複数の酸化物層704(酸化物層704\_\_1乃至酸化物層704\_\_3)、複数の導電層705(導電層705\_\_1乃至導電層705\_\_3)、複数の導電層706(導電層706\_\_1乃至導電層706\_\_3)、複数の接続層707(接続層707\_\_1乃至接続層707\_\_m)、複数の導電層708(導電層708\_\_1乃至導電層708\_\_m)、複数の絶縁層722、絶縁層724等を有する。

#### 【0039】

導電層701または導電層702と、絶縁層722とは交互に積層され、さらにこれを覆うように設けられた絶縁層724を含む積層体を構成する。絶縁層703は、該積層体を貫通するように形成された開口部の内側に設けられる。酸化物層704は、絶縁層703の内側に設けられる。導電層705は、酸化物層704の上端部と電氣的に接続するように設けられる。導電層706は、酸化物層704の下端部と電氣的に接続するように設けられる。接続層707は、導電層701と電氣的に接続する。導電層708は、接続層707と電氣的に接続する。

#### 【0040】

なお、図1(B)では、複数の導電層701を表すために、導電層701を3段以上表示しているが、本実施の形態は図1(B)に限られることなく、少なくとも導電層701を2段以上有していればよい。また図1(B)等では、x方向に配列する複数の柱状の開口部内に設けられる絶縁層703及び酸化物層704、並びに導電層706及び導電層7

10

20

30

40

50

05等を表すために、これらを3つ示しているが、これに限られることなく、少なくとも2つ以上有していればよい。

【0041】

ここで、図1(A)および図1(B)に示すように、導電層701はx軸方向に延伸して設けられる。また、図1(B)および図1(C)に示すように、絶縁層703および酸化物層704はz軸方向に延伸して設けられる。絶縁層703は、柱状の酸化物層704の側周辺を囲うように設けられている。つまり、導電層701と、絶縁層703および酸化物層704と、は互いに垂直に交差して設けられることが好ましい。また、図1(B)に示すように、接続層707は柱状に形成されており、z軸方向に延伸して設けられる。また、導電層708をy軸方向に延伸して設けてもよい。また、導電層705に接続される配線BLとして機能する導電層をy軸方向に延伸して設けてもよい。なお、導電層705の一部を配線BLとして機能させ、当該導電層をy軸方向に延伸して設けてもよい。

10

【0042】

柱状の酸化物層704は、z軸方向の下端において、導電層706と電氣的に接続し、上端において、導電層705と電氣的に接続する。また、図1(C)に示すように、導電層706は、隣り合う2つの柱状の酸化物層704の下端と電氣に接続し、該2つの柱状の酸化物層704の上端は、それぞれ、電氣的に分離した導電層705と、電氣的に接続する。

【0043】

ここで、導電層701と、絶縁層703および酸化物層704と、が交差する領域近傍がメモリトランジスタ(メモリトランジスタ710)として機能する。また、導電層702と、絶縁層703および酸化物層704と、が交差する領域近傍が選択トランジスタ(ビット線側選択トランジスタ:SDT、またはソース線側選択トランジスタ: SST)として機能する。これらのメモリトランジスタおよび選択トランジスタのチャネル長方向はz軸に平行になる。メモリトランジスタまたは選択トランジスタが電氣的に直列に接続されており、これらがメモリストリングを構成している。

20

【0044】

なお、本実施の形態に示す半導体装置の構成は一例であり、本発明は、本実施の形態に係る図面等に示す、回路素子および配線等の、個数および配置等に限定されるものではない。本実施の形態に係る半導体装置が有する、回路素子および配線等の、個数および配置等は、回路構成や駆動方法に合わせて適宜設定することができる。

30

【0045】

メモリセルアレイ700M及び回路部700Dを設ける基板720は絶縁表面を有していることが好ましい。絶縁表面を有する基板としては、表面に絶縁膜が形成された半導体基板、絶縁性基板、表面に絶縁膜が形成された導電性基板などを用いればよい。半導体基板としては、例えば、シリコン、ゲルマニウムなどの単体半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムなどの半導体基板などを用いればよい。また、絶縁性基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板(イットリア安定化ジルコニア基板など)、樹脂基板などを用いればよい。また、前述の半導体基板内部に絶縁性の領域を有する半導体基板、例えばSOI(Silicon On Insulator)基板などを用いてもよい。また、導電性基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などを用いればよい。

40

【0046】

導電層701は、メモリトランジスタ710のゲートとして機能し、ワード線と電氣的に接続する。すなわち、導電層701、接続層707、および導電層708は、ワード線の一部としても機能する。ここで、導電層701は、図1(B)に示すように、下層の導電層701が上層の導電層701よりA2側に延伸した、階段状に設けられることが好ましい。このように、導電層701を設けることにより、下層の導電層701の上面の一部の領域が、より上層の導電層701と重ならないため、導電層701各層の当該領域と各

50

接続層 707 を接続させることができる。

【0047】

導電層 701 として、シリコンや、金属など、導電性を有する材料を用いることができる。導電層 701 として、シリコンを用いる場合、アモルファスシリコンや、ポリシリコンを用いることができる。また、シリコンに導電性を持たせるため、p 型不純物や n 型不純物を添加してもよい。また、シリコンを含む導電性材料として、チタン、コバルト、またはニッケルを含むシリサイドを導電層 701 として用いることができる。また、金属材料を導電層 701 に用いる場合、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガ、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を 1 種以上含む材料を用いることができる。

10

【0048】

導電層 702 は、絶縁層 722 を介して導電層 701 の上に設けられる。導電層 702 は、選択トランジスタ（ビット線側選択トランジスタ：SDT、およびソース線側選択トランジスタ：SST）のゲートとして機能する。また、導電層 702 は、導電層 701 と同様の材料を用いることができる。また、導電層 702 は、導電層 701 と同じ材料を用いてもよいし、異なる材料を用いてもよい。導電層 701、および導電層 702 は、用途に応じて、仕事関数などを考慮し、決定すればよい。

【0049】

導電層 701 および導電層 702 の、上層または下層に設けられる絶縁層 722 として、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などを用いることができる。酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、もしくは空孔を有する酸化シリコンまたは樹脂は、比誘電率が低いため、絶縁層 722 に用いることは好適である。

20

【0050】

一方、絶縁層 722 として、酸化アルミニウム、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などを用いることも可能だが、これらは比誘電率が高いため、2 つの導電層 701 の間、または導電層 701 と導電層 702 との間に寄生容量が生じる場合がある。そのため、デバイスの設計、用途に応じて絶縁層 722 に用いる材料を決めることができる。

30

【0051】

また、導電層 701、導電層 702 等を覆う絶縁層 724 としては、絶縁層 722 と同様の材料を用いることができる。

【0052】

酸化物層 704、絶縁層 703、および導電層 701（導電層 701<sub>1</sub>乃至導電層 701<sub>m</sub>のいずれか）により、メモリトランジスタ 710 が構成される。図 1（B）、（C）には、メモリトランジスタ 710 が m 段（m は 2 以上の自然数）積層している例を示している。

40

【0053】

導電層 705 は、酸化物層 704 と電氣的に接続し、ソース線 SL、またはビット線 BL の一部として機能する。導電層 705 として、金属元素を含む導電性材料を用いることが好ましい。また、導電層 705 と酸化物層 704 の界面には、導電層 705 が有する金属元素と、酸化物層 704 の成分とを含む金属化合物層が形成されていることが好ましい。該金属化合物が形成されることで、導電層 705 と、酸化物層 704 とのコンタクト抵抗が低減するため好ましい。または、酸化物層 704 に含まれる酸素を、導電層 705 が吸収し、酸化物層 704 の、導電層 705 と酸化物層 704 の界面近傍の抵抗を低減することで、導電層 705 と、酸化物層 704 とのコンタクト抵抗を低減することができる。

50

## 【 0 0 5 4 】

導電層 705 として、アルミニウム、ルテニウム、チタン、タンタル、クロム、タングステン、および銅から選ばれた一、または複数の金属元素を含む導電性材料を用いることが好ましい。

## 【 0 0 5 5 】

導電層 706 は、図 1 ( C ) に示すように、ビット線 B L の一部として機能する導電層 705 と電氣的に接続する酸化物層 704 と、ソース線 S L の一部として機能する導電層 705 と電氣的に接続する酸化物層 704 と、電氣的に接続することで、メモリストリングを構成する。図 1 ( A ) 中の一点鎖線で囲まれた領域は、1つのメモリストリングを表している。なお、図 1 ( A ) では3つのメモリストリングが明示されているが、実際には1つのメモリセルアレイが有するメモリストリングの数は偶数であることが好ましく、 $2^n$  ( $n$  は 1 以上の自然数) であることがより好ましい。

10

## 【 0 0 5 6 】

導電層 706 は、導電層 705 と同様の材料を用いることができる。また、導電層 706 は、導電層 705 と同じ材料を用いてもよいし、異なる材料を用いてもよい。

## 【 0 0 5 7 】

また、導電層 706 と酸化物層 704 の界面には、導電層 706 が有する金属元素と、酸化物層 704 の成分とを含む金属化合物層が形成されていることが好ましい。該金属化合物が形成されることで、導電層 706 と、酸化物層 704 とのコンタクト抵抗が低減するため好ましい。または、酸化物層 704 に含まれる酸素を、導電層 706 が吸収し、酸化物層 704 の、導電層 706 と酸化物層 704 の界面近傍の抵抗を低減することで、導電層 706 と、酸化物層 704 とのコンタクト抵抗を低減することができる。

20

## 【 0 0 5 8 】

図 1 ( D ) は、1つのメモリトランジスタ 710 及びその近傍の拡大図を示している。図 1 ( D ) に示すように、絶縁層 703 は、絶縁層 703 a、絶縁層 703 b、および絶縁層 703 c を有する。絶縁層 703 a は、導電層 701 側に設けられ、絶縁層 703 c は、酸化物層 704 側に設けられ、絶縁層 703 b は、絶縁層 703 a と絶縁層 703 c の間に設けられる。絶縁層 703 a はゲート絶縁層として機能し、絶縁層 703 b は電荷蓄積層として機能し、絶縁層 703 c はトンネル絶縁層として機能する。

## 【 0 0 5 9 】

ここで、図 2 ( A ) には、1つのメモリトランジスタ 710 及びその近傍の斜視図を示している。

30

## 【 0 0 6 0 】

絶縁層 703 a として、酸化シリコンや、酸化窒化シリコンを用いることが好ましい。また、酸化アルミニウム、酸化ハフニウム、またはアルミニウムおよびハフニウムを有する酸化物を用いてもよい。また、これらを積層して絶縁層 703 a としてもよい。

## 【 0 0 6 1 】

絶縁層 703 b は、電荷蓄積層として機能する材料を用いることが好ましく、窒化シリコンや、窒化酸化シリコンを用いることが好ましい。また、酸化アルミニウム、酸化ハフニウム、またはアルミニウムおよびハフニウムを有する酸化物を用いてもよい。

40

## 【 0 0 6 2 】

絶縁層 703 c として、酸化シリコンや、酸化窒化シリコンを用いることが好ましい。また、酸化アルミニウム、酸化ハフニウム、またはアルミニウムおよびハフニウムを有する酸化物を用いてもよい。また、これらを積層して絶縁層 703 c としてもよい。また、絶縁層 703 c は、絶縁層 703 a より薄いことが好ましい。詳細は後述するが、メモリトランジスタへのデータの書き込み、または消去において、絶縁層 703 c を通って、酸化物層 704 と絶縁層 702 b の間で、電荷の移動が行われる。すなわち、絶縁層 703 c は、トンネル絶縁層として機能する。

## 【 0 0 6 3 】

特に、導電層 701、導電層 702、および絶縁膜を有する積層体に設けられた開口に

50

絶縁層 703 を形成する場合、開口の底部に形成された絶縁層 703 は、ドライエッチングなどを用いた異方性エッチングにより除去する必要がある。異方性エッチングの際、絶縁層 703 c は、側面においても、プラズマ、ラジカル、ガス、薬液などに曝される。これらによって絶縁層 703 c の側面がダメージを受けると、絶縁層 703 c にトラップセンターが生じ、トランジスタの電気特性に影響を与える場合がある。トラップセンターの生成を抑制するためには、絶縁層 703 c の側面は、エッチングによるダメージに対して高い耐性を有していることが求められる。この場合、絶縁層 703 c として、酸化アルミニウム、酸化シリコンと酸化アルミニウムの積層、または酸化窒化シリコンと酸化アルミニウムの積層を用いることが好ましい。

#### 【0064】

絶縁層 703 a、絶縁層 703 b、および絶縁層 703 c は、ALD 法や CVD 法を用いて形成することができる。また、絶縁層 703 a、絶縁層 703 b、および絶縁層 703 c の界面の汚染を防ぐためには、同一チャンバー内で、または複数のチャンバーを有するマルチチャンバ方式の成膜装置を用いて、大気雰囲気気に曝すことなく、連続で成膜することが好ましい。

#### 【0065】

酸化物層 704 は、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう）を用いることが好ましい。酸化物半導体は、シリコンなどからなる半導体と比較して、トランジスタのオン特性が良好で、高い移動度が得られるため、好ましい。

#### 【0066】

例えば、酸化物層 704 として、In-M-Zn 酸化物（元素 M は、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。また、酸化物層 704 として、In-Ga 酸化物、In-Zn 酸化物を用いてもよい。

#### 【0067】

図 2 (B)、(C) には、酸化物層 704 を積層構造とした場合の例を示している。

#### 【0068】

図 2 (B) に示すように、メモリトランジスタ 710 は絶縁層 703 c 側に設けられる酸化物層 704 a と酸化物層 704 a の内側に設けられる酸化物層 704 b を有することが好ましい。このとき、酸化物層 704 a は、酸化物層 704 b に対して、相対的にエネルギーギャップの広い酸化物を用いることが好ましい。ここで、エネルギーギャップの広い酸化物を、ワイドギャップ、エネルギーギャップの狭い酸化物をナローギャップと呼ぶことがある。

#### 【0069】

酸化物層 704 a をナローギャップとし、酸化物層 704 b をワイドギャップとする場合、酸化物層 704 a の伝導帯下端のエネルギーが、酸化物層 704 b の伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物層 704 a の電子親和力が、酸化物層 704 b の電子親和力より小さいことが好ましい。

#### 【0070】

また、酸化物層 704 a と酸化物層 704 b は、各金属原子の原子数比が異なる組み合わせにすることが好ましい。具体的には、酸化物層 704 a に用いる金属酸化物において、構成元素中の元素 M の原子数比が、酸化物層 704 b に用いる金属酸化物における、構成元素中の元素 M の原子数比より、大きいことが好ましい。また、酸化物層 704 a に用いる金属酸化物において、In に対する元素 M の原子数比が、酸化物層 704 b に用いる金属酸化物における、In に対する元素 M の原子数比より大きいことが好ましい。また、酸化物層 704 b に用いる金属酸化物において、元素 M に対する In の原子数比が、酸化物層 704 a に用いる金属酸化物における、元素 M に対する In の原子数比より大きいことが好ましい。

10

20

30

40

50

## 【 0 0 7 1 】

酸化物層 7 0 4 a には、例えば  $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ 、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ 、または  $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$  の組成およびその近傍の組成を有する金属酸化物を用いることができる。また、酸化物層 7 0 4 b には、例えば  $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$  から 4 . 1、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ 、または  $\text{In} : \text{Ga} : \text{Zn} = 5 : 1 : 6$  の組成およびその近傍の組成を有する金属酸化物を用いることができる。これらの酸化物層 7 0 4 a および酸化物層 7 0 4 b を上記の原子数比の関係を満たして組み合わせることが好ましい。例えば、酸化物層 7 0 4 a を、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$  の組成およびその近傍の組成を有する金属酸化物、酸化物層 7 0 4 b を、 $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$  から 4 . 1 の組成およびその近傍の組成を有する金属酸化物とするのが好ましい。なお、上記組成は、基板上に形成された酸化物中の原子数比、またはスパッタターゲットにおける原子数比を示す。

10

## 【 0 0 7 2 】

また、酸化物層 7 0 4 a として、後述する、 $\text{CAAC} - \text{OS}$  を用い、酸化物層 7 0 4 b として、 $\text{CAC} - \text{OS}$  を用いることが好ましい。酸化物層 7 0 4 a として、 $\text{CAAC} - \text{OS}$  を用いる場合、 $c$  軸は、図 1 ( A ) などに示す  $x - y$  平面に平行、すなわち  $z$  軸に垂直で、かつ開口の側面から中心に向かうように配向することが好ましい。

## 【 0 0 7 3 】

ここで、酸化物層 7 0 4 a と酸化物層 7 0 4 b の接合部において、伝導帯下端はなだらかに変化する。換言すると、酸化物層 7 0 4 a と酸化物層 7 0 4 b の接合部における伝導帯下端は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物層 7 0 4 a と酸化物層 7 0 4 b との界面において形成される混合層の欠陥準位密度を低くするとよい。

20

## 【 0 0 7 4 】

具体的には、酸化物層 7 0 4 a と酸化物層 7 0 4 b が、酸素以外に共通の元素を有する（主成分とする。）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物層 7 0 4 b が  $\text{In} - \text{Ga} - \text{Zn}$  酸化物の場合、酸化物層 7 0 4 a として、 $\text{In} - \text{Ga} - \text{Zn}$  酸化物、 $\text{Ga} - \text{Zn}$  酸化物、酸化ガリウムなどを用いるとよい。これにより、酸化物層 7 0 4 a と酸化物層 7 0 4 b との界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、メモリトランジスタ 7 1 0 は高いオン電流を得られる。

30

## 【 0 0 7 5 】

図 2 ( B ) に示すように、酸化物層 7 0 4 b は、酸化物層 7 0 4 a に囲まれるように設けられている。このような構成の場合、酸化物層 7 0 4 に、導電層 7 0 5 から導電層 7 0 6 へ方向、あるいは導電層 7 0 6 から導電層 7 0 5 へ方向（すなわち  $z$  軸方向）にキャリアを流す際、ナローギャップを有する成分において、主にキャリアが流れる。このため、上記構成を用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。

## 【 0 0 7 6 】

また、酸化物層 7 0 4 b と、絶縁層 7 0 3 c と、の間に酸化物層 7 0 4 a を設けることで、キャリアパスとなる酸化物層 7 0 4 b と、絶縁層 7 0 3 c が直接接することがなく、トラップセンターの形成を抑制することができる。半導体（酸化物半導体）と、絶縁層との界面に形成されたトラップセンターは、電子を捕獲し、トランジスタのしきい値電圧をプラス方向に変動させるため、トランジスタの信頼性や、オン、オフ特性に悪影響を及ぼす恐れがある。よって、当該酸化物を用いるトランジスタは、トラップセンターによる電気特性の影響を受けることがないため、オン状態においてより高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。また、当該トランジスタ、および当該トランジスタを用いた半導体装置は、高い信頼性を得ることができる。

40

## 【 0 0 7 7 】

図 2 ( D ) に示すメモリトランジスタ 7 1 0 は、絶縁層 7 0 3 a、絶縁層 7 0 3 b、お

50

よび絶縁層 703c の内側に、酸化物層 704a が設けられ、酸化物層 704a の内側に酸化物層 704b が設けられ、酸化物層 704b の内側に酸化物層 704c が設けられている。また、酸化物層 704c の内側には、絶縁層 711 が埋め込まれるように設けられていてもよい。なお、絶縁層 711 は、必ずしも設けなくてよく、酸化物層 704c の内側は、空洞でもよい。

【0078】

酸化物層 704b は、酸化物層 704a、および酸化物層 704c に挟まれるように設けられる。このとき、酸化物層 704c は、酸化物層 704a と同様にワイドギャップであることが好ましい。ワイドギャップである酸化物層 704c を設けることで、酸化物層 704 を流れるキャリアを酸化物層 704b に閉じ込めることができ、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。

10

【0079】

また、酸化物層 704c の内側に絶縁層 711 を設ける場合、絶縁層 711 は、酸化物層 704 に酸素を供給できる材料であることが好ましい。絶縁層 711 として、水素や窒素を極力含まない酸化物を用いることで、酸化物層 704 に酸素を供給できる場合がある。酸化物層 704 に酸素を供給することで、酸化物層 704 中に含まれる水素や水などの不純物を除去することができ、酸化物層 704 は高純度化する。不純物が極力低減された酸化物を酸化物層 704 として用いることで、メモリトランジスタ、および当該トランジスタを用いた半導体装置は、高い信頼性を得ることができる。

20

【0080】

また、絶縁層 711 として、水素や窒素などの不純物を供給できる材料を用いることもできる。絶縁層 711 に水素や窒素を含む酸化物を用いることで、酸化物層 704 に水素や窒素を供給できる場合がある。酸化物層 704 に水素や窒素を供給することで、酸化物層 704 の抵抗値が下がる場合がある。酸化物層 704 の抵抗値を、回路動作の弊害にならない程度に下げること、より低い駆動電圧で、メモリトランジスタを動作させることができる。また、メモリトランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。

【0081】

図 2 (D) には、選択トランジスタ (ビット線側トランジスタ: SDT、またはソース線側トランジスタ: SST) 及びその近傍における斜視図を示している。

30

【0082】

図 2 (D) に示すように、選択トランジスタには電荷蓄積層を設けなくてもよい。よって、ビット線側トランジスタ: SDT、およびソース線側トランジスタ: SST において、絶縁層 703 として絶縁層 703b および絶縁層 703c を設けず、絶縁層 703a のみを設ける構成にしてもよい。

【0083】

なお、図 2 (D) において、酸化物層 704 を単層で示しているが、これに限らない。酸化物層 704 は、上記で例示した、2 層構造または 3 層構造としてもよいし、4 層以上の積層構造でもよい。また、酸化物層 704 の内側に、絶縁層 711 が設けられていてもよい。

40

【0084】

なお、メモリトランジスタ 710 が設けられる、積層体に形成された開口は、図 1 (A) や、図 2 の各図において、上面を円形状としているがこれに限られるものではなく、例えば上面を楕円形状としてもよいし、三角形、四角形などの多角形状にしてもよい。また、多角形状とする場合、角部が丸みを帯びている形状としてもよい。また、当該開口の上面形状や断面形状に合わせて、絶縁層 703、および酸化物層 704 の上面形状や断面形状も変化することがある。また、当該開口は、上方 (導電層 705 側) の開口の断面積と比較して、下方 (導電層 706 側) の開口の断面積が狭くなるような形状としてもよい。

【0085】

50

## 〔接続構成例〕

図 3 は、メモリトランジスタを 6 段有するメモリセルアレイ 7 0 0 M を複数組み合わせた記憶装置 7 0 0 A を説明する上面図である。なお、図 3 では、説明を容易にするため、一部の構成要素を省略している。例えば、導電層 7 0 1 上に設けられる選択トランジスタ（ビット線側トランジスタ：S D T、およびソース線側トランジスタ：S S T）や、それらの構成要件である導電層 7 0 2 は、省略している。また、ビット線 B L やソース線 S L の一部として機能する導電層 7 0 5、およびワード線 W L の一部として機能する導電層 7 0 8 は、実線にて示している。

## 【0086】

記憶装置 7 0 0 A において、各メモリセルアレイ 7 0 0 M は、6 段のメモリトランジスタを有するメモリストリングを 4 つ有する。

10

## 【0087】

メモリストリングのビット線側の端は、それぞれ異なるビット線 B L（B L \_\_ 1 乃至 B L \_\_ 4）と電氣的に接続する。一方、メモリストリングのソース線側の端は、ソース線 S L と電氣的に接続されており、共通の電位が与えられている。ソース線 S L は、接地されていてもよいし、一定の電位が与えられていてもよい。また、回路の動作に合わせて、電位を変動させてもよい。

## 【0088】

導電層 7 0 1 \_\_ 1 乃至導電層 7 0 1 \_\_ 6 は、それぞれ異なるワード線 W L と電氣的に接続する。ビット線側の導電層 7 0 1 \_\_ 1 乃至導電層 7 0 1 \_\_ 6 は、それぞれ W L a \_\_ 1 乃至 W L a \_\_ 6 と電氣的に接続し、ソース線側の導電層 7 0 1 \_\_ 1 乃至導電層 7 0 1 \_\_ 6 は、それぞれ W L b \_\_ 1 乃至 W L b \_\_ 6 と電氣的に接続する。

20

## 【0089】

ビット線 B L（B L \_\_ 1 乃至 B L \_\_ 4）、およびワード線（W L a \_\_ 1 乃至 W L a \_\_ 6、および W L b \_\_ 1 乃至 W L b \_\_ 6）を適宜選択することで、メモリセルアレイ 7 0 0 M 内の任意のメモリトランジスタを選択することができる。また、選択されたメモリトランジスタに対して、書き込み、読み出し、消去などを行うことができる。

## 【0090】

また、各メモリストリングには、選択トランジスタ（図示しない）が設けられているため、記憶装置 7 0 0 A 内の任意のメモリセルアレイ 7 0 0 M を選択し、選択されたメモリセルアレイ 7 0 0 M 内の任意のメモリトランジスタに対して、書き込み、読み出し、消去などを行うことができる。

30

## 【0091】

## 〔回路部〕

回路部 7 0 0 D には、少なくとも 1 つ以上のトランジスタ 7 5 0 が設けられている。図 1（A）、（B）には、回路部 7 0 0 D の例として、トランジスタ 7 5 0 を示している。トランジスタ 7 5 0 は、チャンネルが形成される半導体層に金属酸化物が適用され、極めて耐圧の高いトランジスタである。

## 【0092】

トランジスタ 7 5 0 は、酸化物層 7 5 1、導電層 7 5 2、導電層 7 5 3 a、導電層 7 5 3 b、及び絶縁層 7 5 4 を有する。酸化物層 7 5 1 は、絶縁層 7 2 4 上に設けられる。絶縁層 7 5 4 は酸化物層 7 5 1 上に設けられ、その一部はゲート絶縁層として機能する。導電層 7 5 2 は絶縁層 7 5 4 上に設けられ、その一部はゲート電極として機能する。導電層 7 5 3 a 及び導電層 7 5 3 b は、それぞれ酸化物層 7 5 1 と接して設けられ、ソース電極またはドレイン電極として機能する。

40

## 【0093】

ここで、酸化物層 7 5 1 は、上記メモリトランジスタ 7 1 0 が有する酸化物層 7 0 4 と同じ酸化物膜を加工して形成されていることが好ましい。さらに、導電層 7 5 3 a 及び導電層 7 5 3 b は、上記メモリセルアレイ 7 0 0 M の導電層 7 0 5 や導電層 7 0 8 と同じ導電膜を加工して形成されていることが好ましい。

50

## 【0094】

これにより、トランジスタ750の作製工程の一部を、メモリセルアレイ700Mの作製工程と兼ねることができるため、低コストでメモリセルアレイ700Mと回路部700Dとを同一基板上に形成することができる。

## 【0095】

絶縁層754は、上記絶縁層703aと同様の材料を用いることができる。

## 【0096】

導電層752は、上記導電層701等と同様の材料を用いることができる。

## 【0097】

続いて、トランジスタ750とメモリセルアレイ700Mとの接続例について説明する。

10

## 【0098】

図4(A)には、トランジスタ750の拡大図を示している。さらに図4(A)では、トランジスタ750と電氣的に接続する1つのワード線と、1つのメモリストリングの断面概略図を示している。

## 【0099】

図4(A)では、トランジスタ750を覆って、複数の開口を有する絶縁層761が設けられている。また絶縁層761の開口を埋める複数の接続層(接続層762、接続層763、接続層764a、接続層764b等)が設けられている。また、絶縁層761上には、配線として機能する複数の導電層(導電層765、導電層766a、導電層766b等)が設けられている。

20

## 【0100】

トランジスタ750の導電層753bは、接続層764bを介して導電層766bと電氣的に接続されている。また、トランジスタ750の導電層753aと、導電層701とは、接続層707、導電層708、接続層763、導電層766a、及び接続層764aを介して電氣的に接続されている。また、導電層705は、接続層762を介して導電層765と電氣的に接続されている。

## 【0101】

このような構成とすることで、トランジスタ750とワード線として機能する導電層701とを電氣的に接続することができる。

## 【0102】

30

ここで、図4(A)に示すトランジスタ750は、半導体層として機能する酸化物層751の上面の一部、及び側面に接して導電層753aと導電層753bとが設けられている。また、絶縁層754と導電層752とは、それぞれ導電層753a及び導電層753bと重畳する部分を有する。図4(A)に示すトランジスタは750の構造は、TGTCT(Top-Gate-Bottom-Contact)型のトランジスタとすることができる。

## 【0103】

図4(B)には、図4(A)とは一部の構成が異なる断面構成例を示している。

## 【0104】

図4(B)に示すトランジスタ750は、酸化物層751の端部と、導電層753aの端部または導電層753bの端部が、それぞれ一致している。また導電層753a及び導電層753bの下には酸化物層751が存在し、導電層753a及び導電層753bと絶縁層724とが接しないように形成されている。このような構成とすることで、導電層753a及び導電層753b等に絶縁層724中の酸素が拡散することを防ぐことができ、絶縁層724から酸化物層751に供給しうる酸素の量が減少することを防止できるとともに、導電層753a及び導電層753bが酸化されて導電性が低下することを抑制することができる。

40

## 【0105】

図4(B)に示すような構成は、例えば酸化物層751となる酸化物膜と、導電層753a及び導電層753bとなる導電膜を積層した積層膜を成膜し、酸化物層751となる

50

領域を残すように当該積層膜を加工し、続いて、酸化物層 751 上のチャネル形成領域と重なる導電膜の一部をエッチングにより除去することで、形成することができる。

【0106】

ここで、導電層 708 と接続層 707 との間に、酸化物層 751 と同じ酸化物を含む酸化物層 751a が形成される場合がある。酸化物層 751a は、導電層 708 や接続層 707 と接するため、工程中にかかる熱などにより、膜中の酸素が引き抜かれることや、水素が供給されることなどによって、キャリア密度が十分に高い状態、すなわち十分に低抵抗化された状態となっている。そのため、酸化物層 751a が設けられることによる電気抵抗の上昇の影響はほとんどないと言える。

【0107】

以上が構成例についての説明である。

【0108】

〔金属酸化物〕

以下では、上記構成例で例示した酸化物層 704、および酸化物層 751 等に適用可能な金属酸化物について説明する。

【0109】

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウムまたはスズなどが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

【0110】

ここでは、金属酸化物が、インジウム、元素 M および亜鉛を有する In-M-Zn 酸化物である場合を考える。なお、元素 M は、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素 M に適用可能な元素としては、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素 M として、前述の元素を複数組み合わせることもできる。

【0111】

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物 (metal oxide) と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物 (metal oxynitride) と呼称してもよい。

【0112】

〔金属酸化物の構成〕

以下では、本発明の一態様で開示されるトランジスタに用いることができる CAC (Cloud-Aligned Composite) - OS の構成について説明する。

【0113】

なお、本明細書等において、CAAC (c-axis aligned crystal)、および CAC (Cloud-Aligned Composite) と記載する場合がある。なお、CAAC は結晶構造の一例を表し、CAC は機能、または材料の構成の一例を表す。

【0114】

CAC-OS または CAC-metal oxide とは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、CAC-OS または CAC-metal oxide を、トランジスタの活性層に用いる場合、導電性の機能は、キャリアとなる電子 (または正孔) を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能 (On/Off させる機能) を CAC-OS または CAC-metal oxide に付与することが

10

20

30

40

50

できる。CAC - OS または CAC - metal oxide において、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

【0115】

また、CAC - OS または CAC - metal oxide は、導電性領域、および絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がばけてクラウド状に連結して観察される場合がある。

【0116】

また、CAC - OS または CAC - metal oxide において、導電性領域と、絶縁性領域とは、それぞれ 0.5 nm 以上 10 nm 以下、好ましくは 0.5 nm 以上 3 nm 以下のサイズで材料中に分散している場合がある。

【0117】

また、CAC - OS または CAC - metal oxide は、異なるバンドギャップを有する成分により構成される。例えば、CAC - OS または CAC - metal oxide は、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記 CAC - OS または CAC - metal oxide をトランジスタのチャネル形成領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、および高い電界効果移動度を得ることができる。

【0118】

すなわち、CAC - OS または CAC - metal oxide は、マトリックス複合材 (matrix composite)、または金属マトリックス複合材 (metal matrix composite) と呼称することもできる。

【0119】

〔金属酸化物の構造〕

酸化物半導体 (金属酸化物) は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC - OS (c-axis aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc - OS (nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor) および非晶質酸化物半導体などがある。

【0120】

CAAC - OS は、c 軸配向性を有し、かつ a - b 面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。

【0121】

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、および七角形などの格子配列を有する場合がある。なお、CAAC - OS において、歪み近傍においても、明確な結晶粒界 (グレインバウンダリーともいう。)を確認することは難しい。すなわち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC - OS が、a - b 面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためである。

10

20

30

40

50

## 【0122】

また、CAAC-OSは、インジウム、および酸素を有する層（以下、In層）と、元素M、亜鉛、および酸素を有する層（以下、（M，Zn）層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、（M，Zn）層の元素Mがインジウムと置換した場合、（In，M，Zn）層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、（In，M）層と表すこともできる。

## 【0123】

CAAC-OSは結晶性の高い金属酸化物である。一方、CAAC-OSは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、金属酸化物の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損（Vo：oxygen vacancyともいう）など）の少ない金属酸化物ともいえる。したがって、CAAC-OSを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-OSを有する金属酸化物は熱に強く、信頼性が高い。

10

## 【0124】

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

20

## 【0125】

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する金属酸化物である。a-like OSは、鬆または低密度領域を有する。すなわち、a-like OSは、nc-OSおよびCAAC-OSと比べて、結晶性が低い。

## 【0126】

酸化物半導体（金属酸化物）は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

## 【0127】

〔金属酸化物を有するトランジスタ〕

続いて、上記金属酸化物をトランジスタのチャネル形成領域に用いる場合について説明する。

30

## 【0128】

なお、上記金属酸化物をトランジスタのチャネル形成領域に用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

## 【0129】

また、トランジスタには、キャリア密度の低い金属酸化物を用いることが好ましい。金属酸化物膜のキャリア密度を低くする場合においては、金属酸化物膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。例えば、金属酸化物は、キャリア密度が $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上とすればよい。

40

## 【0130】

また、高純度真性または実質的に高純度真性である金属酸化物膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

## 【0131】

また、金属酸化物のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い

50

金属酸化物をチャネル形成領域に有するトランジスタは、電気特性が不安定となる場合がある。

#### 【0132】

したがって、トランジスタの電気特性を安定にするためには、金属酸化物中の不純物濃度を低減することが有効である。また、金属酸化物中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

#### 【0133】

[不純物]

ここで、金属酸化物中における各不純物の影響について説明する。

10

#### 【0134】

金属酸化物において、第14族元素の一つであるシリコンや炭素が含まれると、金属酸化物において欠陥準位が形成される。このため、金属酸化物におけるシリコンや炭素の濃度と、金属酸化物との界面近傍のシリコンや炭素の濃度(二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)により得られる濃度)を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

#### 【0135】

また、金属酸化物にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。したがって、アルカリ金属またはアルカリ土類金属が含まれている金属酸化物をチャネル形成領域に用いたトランジスタはノーマリーオン特性となりやすい。このため、金属酸化物中のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより得られる金属酸化物中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

20

#### 【0136】

また、金属酸化物において、窒素が含まれると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている金属酸化物をチャネル形成領域に用いたトランジスタはノーマリーオン特性となりやすい。したがって、当該金属酸化物において、チャネル形成領域の窒素はできる限り低減されていることが好ましい。例えば、金属酸化物中の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

30

#### 【0137】

また、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている金属酸化物を用いたトランジスタはノーマリーオン特性となりやすい。このため、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

40

#### 【0138】

不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、トランジスタのオフ電流を低減し、安定した電気特性を付与することができる。

#### 【0139】

[作製方法例]

以下では、図1で例示した半導体装置700の作製方法の一例について、図5乃至図17を参照して説明する。なお、図5乃至図17の各図において、(A)はz軸方向から見

50

た上面図であり、(B)は(A)にA1 - A2の一点鎖線で示す部位の断面図であり、(C)は(A)にA3 - A4の一点鎖線で示す部位の断面図である。

【0140】

まず、絶縁表面を有する基板720上に導電層706を形成し、導電層706を覆うように、絶縁膜721を形成する(図5参照)。

【0141】

導電層706は、まず導電層706となる導電膜を形成し、リソグラフィー法を用いて加工し、導電層706を形成することができる。ただし、導電層706、および絶縁膜721の形成方法はこれに限らない。基板720上に絶縁膜721を形成し、絶縁膜721の不要な部分を除去することで、溝や開口を形成し、該溝や該開口部に導電層706を埋め込むように形成してもよい。このような導電層の形成方法をダマシン法(シングルダマシン法、デュアルダマシン法)と呼ぶ場合がある。ダマシン法で形成された導電層706、および絶縁膜721上にさらに絶縁膜を形成することで、図5に示す構造を得ることができる。

10

【0142】

導電層706や、絶縁膜721の形成は、スパッタリング法、化学気相成長(CVD: Chemical Vapor Deposition)法、分子線エピタキシー(MBE: Molecular Beam Epitaxy)法、パルスレーザ堆積(PLD: Pulsed Laser Deposition)法またはALD(Atomic Layer Deposition)法などを用いて行うことができる。

20

【0143】

なお、CVD法は、プラズマを利用するプラズマCVD(PECVD: Plasma Enhanced CVD)法、熱を利用する熱CVD(TCVD: Thermal CVD)法、光を利用する光CVD(Photo CVD)法などに分類できる。さらに用いる原料ガスによって金属CVD(MCVD: Metal CVD)法、有機金属CVD(MOCVD: Metal Organic CVD)法に分けることができる。

【0144】

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子(トランジスタ、容量素子など)などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

30

【0145】

また、ALD法も、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。また、ALD法も、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

【0146】

CVD法およびALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

40

【0147】

CVD法およびALD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、CVD法およびALD法では、原料ガスの流量比によって、任意

50

の組成の膜を成膜することができる。また、例えば、CVD法およびALD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間の分、成膜に掛かる時間を短くすることができる、半導体装置の生産性を高めることができる場合もある。

【0148】

なお、リソグラフィー法では、まず、フォトリソマスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電膜、半導体膜または絶縁膜などを所望の形状に加工することができる。例えば、KrFエキシマレーザ光、ArFエキシマレーザ光、EUV(Extreme Ultraviolet)光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体(例えば水)を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、マスクは不要となる。なお、レジストマスクの除去には、アッシングなどのドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、またはウェットエッチング処理後にドライエッチング処理を行うことができる。

【0149】

また、レジストマスクの代わりに絶縁膜や導電膜からなるハードマスクを用いてもよい。ハードマスクを用いる場合、導電膜上にハードマスク材料となる絶縁膜や導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。

【0150】

該加工はドライエッチング法やウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。

【0151】

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ(CCP: Capacitively Coupled Plasma)エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電源を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電源を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電源を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電源を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ(ICP: Inductively Coupled Plasma)エッチング装置などを用いることができる。

【0152】

導電膜のエッチングにハードマスクを用いる場合、当該エッチング処理は、ハードマスクの形成に用いたレジストマスクを除去してから行ってもよいし、レジストマスクを残したまま行ってもよい。後者の場合、エッチング中にレジストマスクが消失することがある。上記導電膜のエッチング後にハードマスクをエッチングにより除去してもよい。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要は無い。

【0153】

導電層706となる導電膜は、スパッタリング法を用いて、金属元素を含む導電膜を形成することが好ましい。また、CVD法を用いて形成することもできる。

【0154】

絶縁膜721の表面は、必要に応じて、平坦化処理が行われていることが好ましい。平坦化処理には、化学機械研磨(CMP)法やリフロー法を用いることができる。

10

20

30

40

50

## 【 0 1 5 5 】

続いて、絶縁膜 7 2 1 上に導電膜 7 0 1 A、および絶縁膜 7 2 2 A を交互に積層する。本実施の形態では、絶縁膜 7 2 1 上に導電膜 7 0 1 A を形成し、導電膜 7 0 1 A 上に絶縁膜 7 2 2 A を形成する例を示しているが、形成の順序はこれに限らない。絶縁膜 7 2 1 上に絶縁膜 7 2 2 A を形成し、絶縁膜 7 2 2 A 上に導電膜 7 0 1 A を形成してもよい。導電膜 7 0 1 A、および絶縁膜 7 2 2 A の形成には、C V D 法を用いることができる。また、スパッタリング法を用いてもよい。

## 【 0 1 5 6 】

また、本実施の形態では、導電膜 7 0 1 A、および絶縁膜 7 2 2 A の積層数は限られない。求められる半導体装置の性能に応じて、それぞれ 2 層以上形成することができる。例えば、導電膜 7 0 1 A、および絶縁膜 7 2 2 A は、それぞれ 1 6 層、3 2 層、6 4 層、または 1 2 8 層形成してもよいし、2 0 0 層以上形成してもよい。

10

## 【 0 1 5 7 】

続いて、最も上側に位置する絶縁膜 7 2 2 A 上に導電膜 7 0 2 A を形成する。その後、導電膜 7 0 2 A の上にマスク 7 2 3 を形成する（図 6 参照）。導電膜 7 0 2 A は、導電膜 7 0 1 A と同様な方法を用い、同様な材料を用いて形成することができる。なお、導電膜 7 0 2 A は、導電膜 7 0 1 A と同じ方法で形成してもよいし、異なる方法で形成してもよい。また、導電膜 7 0 2 A は、導電膜 7 0 1 A と同じ材料でもよいし、異なる材料でもよい。

## 【 0 1 5 8 】

20

次に、導電膜 7 0 2 A、導電膜 7 0 1 A、および絶縁膜 7 2 2 A を加工し、図 7 ( B ) に示すような階段状の導電膜 7 0 1 B、導電膜 7 0 2 B、および絶縁膜 7 2 2 B を形成する。導電膜 7 0 2 A、導電膜 7 0 1 A、および絶縁膜 7 2 2 A の加工において、導電膜 7 0 2 A、導電膜 7 0 1 A、および絶縁膜 7 2 2 A のエッチングと、マスク 7 2 3 のスリミングを交互に行うことで、階段状の導電膜 7 0 1 B、導電膜 7 0 2 B、および絶縁膜 7 2 2 B を形成することができる。導電膜 7 0 2 A、導電膜 7 0 1 A、および絶縁膜 7 2 2 A の加工により、マスク 7 2 3 は、幅、厚さ共に縮小し、マスク 7 2 3 A となる（図 7 参照）。

## 【 0 1 5 9 】

次に、マスク 7 2 3 A を除去し、絶縁層 7 2 4 を形成する。絶縁層 7 2 4 は、C V D 法を用いて形成することができる。絶縁層 7 2 4 は、C M P 法や、リフロー法を用いて、平坦化処理されていることが好ましい。続いて、絶縁層 7 2 4 上にマスク 7 2 5 を形成する（図 8 参照）。平坦化された絶縁層 7 2 4 上にマスク 7 2 5 を形成すると、リソグラフィの精度が向上するため好ましい。

30

## 【 0 1 6 0 】

次に、マスク 7 2 5 を用いて、絶縁層 7 2 4、導電膜 7 0 2 B、導電膜 7 0 1 B、絶縁膜 7 2 2 B、および絶縁膜 7 2 1 を加工する（図 9 参照）。該加工により、メモリトランジスタのゲートとして機能し、ワード線と電氣的に接続する導電層 7 0 1 と、選択トランジスタのゲートとして機能する導電層 7 0 2 が形成される。また、絶縁膜 7 2 2 B は、該加工により絶縁層 7 2 2 となる。

40

## 【 0 1 6 1 】

その後、マスク 7 2 5 を除去する。次に、上記加工により除去された部分を埋め込むように絶縁層 7 2 6 を形成する。絶縁層 7 2 6 は、C V D 法や A L D 法を用いて形成することができる。特に、A L D 法を用いることで、アスペクト比の大きい溝や開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、A L D 法と、C V D 法を組み合わせることで絶縁層 7 2 6 を形成してもよい。絶縁層 7 2 6 は、C M P 法や、リフロー法を用いて、平坦化処理されていることが好ましい。C M P 法を用いて平坦化処理を行う場合、絶縁層 7 2 4 の表面が露出するまで絶縁層 7 2 6 を研磨してもよい。また、絶縁層 7 2 4 が消失しない程度に、絶縁層 7 2 4 と絶縁層 7 2 6 とを一緒に研磨してもよい。

## 【 0 1 6 2 】

50

次に、絶縁層 724 を、リソグラフィー法を用いて加工し、導電層 701 が露出するように第 1 の開口を形成する（図 10 参照）。第 1 の開口は、階段状に形成された導電層 701 それぞれに対して形成する。また、図示しないが、導電層 702 が露出する開口も同時に形成することが好ましい。

#### 【0163】

次に、上記第 1 の開口に埋め込むように接続層 707 を形成する。接続層 707 は、CVD 法や ALD 法を用いて形成することができる。特に、熱 CVD 法や ALD 法を用いることで、アスペクト比の大きい溝や開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、CVD と ALD 法とを組み合わせることで接続層 707 を形成してもよい。また、接続層 707 は、複数の層からなる積層構造を有していてもよい。接続層 707 は、絶縁層 724 上、および第 1 の開口内部に接続層 707 となる導電膜を形成し、CMP などを用いて不要な導電膜を除去することで、形成することができる。

10

#### 【0164】

次に、絶縁層 724、導電層 702、導電層 701、絶縁層 722、および絶縁膜 721 を、リソグラフィー法を用いて加工し、導電層 706 が露出するように第 2 の開口を形成する（図 11 参照）。

#### 【0165】

次に、絶縁層 724、および接続層 707 上、および第 2 の開口内部に、絶縁層 703 となる絶縁膜 703A を形成する（図 12 参照）。なお、図示しないが、絶縁膜 703A は、絶縁層 703a となる絶縁膜と、絶縁層 703b となる絶縁膜と、絶縁層 703c となる絶縁膜を順次積層して形成すればよい。絶縁膜 703A は、CVD 法や ALD 法を用いて形成することができる。特に、ALD 法を用いることで、アスペクト比の大きい溝や開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、ALD 法と、CVD 法とを組み合わせることで絶縁膜 703A を形成してもよい。絶縁層 703a となる絶縁膜、絶縁層 703b となる絶縁膜、および絶縁層 703c となる絶縁膜は、同じ成膜装置で形成されてもよいし、異なる成膜装置で形成されてもよい。なお、絶縁層 703c が、絶縁層 703a より薄くなるように、絶縁層 703c となる絶縁膜は、絶縁層 703a となる絶縁膜よりも薄く形成することが好ましい。

20

#### 【0166】

次に、第 2 の開口底部に形成された絶縁膜 703A を除去し、絶縁層 703 を得る（図 13 参照）。絶縁膜 703A の除去には、異方性エッチングを用いることが好ましい。このとき、絶縁層 724、および接続層 707 上の絶縁膜 703A も除去されるため、絶縁層 703 は、第 2 の開口の側壁のみに設けられる。第 2 の開口底部の絶縁膜 703A を除去することで、再び導電層 706 が露出する。

30

#### 【0167】

ここで、図 13 (D) に示すように、第 2 の開口上部に位置する絶縁層 703 のうち、絶縁層 703b、および絶縁層 703c を除去することが好ましい。図 13 (D) は、図 13 (B) における一点鎖線で囲まれた部分の拡大図である。まず第 2 の開口内部に後工程にて容易に除去可能な犠牲層 727 を埋め込むように形成し、第 2 の開口内部の所望の深さまで、エッチングなどにより除去する。該エッチングにより、露出した絶縁層 703c、および絶縁層 703b を順次除去することで、導電層 702 の水平方向 (x-y 方向) に位置する絶縁層 703 を、絶縁層 703a のみとすることができる。この場合、選択トランジスタ SST、SDT のゲート絶縁膜は、絶縁層 703a により構成される。絶縁層 703c、および絶縁層 703b の除去後、犠牲層 727 を除去する。

40

#### 【0168】

次に、第 2 の開口内部、及び絶縁層 724 上に、酸化物膜 704A を形成する（図 14 参照）。酸化物膜 704A は、後に酸化物層 704 及び酸化物層 751 となる膜である。ここで、酸化物膜 704A を積層膜とする場合には、2 層または 3 層の酸化物膜を順次形成すればよい。このとき、トランジスタ 750 に適用される酸化物層 751 もまた、同様の積層構造とすることができる。

50

## 【 0 1 6 9 】

酸化物膜 7 0 4 A は、C V D 法、A L D 法、またはスパッタリング法を用いて形成することができる。特に、A L D 法を用いることで、アスペクト比の大きい溝や開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。または、A L D 法、スパッタリング法、またはC V D 法のうち 2 以上を組み合わせることで酸化物膜 7 0 4 A を形成してもよい。酸化物膜 7 0 4 A を積層膜とする場合には、酸化物層 7 0 4 a となる酸化物膜と酸化物層 7 0 4 b となる酸化物膜、または酸化物層 7 0 4 a となる酸化物膜、酸化物層 7 0 4 b となる酸化物膜、および酸化物層 7 0 4 c となる酸化物膜を順次成膜する。ここで、異なる酸化物膜は同じ成膜装置で形成されてもよいし、異なる成膜装置で形成されてもよい。

10

## 【 0 1 7 0 】

また、酸化物膜 7 0 4 A の内側に、絶縁層 7 1 1 を形成してもよい。絶縁層 7 1 1 は、C V D 法、またはA L D 法等で形成することができる。絶縁層 7 1 1 は、メモリトランジスタや、該メモリトランジスタを有する半導体装置に必要な特性に合わせて、酸化物層 7 0 4 に酸素を供給する材料や、水素を供給する材料を用いることができる。

## 【 0 1 7 1 】

ここで、酸化物膜 7 0 4 A は、導電層 7 0 6 と接するように形成する。酸化物膜 7 0 4 A と、導電層 7 0 6 が接することで、導電層 7 0 6 と酸化物膜 7 0 4 A の界面には、導電層 7 0 6 が有する金属元素と、酸化物膜 7 0 4 A の成分とを含む金属化合物層が形成される場合がある。該金属化合物が形成されることで、導電層 7 0 6 と、後の酸化物層 7 0 4 とのコンタクト抵抗が低減するため好ましい。また、酸化物膜 7 0 4 A の底部近傍に含まれる酸素を、導電層 7 0 6 が吸収する場合がある。このとき、酸化物膜 7 0 4 A の、導電層 7 0 6 との界面近傍の抵抗が低減し、導電層 7 0 6 と、後の酸化物層 7 0 4 とのコンタクト抵抗が低減するため好ましい。酸化物膜 7 0 4 A と、導電層 7 0 6 が接する状態で、熱処理を行うことで、酸化物膜 7 0 4 A の一部はより低抵抗化し、導電層 7 0 6 と、後の酸化物層 7 0 4 とのコンタクト抵抗がより低減する。熱処理は、窒素を含む雰囲気中、2 0 0 以上 5 0 0 以下、このましくは、3 0 0 以上 4 0 0 以下で行うことが好ましい。

20

## 【 0 1 7 2 】

続いて、酸化物膜 7 0 4 A 上に、マスク 7 3 1 を形成し、当該マスク 7 3 1 を用いて酸化物膜 7 0 4 A の不要な部分をエッチングする（図 1 5 参照）。これにより、柱状の酸化物層 7 0 4 と、薄膜状の酸化物層 7 5 1 とを同時に形成することができる。その後、マスク 7 3 1 を除去する。

30

## 【 0 1 7 3 】

ここで、絶縁層 7 1 1 を形成した場合には、マスク 7 3 1 を除去した後、エッチングにより酸化物層 7 5 1 及び酸化物層 7 0 4 上の絶縁層 7 1 1 を除去することが好ましい。

## 【 0 1 7 4 】

続いて、導電膜を成膜し、リソグラフィー法を用いて加工することにより、導電層 7 0 5、導電層 7 0 8、導電層 7 5 3 a、及び導電層 7 5 3 b を形成する（図 1 6 参照）。

## 【 0 1 7 5 】

なお図示しないが、導電膜のエッチングの条件によっては、酸化物層 7 5 1 の上部が薄膜化する場合がある。また、導電膜のエッチングの条件によっては、絶縁層 7 2 4 の導電層 7 0 5、導電層 7 0 8、導電層 7 5 3 a、及び導電層 7 5 3 b に覆われない部分が薄膜化する場合がある。

40

## 【 0 1 7 6 】

続いて、絶縁層 7 5 4 となる絶縁膜と、導電層 7 5 2 となる導電膜とを順次成膜し、リソグラフィー法を用いて加工することにより、絶縁層 7 5 4 と、導電層 7 5 2 を形成する（図 1 7 参照）。以上の工程により、トランジスタ 7 5 0 を形成することができる。

## 【 0 1 7 7 】

なお、絶縁層 7 5 4 となる絶縁膜をエッチングせずに、導電層 7 5 2 となる導電膜のみ

50

をエッチングしてもよい。このとき、絶縁層 754 は導電層 705 や導電層 708 等を覆うように設けられる。

【0178】

なお、図 4 (B) に示すトランジスタを形成する場合には、まず酸化物膜 704 A と、導電層 753 a 等となる導電膜とを積層した積層膜を形成し、酸化物層 751 となる領域等を残すように当該積層膜を加工する。その後、酸化物層 751 上のチャネル形成領域と重なる導電膜の一部をエッチングにより除去することで、形成することができる。これにより、より微細なトランジスタ 750 を作製することができる。

【0179】

以降の工程では、回路構成に応じて図 4 (A) で例示した絶縁層 761、接続層 762、接続層 763、接続層 764 a、接続層 764 b、導電層 765、導電層 766 a、及び導電層 766 b 等を形成すればよい。またこれよりも上部に、さらに絶縁層と、接続層と、配線として機能する導電層と、を積層して形成してもよい。

【0180】

以上のようにメモリセルアレイを作製することにより、各層ごとにメモリトランジスタを作製するためのパターン形成を行うことなく、複数の層のメモリトランジスタを一括で作製することができる。さらに、上記の方法でメモリセルアレイを作製する場合、メモリトランジスタの層数を増やしても、メモリトランジスタのパターン形成およびエッチング処理の工程数が増えない。このように、メモリセルアレイ作製の工程を短縮することができるので、生産性の高い半導体装置を提供することができる。

【0181】

さらに、メモリセルアレイの半導体層として機能する酸化物層と、トランジスタの半導体層として機能する酸化物層とを同時に形成することで、工程の増加を最小限に抑えつつ、メモリセルアレイの近傍にトランジスタを形成することができる。さらに、メモリセルアレイに接続する配線と、トランジスタのソース電極及びドレイン電極とを同時に形成することで、さらに工程を簡略化できる。

【0182】

以上が半導体装置の作製方法についての説明である。

【0183】

[ 記憶装置の構成例 ]

図 18 (A) に、3 次元構造の NAND 型不揮発性記憶装置 (3D NAND) の構成例を示す。図 18 (A) に示す記憶装置 100 は、制御回路 105、メモリセルアレイ 110、及び周辺回路を有する。

【0184】

制御回路 105 は、記憶装置 100 全体を統括的に制御し、データの書き込み、データの読み出しを行う機能を有する。制御回路 105 は、外部からのコマンド信号を処理して、周辺回路の制御信号を生成する。図 18 (A) には、周辺回路として、行デコーダ 121、行ドライバ 122、センスアンプ 123、ソース線ドライバ 124、入出力回路 125、バッファ 126 等が設けられている。

【0185】

メモリセルアレイ 110 は、複数のメモリストリング 112 を有する。図 18 (B) にメモリストリング 112 の回路構成例を示す。メモリストリング 112 において、ビット線 BL とソース線 SL 間に、選択トランジスタ SST、メモリトランジスタ MT1 乃至 MT2k (k は 1 以上の整数)、選択トランジスタ SDT が電氣的に直列接続されている。

【0186】

なお、メモリトランジスタ MT1 乃至 MT2k を区別しない場合、メモリトランジスタ MT と呼ぶ。その他の要素についても同様である。

【0187】

選択トランジスタ SST、SDT、メモリトランジスタ MT1 乃至 MT2k は、それぞれ、前述した通り、チャネルが金属酸化物で形成されているトランジスタである。メモリ

10

20

30

40

50

トランジスタM Tは電荷蓄積層を備えており、不揮発性メモリセルを構成する。

【0188】

選択トランジスタS S T、S D Tのゲートは、それぞれ、選択ゲート線S G L、D G Lに電氣的に接続されている。メモリトランジスタM T 1乃至M T 2 kのゲートは、それぞれ、ワード線W L 1乃至W L 2 kに電氣的に接続されている。ビット線B Lは列方向に延在し、選択ゲート線S G L、D G L、ワード線W Lは行方向に延在する。

【0189】

入出力回路1 2 5は、メモリセルアレイ1 1 0への書き込みデータを一時的に保持こと、メモリセルアレイ1 1 0から読み出されたデータを一時的に保持すること等を行う。

【0190】

ソース線ドライバ1 2 4は、ソース線S Lを駆動する。

【0191】

ビット線B Lはセンスアンプ1 2 3に電氣的に接続される。センスアンプ1 2 3は、データの読み出し時において、メモリストリング1 1 2からビット線B Lに読みだされた電圧を検知し、増幅する。また、データの書き込み時において、書き込みデータに応じた電圧をビット線B Lに入力する。

【0192】

行デコーダ1 2 1は、外部から入力されるアドレスデータをデコードし、アクセスされる行を選択する。行ドライバ1 2 2は、行デコーダ1 2 1のデコード結果に応じて、データの書き込み、読出し、および消去に必要な電圧を、選択信号線D G L、S G L、ワード線W Lに入力する。

【0193】

バッファ1 2 6は、行デコーダ1 2 1とワード線W Lとの間に位置し、ワード線W Lに与える電圧を安定化させる機能を有する。また、スイッチング素子を有し、セレクトとしての機能を有していてもよい。

【0194】

図18(C)に、バッファ1 2 6に用いることのできるインバータ回路1 2 6 aを示す。インバータ回路1 2 6 aは、トランジスタM 1とトランジスタM 2が直列に接続された構成を有する。またトランジスタM 1のゲートは入力信号が入力される入力端子I Nが接続され、トランジスタM 2のゲートは上記入力信号を反転した信号が入力される入力信号I N Bが接続される。インバータ回路1 2 6 aの出力端子O U Tには、例えばワード線W Lが接続される。

【0195】

図18(D)に、バッファ1 2 6に用いることのできるスイッチ回路1 2 6 bを示す。スイッチ回路1 2 6 bは、トランジスタM 3を有する。トランジスタM 3のゲートは入力端子S Wが接続され、ソースまたはドレインの一方は入力端子I Nが接続され、他方は出力端子O U Tが接続される。入力端子S Wに入力される選択信号により、入力端子I Nと出力端子O U Tの導通または非導通が制御される。

【0196】

上記で例示した、高耐圧のトランジスタ7 5 0は、例えばバッファ1 2 6、行ドライバ1 2 2、センスアンプ1 2 3、ソース線ドライバ1 2 4等有するトランジスタに適用することができる。またバッファ1 2 6にトランジスタ7 5 0を適用する場合、例えばインバータ回路1 2 6 aのトランジスタM 1及びトランジスタM 2の少なくとも一方や、スイッチ回路1 2 6 bのトランジスタM 3に適用することができる。

【0197】

図19乃至図21に、メモリセルアレイ1 1 0の三次元積層構造例を示す。図19は、メモリセルアレイ1 1 0の三次元構造例を回路図で模式的に示した図である。図20は、メモリセルアレイ1 1 0の三次元構造例を示す斜視図である。図21は、ワード線W Lと導電層7 0 1の接続部の三次元構造例を示す斜視図である。

【0198】

10

20

30

40

50

図 19 に示すように、メモリセルアレイ 110 は、センスアンプ 123 が形成されている領域に積層して設けられている。これにより、記憶装置 100 のレイアウト面積を縮小することができる。各ワード線 WL は、高耐圧のトランジスタを有するバッファ 126 と電氣的に接続され、バッファ 126 はその下部に設けられた行ドライバ 122 に電氣的に接続されている。なお、図 19 では行ドライバ 122 をバッファ 126 の下部に設けた例を示したが、行ドライバ 122 の一部または全部を高耐圧のトランジスタで構成し、バッファ 126 と並べて配置してもよい。

【0199】

また図 20 及び図 21 に示すように、同じ段の導電層 701 でも、ビット線 BL 側の導電層 701a はワード線 WL a に接続され、ソース線 SL 側の導電層 701b はワード線 WL b に接続される。なお、図 19 乃至図 21 には、1 のメモリストリング 112 あたり、8 個のメモリトランジスタ MT 1 乃至 MT 8 を設けた例を示している。

【0200】

ここで、上記ではメモリセルアレイ 110 として、電荷蓄積層を備えるメモリトランジスタが適用されたメモリストリング 112 を有する例を示した。このようなメモリトランジスタとしては、例えば、MONOS 構造を有するトランジスタ、SONOS 構造を有するトランジスタ、または、浮遊ゲート (Floating Gate) 構造を有するトランジスタなどがある。

【0201】

なお、メモリセルアレイ 110 に適用できるメモリセルはこれに限られない。図 22 (A)、(B) に、異なる構成を有するメモリセルの回路図の例を示す。

【0202】

図 22 (A) には、2 つのメモリセル 131 を示している。メモリセル 131 は、トランジスタ M と、容量素子 C を有する。またメモリセル 131 には、ワード線 WL 1 またはワード線 WL 2 と、ビット線 BL と、所定の電位が与えられる配線 PL とが接続されている。

【0203】

トランジスタ M は、ゲートがワード線 WL 1 またはワード線 WL 2 と接続し、ソースまたはドレインの一方がビット線 BL と接続し、ソースまたはドレインの他方が容量素子 C の一方の電極と接続する。容量素子 C は、他方の電極が配線 PL と接続する。

【0204】

メモリセル 131 は、容量素子 C に電荷を蓄積することで、データを保持することができる。

【0205】

トランジスタ M に、酸化物半導体が適用され、極めてオフ電流の小さいトランジスタを適用することで、シリコンが適用されたトランジスタを用いた場合に比べて、データ保持期間を極めて長いものとすることができる。そのため、リフレッシュ動作の頻度を低減できるため、極めて消費電力の低いメモリセルを実現できる。

【0206】

図 22 (B) には、2 つのメモリセル 132 を示している。メモリセル 132 は、トランジスタ M1、トランジスタ M2、及び容量素子 C を有する。またメモリセル 132 には、ワード線 WL 1 またはワード線 WL 2 と、ビット線 BL と、選択信号線として機能する配線 SL 1 または配線 SL 2 と、読み出し信号線として機能する配線 RL 1 または配線 RL 2 と、所定の信号が与えられる配線 PL が接続されている。

【0207】

トランジスタ M1 は、ゲートがワード線 WL 1 またはワード線 WL 2 と接続し、ソースまたはドレインの一方がビット線 BL と接続し、ソースまたはドレインの他方が容量素子 C の一方の電極、及びトランジスタ M2 のゲートと接続する。トランジスタ M2 は、ソースまたはドレインの一方が配線 SL 1 または配線 SL 2 と接続し、ソースまたはドレインの他方が配線 RL 1 または配線 RL 2 と接続する。容量素子 C は、他方の電極が配線 PL

10

20

30

40

50

と接続する。

【0208】

メモリセル132は、トランジスタM2のゲートが接続されるノードの電位を保持することで、データを保持することができる。また、トランジスタM2にかかる電位に応じて、トランジスタM2の導通状態が変化するため、配線SL1（または配線SL2）と配線RL1（または配線RL2）との間に流れる電流を検知することで、非破壊でデータを読み出すことができる。

【0209】

トランジスタM1に、酸化物半導体が適用され、極めてオフ電流の小さいトランジスタを適用することで、シリコンが適用されたトランジスタを用いた場合に比べて、データ保持期間を極めて長いものとすることができる。またトランジスタM2には、単結晶シリコンを適用したトランジスタを適用することが好ましい。

10

【0210】

〔記憶装置の回路動作について〕

次に、メモリストリング112へのデータの書き込みと読み出し動作について、図23（A）乃至（C）を用いて説明する。なお、以降において、ワード線WL1乃至ワード線WL2kを共有するメモリトランジスタMTのまとまりをページと呼ぶ。

【0211】

図23（A）乃至（C）では、一例として、メモリストリング112がメモリトランジスタMT1乃至MT8を有する例を示しているが、メモリトランジスタMTの数はこれに限定されない。

20

【0212】

〔消去動作〕

メモリトランジスタMTにデータを書き込む場合は、書き込み動作の前にデータを消去しておくことが好ましい。なお、データを消去する動作をリセット動作ともいう場合がある。消去動作は、メモリストリング112（ブロックともいう）ごとに行う。例えば、データを消去したいブロックを選択し、図23（A）に示すように、ワード線WL1乃至WL8には低電位（メモリトランジスタMT1乃至MT8が非導通となる電位、例えば0V）を印加し、ソース線SLおよびビット線BLに消去電位VEを印加し、選択トランジスタSDTおよび選択トランジスタSSTを導通させることで行うことができる。リセット動作により、メモリトランジスタMT1乃至MT8のそれぞれの電荷蓄積層に蓄積された電子を引き抜くことができる。これにより、メモリトランジスタMT1乃至MT8は、データ“1”を保持している状態となる。

30

【0213】

なお、データの書き換えを行わないメモリトランジスタMTのデータは、ブロックの消去動作の前に別のメモリ領域に格納しておくことが好ましい。

【0214】

〔書き込み動作〕

まず、データの書き込み動作について図23（B）を用いて説明する。

【0215】

データの書き込み動作は、上述したページごとに行うことができる。まず、書き込みを行うページのワード線に書き込み電位（例えば1.5V）を印加し、書き込みを行わないページのワード線に正電位（トランジスタが導通する電位、例えば3V）を印加する。ここでは、図23（B）に示すように、まずワード線WL1に書き込み電位を印加し、ワード線WL2乃至WL8に正電位を印加する。そして、選択トランジスタSSTを非導通状態とし、選択トランジスタSDTを導通状態とする。そうすることで、ビット線BLの電位に応じたデータがメモリトランジスタMT1に書き込まれる。具体的には、ビット線BLの電位が低い電位（例えば0V）である場合、ワード線WL1に印加された書き込み電位との電位差が大きくなることによってメモリトランジスタMT1の電荷蓄積層に電子が注入される。また、ビット線BLの電位が正電位である場合、ワード線WL1に印加された

40

50

書き込み電位との電位差が小さくなることによって、メモリトランジスタMT1の電荷蓄積層には電子が注入されない。即ち、ビット線BLに低い電位が印加された場合にはメモリトランジスタMT1にデータ“0”が書き込まれ、正電位が印加された場合にはメモリトランジスタMT1セルのデータは“1”のままとなる。

#### 【0216】

ここで、ビット線BLにメモリストリング112ごとに異なる電位を印加することで、ページごとのデータの書き込みを行うことができる。

#### 【0217】

なお、メモリトランジスタMTに多値のデータを書き込むこともできる。例えば、ビット線BLなどの電位や、電位を印加する時間によってメモリトランジスタの電荷蓄積層に注入される電荷量を制御すればよい。

#### 【0218】

〔読み出し動作〕

次に、データの読み出し動作について図23(C)を用いて説明する。

#### 【0219】

データの読み出し動作も、ページごとに行うことができる。まず、読み出しを行うページのワード線に低い電位(例えば0V)を印加し、読み出しを行わないページのワード線に正電位(トランジスタが導通する電位、例えば3V)を印加する。ここでは、図23(C)に示すように、まずワード線WL1に低い電位を印加し、ワード線WL2乃至WL8に正電位を印加する。そして、選択トランジスタSSTおよび選択トランジスタSSTを導通状態とする。また、ビット線BLに読み出し電位(例えば1V)を印加し、ソース線SLに低い電位(例えば0V)を印加する。このとき、メモリトランジスタがdata“1”であればメモリストリング112に電流が流れ、ビット線BLの電位が降下する。メモリトランジスタMT1が記憶するデータが“0”であれば、メモリストリング112に電流は流れず、ビット線BLの電位は変化しない。センスアンプ123は、ビット線BLの電位を検知し、増幅する。以上により、メモリストリング112のデータを読み出すことができる。

#### 【0220】

ここで、各メモリストリング112のデータをビット線BLに読み出すことで、ページ単位でデータを読み出すことができる。

#### 【0221】

以上が記憶装置の回路動作についての説明である。

#### 【0222】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

#### 【0223】

(実施の形態2)

本実施の形態では、先の実施の形態に示す半導体装置を用いた記憶装置の応用例について説明する。先の実施の形態に示す半導体装置は、例えば、各種電子機器(例えば、情報端末、コンピュータ、スマートフォン、電子書籍端末、デジタルカメラ(ビデオカメラも含む)、録画再生装置、ナビゲーションシステムなど)の記憶装置に適用できる。なお、ここで、コンピュータとは、タブレット型のコンピュータや、ノート型のコンピュータや、デスクトップ型のコンピュータの他、サーバシステムのような大型のコンピュータを含むものである。または、先の実施の形態に示す半導体装置は、メモ리카ード(例えば、SDカード)、USBメモリ、SSD(ソリッド・ステート・ドライブ)等の各種のリムーバブル記憶装置に適用される。図24にリムーバブル記憶装置の幾つかの構成例を模式的に示す。例えば、先の実施の形態に示す半導体装置は、パッケージングされたメモリチップに加工され、様々なストレージ装置、リムーバブルメモリに用いられる。

#### 【0224】

図24(A)はUSBメモリの模式図である。USBメモリ1100は、筐体1101

10

20

30

40

50

、キャップ 1 1 0 2、U S B コネクタ 1 1 0 3 および基板 1 1 0 4 を有する。基板 1 1 0 4 は、筐体 1 1 0 1 に収納されている。例えば、基板 1 1 0 4 には、メモリチップ 1 1 0 5、コントローラチップ 1 1 0 6 が取り付けられている。基板 1 1 0 4 のメモリチップ 1 1 0 5 などに先の実施の形態に示す半導体装置を組み込むことができる。

【 0 2 2 5 】

図 2 4 ( B ) は S D カードの外観の模式図であり、図 2 4 ( C ) は、S D カードの内部構造の模式図である。S D カード 1 1 1 0 は、筐体 1 1 1 1、コネクタ 1 1 1 2 および基板 1 1 1 3 を有する。基板 1 1 1 3 は筐体 1 1 1 1 に収納されている。例えば、基板 1 1 1 3 には、メモリチップ 1 1 1 4、コントローラチップ 1 1 1 5 が取り付けられている。基板 1 1 1 3 の裏面側にもメモリチップ 1 1 1 4 を設けることで、S D カード 1 1 1 0 の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板 1 1 1 3 に設けてもよい。これによって、ホスト装置と S D カード 1 1 1 0 間の無線通信によって、メモリチップ 1 1 1 4 のデータの読み出し、書き込みが可能となる。基板 1 1 1 3 のメモリチップ 1 1 1 4 などに先の実施の形態に示す半導体装置を組み込むことができる。

10

【 0 2 2 6 】

図 2 4 ( D ) は S S D の外観の模式図であり、図 2 4 ( E ) は、S S D の内部構造の模式図である。S S D 1 1 5 0 は、筐体 1 1 5 1、コネクタ 1 1 5 2 および基板 1 1 5 3 を有する。基板 1 1 5 3 は筐体 1 1 5 1 に収納されている。例えば、基板 1 1 5 3 には、メモリチップ 1 1 5 4、メモリチップ 1 1 5 5、コントローラチップ 1 1 5 6 が取り付けられている。メモリチップ 1 1 5 5 はコントローラチップ 1 1 5 6 のワークメモリであり、例えば D R A M チップを用いればよい。基板 1 1 5 3 の裏面側にもメモリチップ 1 1 5 4 を設けることで、S S D 1 1 5 0 の容量を増やすことができる。基板 1 1 5 3 のメモリチップ 1 1 5 4 などに先の実施の形態に示す半導体装置を組み込むことができる。

20

【 0 2 2 7 】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【 0 2 2 8 】

( 実施の形態 3 )

本実施の形態では、図 2 5 を用いて、上記実施の形態に示す半導体装置を適用した、A I システムについて説明を行う。

30

【 0 2 2 9 】

図 2 5 は A I システム 4 0 4 1 の構成例を示すブロック図である。A I システム 4 0 4 1 は、演算部 4 0 1 0 と、制御部 4 0 2 0 と、入出力部 4 0 3 0 を有する。

【 0 2 3 0 】

演算部 4 0 1 0 は、アナログ演算回路 4 0 1 1 と、D O S R A M 4 0 1 2 と、N O S R A M 4 0 1 3 と、F P G A 4 0 1 4 と、3 D - N A N D 4 0 1 5 を有する。

【 0 2 3 1 】

ここで、D O S R A M ( 登録商標 ) とは、「D y n a m i c O x i d e S e m i c o n d u c t o r R A M」の略称であり、1 T ( トランジスタ ) 1 C ( 容量 ) 型のメモリセルを有する R A M を指す。

40

【 0 2 3 2 】

また、N O S R A M ( 登録商標 ) とは「N o n v o l a t i l e O x i d e S e m i c o n d u c t o r R A M」の略称であり、ゲインセル型 ( 2 T 型、3 T 型 ) のメモリセルを有する R A M を指す。D O S R A M、N O S R A M は、酸化物を半導体に用いたトランジスタ ( 以下、O S トランジスタと呼ぶ。 ) のオフ電流が低いことを利用したメモリである。なお、以下において、N O S R A M のように O S トランジスタを用いたメモリ装置を、O S メモリと呼ぶ場合がある。

【 0 2 3 3 】

制御部 4 0 2 0 は、C P U ( C e n t r a l P r o c e s s i n g U n i t ) 4 0 2 1 と、G P U ( G r a p h i c s P r o c e s s i n g U n i t ) 4 0 2 2 と、P L L

50

(Phase Locked Loop) 4023と、SRAM(Static Random Access Memory) 4024と、PROM(Programmable Read Only Memory) 4025と、メモリコントローラ4026と、電源回路4027と、PMU(Power Management Unit) 4028と、を有する。

【0234】

入出力部4030は、外部記憶制御回路4031と、音声コーデック4032と、映像コーデック4033と、汎用入出力モジュール4034と、通信モジュール4035と、を有する。

【0235】

演算部4010は、ニューラルネットワークによる学習または推論を実行することができる。

【0236】

アナログ演算回路4011はA/D(アナログ/デジタル)変換回路、D/A(デジタル/アナログ)変換回路、および積和演算回路を有する。

【0237】

アナログ演算回路4011はOSトランジスタを用いて形成することが好ましい。OSトランジスタを用いたアナログ演算回路4011は、アナログメモリを有し、学習または推論に必要な積和演算を、低消費電力で実行することが可能になる。

【0238】

DOSRAM4012は、OSトランジスタを用いて形成されたDRAMであり、DOSRAM4012は、CPU4021から送られてくるデジタルデータを一時的に格納するメモリである。DOSRAM4012は、OSトランジスタを含むメモリセルと、シトランジスタを含む読み出し回路部を有する。上記メモリセルと読み出し回路部は、積層された異なる層に設けることができるため、DOSRAM4012は、全体の回路面積を小さくすることができる。

【0239】

ニューラルネットワークを用いた計算は、入力データが1000を超えることがある。上記入力データをSRAMに格納する場合、SRAMは回路面積に制限があり、記憶容量が小さいため、上記入力データを小分けにして格納せざるを得ない。DOSRAM4012は、限られた回路面積でも、メモリセルを高集積に配置することが可能であり、SRAMに比べて記憶容量が大きい。そのため、DOSRAM4012は、上記入力データを効率よく格納することができる。

【0240】

NOSRAM4013はOSトランジスタを用いた不揮発性メモリである。NOSRAM4013は、フラッシュメモリや、ReRAM(Resistive Random Access Memory)、MRAM(Magnetoresistive Random Access Memory)などの他の不揮発性メモリと比べて、データを書き込む際の消費電力が小さい。また、フラッシュメモリやReRAMのように、データを書き込む際に素子が劣化することなく、データの書き込み可能回数に制限が無い。

【0241】

また、NOSRAM4013は、1ビットの2値データの他に、2ビット以上の多値データを記憶することができる。NOSRAM4013は多値データを記憶することで、1ビット当たりのメモリセル面積を小さくすることができる。

【0242】

また、NOSRAM4013は、デジタルデータの他にアナログデータを記憶することができる。そのため、アナログ演算回路4011は、NOSRAM4013をアナログメモリとして用いることもできる。NOSRAM4013は、アナログデータのまま記憶することができるため、D/A変換回路やA/D変換回路が不要である。そのため、NOSRAM4013は周辺回路の面積を小さくすることができる。なお、本明細書においてア

10

20

30

40

50

ナログデータとは、3ビット（8値）以上分解能を有するデータのことを指す。上述した多値データがアナログデータに含まれる場合もある。

【0243】

ニューラルネットワークの計算に用いられるデータやパラメータは、一旦、NOSRAM4013に格納することができる。上記データやパラメータは、CPU4021を介して、AIシステム4041の外部に設けられたメモリに格納してもよいが、内部に設けられたNOSRAM4013の方が、より高速且つ低消費電力に上記データやパラメータを格納することができる。また、NOSRAM4013は、DOSRAM4012よりもビット線を長くすることができるので、記憶容量を大きくすることができる。

【0244】

FPGA4014は、OSトランジスタを用いたFPGAである。AIシステム4041は、FPGA4014を用いることによって、ハードウェアで後述する、ディープニューラルネットワーク（DNN）、畳み込みニューラルネットワーク（CNN）、再帰型ニューラルネットワーク（RNN）、自己符号化器、深層ボルツマンマシン（DBM）、深層信念ネットワーク（DBN）などの、ニューラルネットワークの接続を構成することができる。上記のニューラルネットワークの接続をハードウェアで構成することで、より高速に実行することができる。

【0245】

FPGA4014はOSトランジスタを有するFPGAである。OS-FPGAは、SRAMで構成されるFPGAよりもメモリの面積を小さくすることができる。そのため、コンテキスト切り替え機能を追加しても面積増加が少ない。また、OS-FPGAはブースティングによりデータやパラメータを高速に伝えることができる。

【0246】

3D-NAND4015は酸化物半導体を用いた不揮発性メモリである。3D-NAND4015は、高集積化されたメモリであり、単位面積あたりの記憶容量の大きい。

【0247】

また、3D-NAND4015は、1ビットの2値データの他に、2ビット以上の多値データを記憶することができる。3D-NAND4015は多値データを記憶することで、1ビット当たりのメモリセル面積を、さらに小さくすることができる。

【0248】

また、3D-NAND4015として、例えば、上記実施の形態に示す半導体装置を用いることができる。これにより、メモリセルにおける占有面積を低減することができるので、3D-NAND4015をさらに高集積化させることができる。よって、3D-NAND4015の単位面積あたりの記憶容量を増加させることができる。

【0249】

AIシステム4041は、アナログ演算回路4011、DOSRAM4012、NOSRAM4013、およびFPGA4014を1つのダイ（チップ）の上に設けることができる。そのため、AIシステム4041は、高速且つ低消費電力に、ニューラルネットワークの計算を実行することができる。また、アナログ演算回路4011、DOSRAM4012、NOSRAM4013、およびFPGA4014は、同じ製造プロセスで作製することができる。そのため、AIシステム4041は、低コストで作製することができる。

【0250】

なお、演算部4010は、DOSRAM4012、NOSRAM4013、およびFPGA4014を、全て有する必要はない。AIシステム4041が解決したい課題に応じて、DOSRAM4012、NOSRAM4013、およびFPGA4014の一または複数を、選択して設ければよい。

【0251】

AIシステム4041は、解決したい課題に応じて、ディープニューラルネットワーク（DNN）、畳み込みニューラルネットワーク（CNN）、再帰型ニューラルネットワーク（RNN）、自己符号化器、深層ボルツマンマシン（DBM）、深層信念ネットワーク

10

20

30

40

50

(DBN)などの演算を実行することができる。PROM4025は、これらの演算を実行するためのプログラムを保存することができる。また、これらプログラムの一部または全てを、NOSRAM4013または3D-NAND4015に保存してもよい。3D-NAND4015は、高集積化されたメモリであり、単位面積あたりの記憶容量が大きいので、大容量のプログラムを保存することができる。

#### 【0252】

ライブラリとして存在する既存のプログラムは、GPUの処理を前提としているものが多い。そのため、AIシステム4041はGPU4022を有することが好ましい。AIシステム4041は、学習と推論で用いられる積和演算のうち、律速となる積和演算を演算部4010で実行し、それ以外の積和演算をGPU4022で実行することができる。そうすることで、学習と推論を高速に実行することができる。

10

#### 【0253】

電源回路4027は、論理回路用の低電圧電位を生成するだけでなく、アナログ演算のための電位生成も行う。電源回路4027はOSメモリを用いてもよい。電源回路4027は、基準電位をOSメモリに保存することで、消費電力を下げる可以降低。

#### 【0254】

PMU4028は、AIシステム4041の電力供給を一時的にオフにする機能を有する。

#### 【0255】

CPU4021およびGPU4022は、レジスタとしてOSメモリを有することが好ましい。CPU4021およびGPU4022はOSメモリを有することで、電力供給がオフになっても、OSメモリ中にデータ(論理値)を保持し続けることができる。その結果、AIシステム4041は、電力を節約することができる。

20

#### 【0256】

PLL4023は、クロックを生成する機能を有する。AIシステム4041は、PLL4023が生成したクロックを基準に動作を行う。PLL4023はOSメモリを有することが好ましい。PLL4023はOSメモリを有することで、クロックの発振周期を制御するアナログ電位を保持することができる。

#### 【0257】

AIシステム4041は、DRAMなどの外部メモリにデータを保存してもよい。そのため、AIシステム4041は、外部のDRAMとのインターフェースとして機能するメモリコントローラ4026を有することが好ましい。また、メモリコントローラ4026は、CPU4021またはGPU4022の近くに配置することが好ましい。そうすることで、データのやり取りを高速に行うことができる。

30

#### 【0258】

制御部4020に示す回路の一部または全ては、演算部4010と同じダイの上に形成することができる。そうすることで、AIシステム4041は、高速且つ低消費電力に、ニューラルネットワークの計算を実行することができる。

#### 【0259】

ニューラルネットワークの計算に用いられるデータは外部記憶装置(HDD(Hard Disk Drive)、SSD(Solid State Drive)など)に保存される場合が多い。そのため、AIシステム4041は、外部記憶装置とのインターフェースとして機能する外部記憶制御回路4031を有することが好ましい。

40

#### 【0260】

ニューラルネットワークを用いた学習と推論は、音声や映像を扱うことが多いので、AIシステム4041は音声コーデック4032および映像コーデック4033を有する。音声コーデック4032は、音声データのエンコード(符号化)およびデコード(復号)を行い、映像コーデック4033は、映像データのエンコードおよびデコードを行う。

#### 【0261】

AIシステム4041は、外部センサから得られたデータを用いて学習または推論を行

50

うことができる。そのため、A Iシステム4041は汎用入出力モジュール4034を有する。汎用入出力モジュール4034は、例えば、U S B ( U n i v e r s a l S e r i a l B u s ) や I 2 C ( I n t e r - I n t e g r a t e d C i r c u i t ) などを含む。

【0262】

A Iシステム4041は、インターネットを経由して得られたデータを用いて学習または推論を行うことができる。そのため、A Iシステム4041は、通信モジュール4035を有することが好ましい。

【0263】

アナログ演算回路4011は、多値のフラッシュメモリをアナログメモリとして用いてもよい。しかし、フラッシュメモリは書き換え可能回数に制限がある。また、多値のフラッシュメモリは、エンベディッドで形成する(演算回路とメモリを同じダイの上に形成する)ことが非常に難しい。

10

【0264】

また、アナログ演算回路4011は、R e R A Mをアナログメモリとして用いてもよい。しかし、R e R A Mは書き換え可能回数に制限があり、記憶精度の点でも問題がある。さらに、2端子でなる素子でありため、データの書き込みと読み出しを分ける回路設計が複雑になる。

【0265】

また、アナログ演算回路4011は、M R A Mをアナログメモリとして用いてもよい。しかし、M R A Mは抵抗変化率が低く、記憶精度の点で問題がある。

20

【0266】

以上を鑑み、アナログ演算回路4011は、O Sメモリをアナログメモリとして用いることが好ましい。

【0267】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

【0268】

(実施の形態4)

[ A Iシステムの応用例 ]

30

本実施の形態では、上記実施の形態に示すA Iシステムの応用例について図26を用いて説明を行う。

【0269】

図26(A)は、図25で説明したA Iシステム4041を並列に配置し、バス線を介してシステム間での信号の送受信を可能にした、A Iシステム4041Aである。

【0270】

図26(A)に図示するA Iシステム4041Aは、複数のA Iシステム4041\_\_1乃至A Iシステム4041\_\_n(nは自然数)を有する。A Iシステム4041\_\_1乃至A Iシステム4041\_\_nは、バス線4098を介して互いに接続されている。

【0271】

40

また図26(B)は、図25で説明したA Iシステム4041を図26(A)と同様に並列に配置し、ネットワークを介してシステム間での信号の送受信を可能にした、A Iシステム4041Bである。

【0272】

図26(B)に図示するA Iシステム4041Bは、複数のA Iシステム4041\_\_1乃至A Iシステム4041\_\_nを有する。A Iシステム4041\_\_1乃至A Iシステム4041\_\_nは、ネットワーク4099を介して互いに接続されている。

【0273】

ネットワーク4099は、A Iシステム4041\_\_1乃至A Iシステム4041\_\_nのそれぞれに通信モジュールを設け、無線または有線による通信を行う構成とすればよい。

50

通信モジュールは、アンテナを介して通信を行うことができる。例えばWorld Wide Web (WWW) の基盤であるインターネット、イントラネット、エクストラネット、PAN (Personal Area Network)、LAN (Local Area Network)、CAN (Campus Area Network)、MAN (Metropolitan Area Network)、WAN (Wide Area Network)、GAN (Global Area Network) 等のコンピュータネットワークに各電子装置を接続させ、通信を行うことができる。無線通信を行う場合、通信プロトコル又は通信技術として、LTE (Long Term Evolution)、GSM (Global System for Mobile Communication: 登録商標)、EDGE (Enhanced Data Rates for GSM Evolution)、CDMA2000 (Code Division Multiple Access 2000)、W-CDMA (登録商標) などの通信規格、またはWi-Fi (登録商標)、Bluetooth (登録商標)、ZigBee (登録商標) 等のIEEEにより通信規格化された仕様を用いることができる。

【0274】

図26(A)、(B)の構成とすることで、外部のセンサ等で得られたアナログ信号を別々のAIシステムで処理することができる。例えば、生体情報のように、脳波、脈拍、血圧、体温等といった情報を脳波センサ、脈波センサ、血圧センサ、温度センサといった各種センサで取得し、別々のAIシステムでアナログ信号を処理することができる。別々のAIシステムのそれぞれで信号の処理、または学習を行うことで一つのAIシステムあたりの情報処理量を少なくできる。そのため、より少ない演算量で信号の処理、または学習を行うことができる。その結果、認識精度を高めることができる。それぞれのAIシステムで得られた情報から、複雑に変化する生体情報の変化を瞬時に統合的に把握することができるといったことが期待できる。

【0275】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

【0276】

(実施の形態5)

本実施の形態は、上記実施の形態に示すAIシステムが組み込まれたICの一例を示す。

【0277】

上記実施の形態に示すAIシステムは、CPU等のSiトランジスタでなるデジタル処理回路と、OSTランジスタを用いたアナログ演算回路、3D-NAND、OS-FPGAおよびDOSRAM、NOSRAM等のOSメモリを、1のダイに集積することができる。

【0278】

図27に、AIシステムを組み込んだICの一例を示す。図27に示すAIシステムIC7000は、リード7001及び回路部7003を有する。AIシステムIC7000は、例えばプリント基板7002に実装される。このようなICチップが複数組み合わせられて、それぞれがプリント基板7002上で電気的に接続されることで電子部品が実装された基板(実装基板7004)が完成する。回路部7003には、上記実施の形態で示した各種の回路が1のダイに設けられている。回路部7003は、先の実施の形態に示すように、積層構造をもち、Siトランジスタ層7031、配線層7032、OSTランジスタ層7033に大別される。OSTランジスタ層7033をSiトランジスタ層7031に積層して設けることができるため、AIシステムIC7000の小型化が容易である。

【0279】

図27では、AIシステムIC7000のパッケージにQFP (Quad Flat Package) を適用しているが、パッケージの態様はこれに限定されない。

【0280】

CPU等のデジタル処理回路と、OSTランジスタを用いたアナログ演算回路、3D-

NAND、OS - FPGAおよびDOSRAM、NOSRAM等のOSメモリは、全て、S iトランジスタ層7031、配線層7032およびOSTランジスタ層7033に形成することができる。すなわち、上記AIシステムを構成する素子は、同一の製造プロセスで形成することが可能である。そのため、本実施の形態に示すICは、構成する素子が増えても製造プロセスを増やす必要がなく、上記AIシステムを低コストで組み込むことができる。

#### 【0281】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせ実施することができる。

#### 【0282】

(実施の形態6)

#### [電子機器]

本発明の一態様に係る半導体装置は、様々な電子機器に用いることができる。図28および図29に、本発明の一態様に係る半導体装置を用いた電子機器の具体例を示す。

#### 【0283】

図28(A)に示すロボット2000は、演算装置2001、センサ2002、ライト2003、リフト2004、駆動部2005、移動機構2011を備えており、移動しながら静止画や動画を撮影することができる。このようなロボットは、警備システムや、監視システムとして用いることができる。

#### 【0284】

ロボット2000は、さらに、通信手段2006、スピーカ2007、マイクロフォン2008、表示部2009、発光部2010などを備えていてもよい。

#### 【0285】

演算装置2001には、本発明の一態様に係る半導体装置を用いることができる。また、演算装置2001には、本発明の一態様に係るAIシステムが組み込まれたICを用いることができる。センサ2002は、ロボット2000の周囲を撮影する、カメラとしての機能を有する。ライト2003は、センサ2002でロボット2000の周囲を撮影する際のライトとして用いることができる。なお、センサ2002で、静止画を撮影する際には、ライト2003は、フラッシュライトとして機能することが好ましい。センサ2002は、リフト2004を介して、ロボット本体と接続されている。センサ2002の高さは、リフト2004により調整することができる。リフト2004は、伸縮式であることが好ましい。また、リフト2004は、複数のブームにより構成された折り畳み式のものでもよい。また、ロボット2000には、駆動部2005と、駆動部2005に接続された移動機構2011が設けられているため、センサ2002による撮像範囲、すなわち監視範囲が広がり、好ましい。

#### 【0286】

通信手段2006は、センサ2002により撮像された情報を管理者や、管理者が所有するサーバへ送信することができる。また、センサ2002により撮像された情報を演算装置2001にて解析し、犯罪、事故、火災などの非常事態と判断された場合は、警備会社、警察、消防、医療機関、土地や建物のオーナーへ連絡することができる。スピーカ2007は、犯罪者への警告、怪我人や急病人への問いかけ、避難の誘導など、ロボット周囲に情報の発信を行うことができる。マイクロフォン2008は、ロボット2000周囲の音声の取得に用いることができる。また、通信手段2006、およびスピーカ2007と合わせて用いることで、ロボット2000は電話としての機能を有することができる。ロボット2000周囲にいる人は、管理者や任意の人と会話することができる。表示部2009は、任意の情報を表示することができる。非常時の場合は、災害情報や避難経路を表示することができる。また、通信手段2006、スピーカ2007、およびマイクロフォン2008と合わせて用いることで、ロボット2000はテレビ電話としての機能を有することができる。ロボット2000周囲にいる人は、管理者や任意の人と表示部2009を見ながら会話することができる。

10

20

30

40

50

## 【 0 2 8 7 】

発光部 2 0 1 0 は、ロボット 2 0 0 0 の進行方向や停止状態を文字や光で示すことができる。また、非常事態を示してもよい。

## 【 0 2 8 8 】

図 2 8 ( B ) は、ロボット 2 0 0 0 の構成を示すブロック図である。演算装置 2 0 0 1 は、センサ 2 0 0 2 により得られた映像などの情報から、ライト 2 0 0 3 の点灯や消灯、明るさの調整を行う。また、リフト 2 0 0 4 の高さの調整、あるいは、駆動部 2 0 0 5 の制御を行い、ロボット 2 0 0 0 や、センサ 2 0 0 2 の位置合わせを行う。また、駆動部 2 0 0 5 の動作状況を、発光部 2 0 1 0 を用いて示すことができる。また、通信手段 2 0 0 6 を用いて、センサ 2 0 0 2 やマイクロフォン 2 0 0 8 から得られたロボット 2 0 0 0 の周囲の情報を管理者、または管理者が所有するサーバに送信することができる。また、演算装置 2 0 0 1 や、管理者の判断により、スピーカ 2 0 0 7 や表示部 2 0 0 9 を用いて、ロボット 2 0 0 0 の周囲に情報を発信することができる。

10

## 【 0 2 8 9 】

センサ 2 0 0 2 に用いるセンサとして、周囲が暗くても撮像が可能なセンサを用いる場合は、ライト 2 0 0 3 は設けなくてもよい。このようなセンサとして、受光部にセレン ( S e ) を用いたイメージセンサを用いることができる。

## 【 0 2 9 0 】

このようなロボット 2 0 0 0 は、商業施設や、オフィスの警備に用いることができる。センサ 2 0 0 2 やマイクロフォン 2 0 0 8 から得られた情報は、演算装置 2 0 0 1 やサーバに保存される。保存された情報は、A I システムにより解析され、物品の紛失や破損、不審者の侵入、火災などの災害などの異常の有無を判断する。情報の解析には、ディープラーニングを用いてもよい。異常が発生したと判断した場合、ロボット 2 0 0 0 は、管理者への連絡および周囲への情報発信を行い、周囲の状況を記録する。

20

## 【 0 2 9 1 】

また、ロボット 2 0 0 0 は、農作物の生育状況の監視に用いてもよい。田んぼや畑に設置されたロボット 2 0 0 0 は、センサ 2 0 0 2 により、農作物の葉、あるいは実の形、大きさ、色を監視し、病気になっていないか、害虫の付着が無いかを判断する。ロボット 2 0 0 0 には、移動機構 2 0 1 1 が設けられているため、広範囲の農作物の生育状況を監視することができる。また、ロボット 2 0 0 0 には、リフト 2 0 0 4 が設けられているため、農作物の種類や、生育状況によらず、任意の高さの葉や実を監視することができる。監視結果は、通信手段 2 0 0 6 を用いて生産者に送られ、生産者は、農作物に必要な肥料や農薬の種類、量、散布時期を判断することができる。また、演算装置 2 0 0 1 を用いて、監視結果を、A I システムにより解析し、農作物に必要な、肥料や農薬の種類、量、散布時期を判断して、生産者に通知してもよい。監視結果の解析には、ディープラーニングを用いてもよい。

30

## 【 0 2 9 2 】

図 2 9 ( A ) は、ロボット 3 0 0 1 を用いた、仕分けシステム 3 0 0 0 を示す。ロボット 3 0 0 1 は、演算装置 3 0 0 2、ブーム 3 0 0 3、およびアーム 3 0 0 4 を備えている。また、ロボット 3 0 0 1 は有線、または無線の通信手段 3 0 1 1 を備えていてもよい。また、仕分けシステム 3 0 0 0 は、センサ 3 0 0 9 を有する筐体 3 0 0 8 を備えている。筐体 3 0 0 8 は、通信手段 3 0 1 0 を有している。筐体 3 0 0 8 は、仕分けシステム 3 0 0 0、または仕分け作業エリアの天井、壁、梁 ( いずれも図示せず ) に設けられる。また、筐体 3 0 0 8 は、ロボット 3 0 0 1 に設けられていてもよい。例えば、ブーム 3 0 0 3、またはアーム 3 0 0 4 に設けられていてもよい。筐体 3 0 0 8 がロボット 3 0 0 1 に設けられている場合は、センサ 3 0 0 9 により得られた情報は、通信手段 3 0 1 0、および通信手段 3 0 1 1 を介さず、演算装置 3 0 0 2 に送られ、処理されてもよい。

40

## 【 0 2 9 3 】

ブーム 3 0 0 3 は、可動式となっており、アーム 3 0 0 4 を所望の位置に配置することができる。また、アーム 3 0 0 4 は伸縮式としてもよい。所望の物品 3 0 0 7 上に配置さ

50

れたアームを伸ばし、所望の物品 3 0 0 7 を掴み、アーム 3 0 0 4 を縮めた後、ブーム 3 0 0 3 によりアーム 3 0 0 4 を移動してもよい。

【 0 2 9 4 】

仕分けシステム 3 0 0 0 は、容器 3 0 0 5 内の物品 3 0 0 7 を容器 3 0 0 6 に移動させることができる。容器 3 0 0 5 と容器 3 0 0 6 は、同一形状でも良いし、異なる形状でもよい。また、一つの容器 3 0 0 5 に入れられた複数の物品 3 0 0 7 を複数の容器 3 0 0 6 に振り分けて移動してもよい。

【 0 2 9 5 】

容器 3 0 0 5、および容器 3 0 0 6 として、コンテナ、段ボール箱、商品を梱包する箱、ケース、フィルム、または袋、食品保管用のバット、弁当箱などが用いられる。また、容器 3 0 0 5、および容器 3 0 0 6 の少なくとも一方は、鍋やフライパンなどの調理器具でもよい。

【 0 2 9 6 】

演算装置 3 0 0 2 には、本発明の一態様に係る半導体装置を用いることができる。また、演算装置 3 0 0 2 には、本発明の一態様に係る A I システムが組み込まれた I C を用いることができる。

【 0 2 9 7 】

センサ 3 0 0 9 は、容器 3 0 0 5 の位置、容器 3 0 0 6 の位置、容器 3 0 0 5 内、および容器 3 0 0 5 内の物品 3 0 0 7 の状態を読み取り、通信手段 3 0 1 0 を用いて演算装置 3 0 0 2 に情報を送信する。情報の送信は無線または、有線で行う。また、通信手段 3 0 1 0 を用いずに、有線にて情報を送信してもよい。演算装置 3 0 0 2 は、送信された情報の解析を行う。ここで、物品 3 0 0 7 の状態とは、形、数、物品 3 0 0 7 同士の重なりなどのことを指す。演算装置 3 0 0 2 は、センサ 3 0 0 9 からの情報をもとに解析を行い、物品 3 0 0 7 の詳細情報を導出する。演算装置 3 0 0 2、またはロボット 3 0 0 1 と通信可能なサーバに保存されたデータと比較し、物品 3 0 0 7 の三次元形状や、堅さ（柔らかさ）を導出する。また、物品 3 0 0 7 の三次元形状や堅さ（柔らかさ）から、アーム 3 0 0 4 の形状を変えることができる。

【 0 2 9 8 】

物品 3 0 0 7 の詳細情報を導出するには、A I システムを用いた解析を利用することができる。情報の解析には、ディープラーニングを用いてもよい。

【 0 2 9 9 】

図 2 9 ( B ) は、一对の板 3 0 2 1 が水平方向に移動し、物品 3 0 0 7 を挟むことができるアームである。一对の板 3 0 2 1 が中心に向かって水平方向に移動することで、物品 3 0 0 7 を挟むことができる。このようなアームは、物品 3 0 0 7 を面で捉えることができ、立方体や直方体など、柱状の形を有する物品 3 0 0 7 を掴むのに適している。図 2 9 ( C ) は、複数のバー 3 0 2 2 が水平方向に移動し、物品 3 0 0 7 を挟むことができるアームである。複数のバー 3 0 2 2 が中心に向かって水平方向に移動することで、物品 3 0 0 7 を挟むことができる。このようなアームは、物品 3 0 0 7 を点で捉えることができ、球状の形を有する物品 3 0 0 7、または物品 3 0 0 7 の形が一定でない場合、すなわち不定型な物品 3 0 0 7 を掴むのに適している。なお、図 2 9 ( C ) では、バー 3 0 2 2 の数を 4 本としたが、本実施の形態はこれに限らない。バー 3 0 2 2 は 3 本でもよいし、5 本以上でも良い。図 2 9 ( D ) は、一对の板 3 0 2 3 が、共通の軸を中心に、お互いが近づくように回転することで物品 3 0 0 7 を挟むことができるアームである。このようなアームは、物品 3 0 0 7 を面で捉えることができ、紙やフィルムなど、薄膜状の形を有する物品 3 0 0 7 を掴むのに適している。図 2 9 ( E ) は、一对のかぎ状の板 3 0 2 4 が、共通の軸を中心に、お互いの先端が近づくように回転することで物品 3 0 0 7 を挟むことができるアームである。このようなアームは、物品 3 0 0 7 を点、または線で捉えることができ、紙やフィルムなど、薄膜状の形を有する物品 3 0 0 7 や、より小さい粒状の形を有する物品 3 0 0 7 を掴むのに適している。また、図 2 9 ( F ) に示すように、アームの先端にヘラ 3 0 2 5 を取り付け、より小さい粒状の形を有する物品 3 0 0 7 をすくってもよい。

## 【 0 3 0 0 】

図 2 9 ( A ) 乃至図 2 9 ( F ) に示すアームは、一例であり、本発明の一態様はこれらの形状に限らない。また、各アームの用途の説明も一例であり、本発明の一態様はこれらの記載に限らない。

## 【 0 3 0 1 】

ロボット 3 0 0 1 は、演算装置 3 0 0 2 からの信号に基づき、ブーム 3 0 0 3 を動かし、アーム 3 0 0 4 を、容器 3 0 0 5 内の所望の物品 3 0 0 7 上に移動する。伸縮式のアーム 3 0 0 4 の場合、アーム 3 0 0 4 を伸ばし、アーム 3 0 0 4 の先端を物品 3 0 0 7 の高さまで降ろす。アームの先端を動かし、所望の物品 3 0 0 7 を掴む。物品 3 0 0 7 を掴んだまま、アームを縮める。再びブーム 3 0 0 3 を動かし、アーム 3 0 0 4 を、容器 3 0 0 6 の所望の位置に移動する。このとき、容器 3 0 0 6 に対する物品 3 0 0 7 の角度を調整する為、アーム 3 0 0 4 を回転してもよい。アーム 3 0 0 4 を伸ばし、物品 3 0 0 7 を容器 3 0 0 6 に配置し、アーム 3 0 0 4 は、物品 3 0 0 7 を放す。以上の操作を繰り返し行い、ロボット 3 0 0 1 は、物品 3 0 0 7 を容器 3 0 0 5 から容器 3 0 0 6 に移動させることができる。

10

## 【 0 3 0 2 】

容器 3 0 0 5、および容器 3 0 0 6 の位置情報、および物品 3 0 0 7 の状態を A I システムを用いて解析しているため、物品 3 0 0 7 の形状や堅さによらず、確実に物品 3 0 0 7 を移動することができる。物品 3 0 0 7 の例としては、立方体、または直方体の箱、または任意の形状の箱やケースに詰められた物品だけでなく、卵、ハンバーグやコロケなど、成形された加工食品、ジャガイモやトマトなど、不定形な野菜などの食品、ネジやナットなどの機械部品、紙やフィルムなどの薄膜などが挙げられる。本実施の形態に示した仕分けシステム 3 0 0 0 は、物品 3 0 0 7 の形状や堅さを考慮してアームの形状を変えることができるため、上記に例示した物品 3 0 0 7 を、形状や堅さによらず、容器 3 0 0 5 から容器 3 0 0 6 に移動させることができる。

20

## 【 0 3 0 3 】

例えば、本発明の一態様の半導体装置を用いた記憶装置は、上述した電子機器の制御情報や、制御プログラムなどを長期間保持することができる。本発明の一態様に係る半導体装置を用いることで、信頼性の高い電子機器を実現することができる。

## 【 0 3 0 4 】

また、例えば、上述した電子機器の演算装置などに、上記 A I システムが組み込まれた I C を用いることができる。これにより、本実施の形態に示す電子機器は、A I システムによって、状況に応じた的確な動作を、低消費電力で行うことができる。

30

## 【 0 3 0 5 】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

## 【 符号の説明 】

## 【 0 3 0 6 】

- 1 0 0 記憶装置
- 1 0 5 制御回路
- 1 1 0 メモリセルアレイ
- 1 1 2 メモリストリング
- 1 2 1 行デコーダ
- 1 2 2 行ドライバ
- 1 2 3 センスアンプ
- 1 2 4 ソース線ドライバ
- 1 2 5 入出力回路
- 1 2 6 バッファ
- 1 2 6 a インバータ回路
- 1 2 6 b スイッチ回路

40

50

1 3 1	メモリセル	
1 3 2	メモリセル	
7 0 0	半導体装置	
7 0 0 A	記憶装置	
7 0 0 D	回路部	
7 0 0 M	メモリセルアレイ	
7 0 1	導電層	
7 0 1 __ m	導電層	
7 0 1 __ 1	導電層	
7 0 1 __ 6	導電層	10
7 0 1 a	導電層	
7 0 1 A	導電膜	
7 0 1 b	導電層	
7 0 1 B	導電膜	
7 0 2	導電層	
7 0 2 A	導電膜	
7 0 2 b	絶縁層	
7 0 2 B	導電膜	
7 0 3	絶縁層	
7 0 3 __ 1	絶縁層	20
7 0 3 __ 3	絶縁層	
7 0 3 a	絶縁層	
7 0 3 A	絶縁膜	
7 0 3 b	絶縁層	
7 0 3 c	絶縁層	
7 0 4	酸化物層	
7 0 4 __ 1	酸化物層	
7 0 4 __ 3	酸化物層	
7 0 4 a	酸化物層	
7 0 4 A	酸化物膜	30
7 0 4 b	酸化物層	
7 0 4 c	酸化物層	
7 0 5	導電層	
7 0 5 __ 1	導電層	
7 0 5 __ 3	導電層	
7 0 6	導電層	
7 0 6 __ 1	導電層	
7 0 6 __ 3	導電層	
7 0 7	接続層	
7 0 7 __ m	接続層	40
7 0 7 __ 1	接続層	
7 0 8	導電層	
7 0 8 __ m	導電層	
7 0 8 __ 1	導電層	
7 1 0	メモリトランジスタ	
7 1 1	絶縁層	
7 2 0	基板	
7 2 1	絶縁膜	
7 2 2	絶縁層	
7 2 2 A	絶縁膜	50

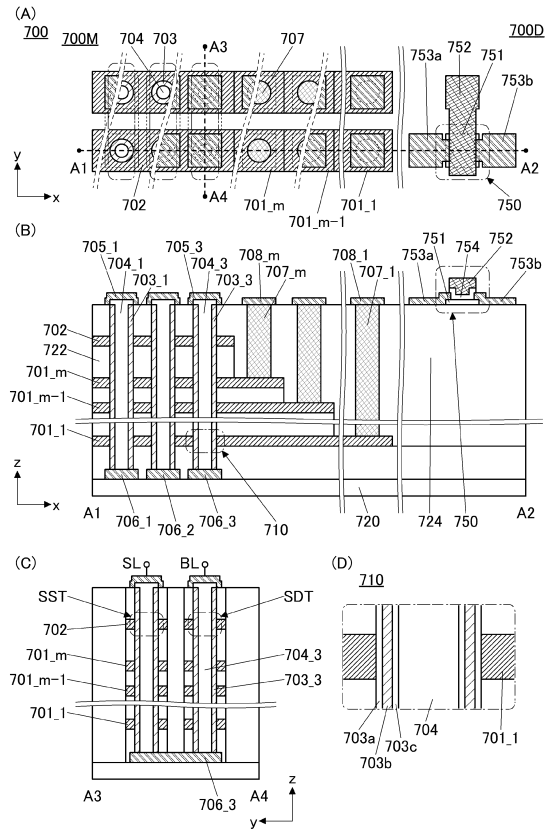
7 2 2 B	絶縁膜	
7 2 3	マスク	
7 2 3 A	マスク	
7 2 4	絶縁層	
7 2 5	マスク	
7 2 6	絶縁層	
7 2 7	犠牲層	
7 3 1	マスク	
7 5 0	トランジスタ	
7 5 1	酸化物層	10
7 5 1 a	酸化物層	
7 5 2	導電層	
7 5 3 a	導電層	
7 5 3 b	導電層	
7 5 4	絶縁層	
7 6 1	絶縁層	
7 6 2	接続層	
7 6 3	接続層	
7 6 4 a	接続層	
7 6 4 b	接続層	20
7 6 5	導電層	
7 6 6 a	導電層	
7 6 6 b	導電層	
1 1 0 0	U S B メモリ	
1 1 0 1	筐体	
1 1 0 2	キャップ	
1 1 0 3	U S B コネクタ	
1 1 0 4	基板	
1 1 0 5	メモリチップ	
1 1 0 6	コントローラチップ	30
1 1 1 0	S D カード	
1 1 1 1	筐体	
1 1 1 2	コネクタ	
1 1 1 3	基板	
1 1 1 4	メモリチップ	
1 1 1 5	コントローラチップ	
1 1 5 0	S S D	
1 1 5 1	筐体	
1 1 5 2	コネクタ	
1 1 5 3	基板	40
1 1 5 4	メモリチップ	
1 1 5 5	メモリチップ	
1 1 5 6	コントローラチップ	
2 0 0 0	ロボット	
2 0 0 1	演算装置	
2 0 0 2	センサ	
2 0 0 3	ライト	
2 0 0 4	リフト	
2 0 0 5	駆動部	
2 0 0 6	通信手段	50

2 0 0 7	スピーカ	
2 0 0 8	マイクロフォン	
2 0 0 9	表示部	
2 0 1 0	発光部	
2 0 1 1	移動機構	
3 0 0 0	システム	
3 0 0 1	ロボット	
3 0 0 2	演算装置	
3 0 0 3	ブーム	
3 0 0 4	アーム	10
3 0 0 5	容器	
3 0 0 6	容器	
3 0 0 7	物品	
3 0 0 8	筐体	
3 0 0 9	センサ	
3 0 1 0	通信手段	
3 0 1 1	通信手段	
3 0 2 1	板	
3 0 2 2	バー	
3 0 2 3	板	20
3 0 2 4	板	
3 0 2 5	ヘラ	
4 0 1 0	演算部	
4 0 1 1	アナログ演算回路	
4 0 1 2	D O S R A M	
4 0 1 3	N O S R A M	
4 0 1 4	F P G A	
4 0 2 0	制御部	
4 0 2 1	C P U	
4 0 2 2	G P U	30
4 0 2 3	P L L	
4 0 2 5	P R O M	
4 0 2 6	メモリコントローラ	
4 0 2 7	電源回路	
4 0 2 8	P M U	
4 0 3 0	入出力部	
4 0 3 1	外部記憶制御回路	
4 0 3 2	音声コーデック	
4 0 3 3	映像コーデック	
4 0 3 4	汎用入出力モジュール	40
4 0 3 5	通信モジュール	
4 0 4 1	A I システム	
4 0 4 1 __ n	A I システム	
4 0 4 1 __ 1	A I システム	
4 0 4 1 A	A I システム	
4 0 4 1 B	A I システム	
4 0 9 8	バス線	
4 0 9 9	ネットワーク	
7 0 0 0	A I システム I C	
7 0 0 1	リード	50

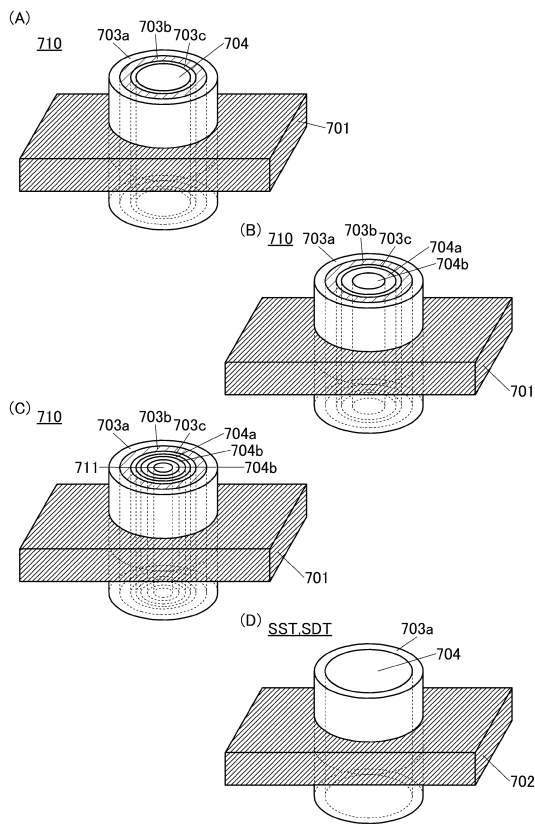
- 7 0 0 2     プリント基板
- 7 0 0 3     回路部
- 7 0 0 4     実装基板
- 7 0 3 1     S i トランジスタ層
- 7 0 3 2     配線層
- 7 0 3 3     O S トランジスタ層

【図面】

【図 1】



【図 2】



10

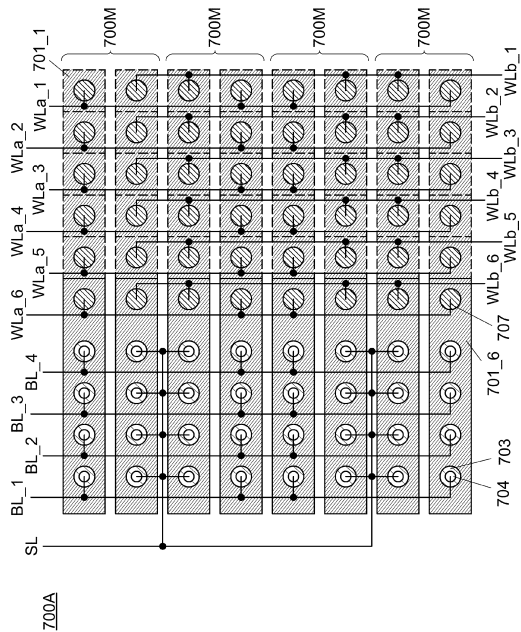
20

30

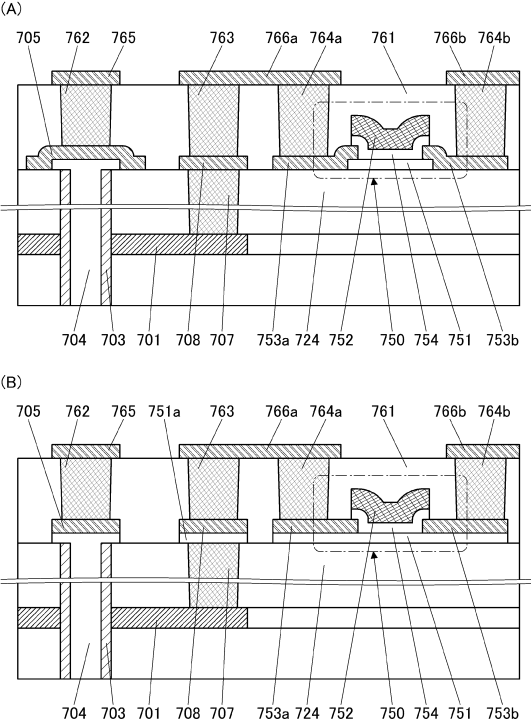
40

50

【図 3】



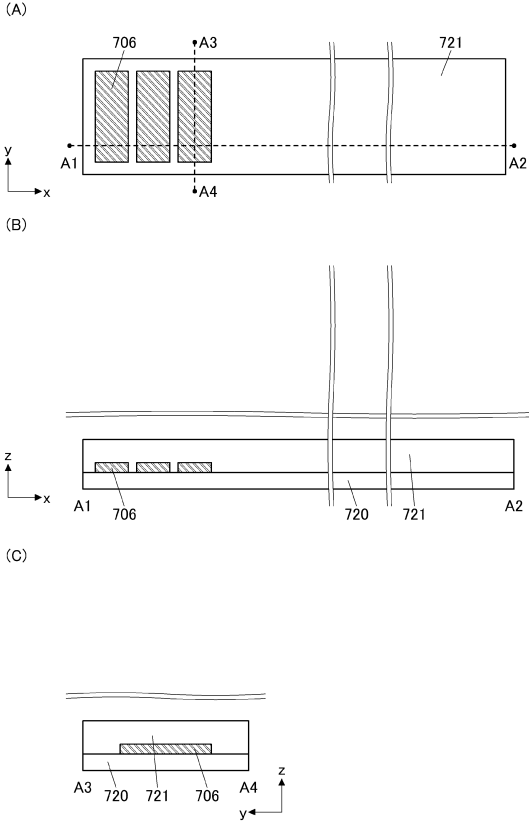
【図 4】



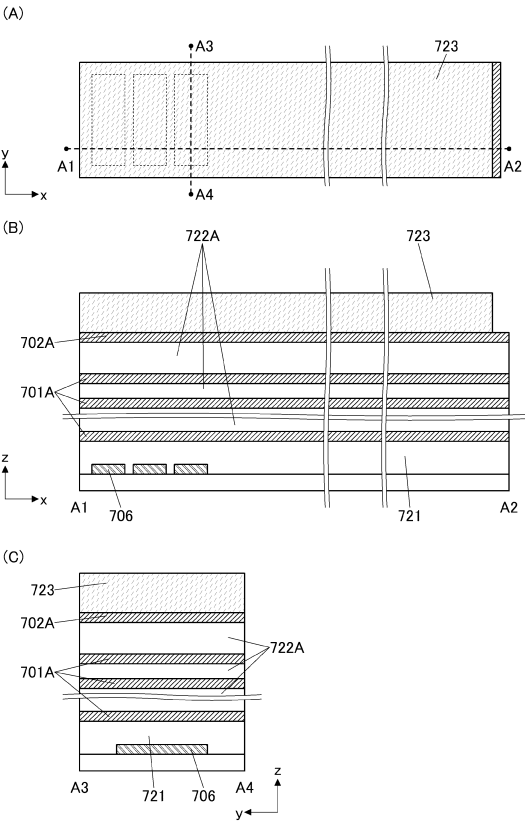
10

20

【図 5】



【図 6】

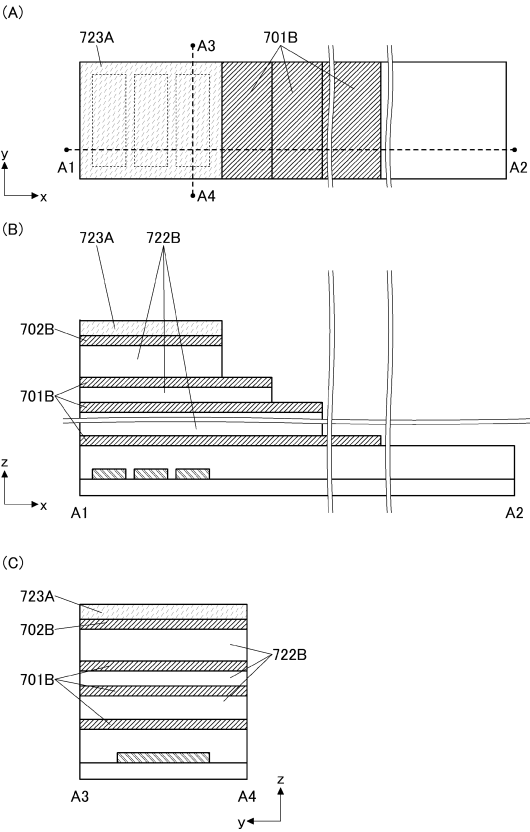


30

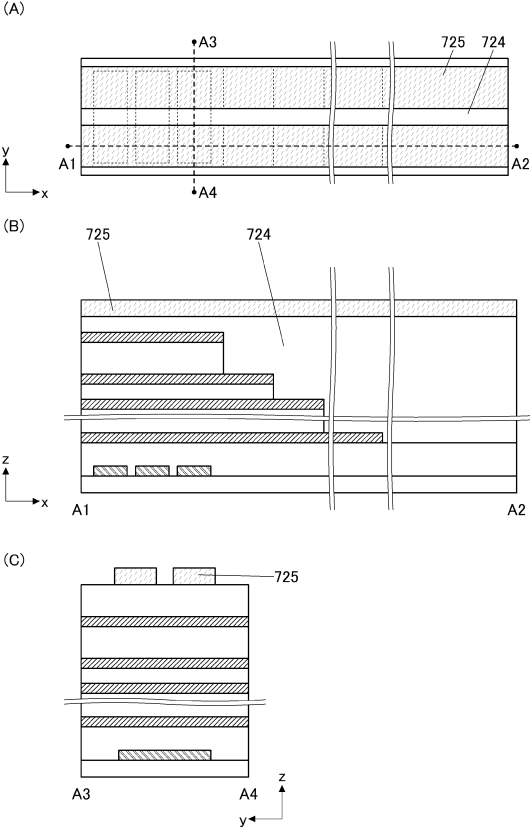
40

50

【図 7】



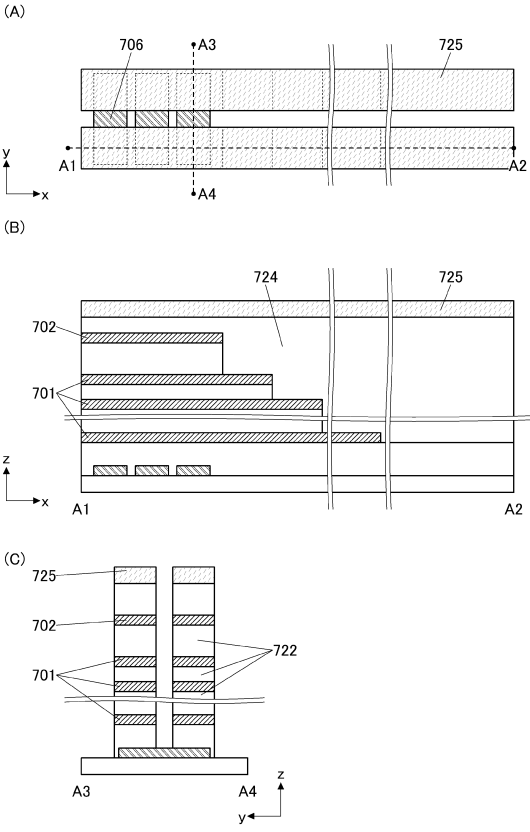
【図 8】



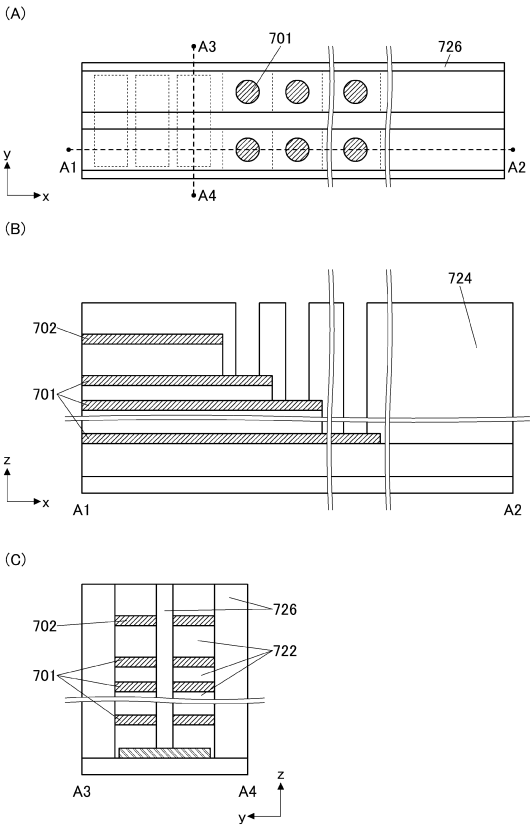
10

20

【図 9】



【図 10】

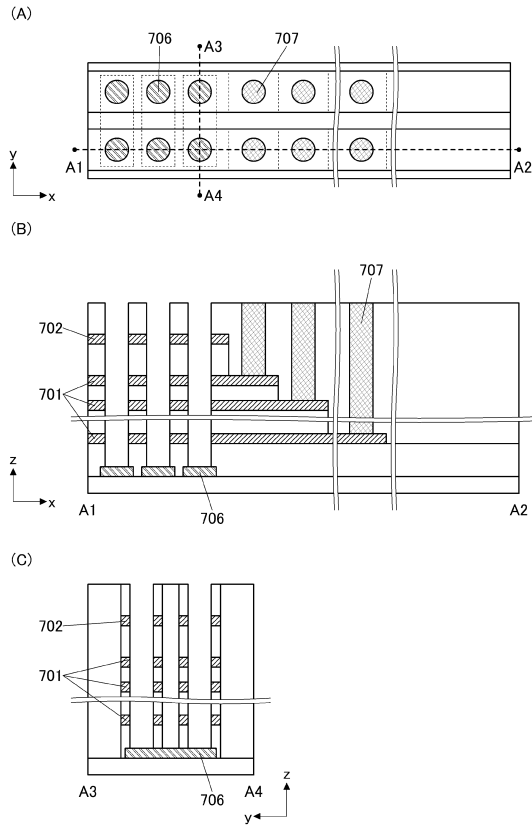


30

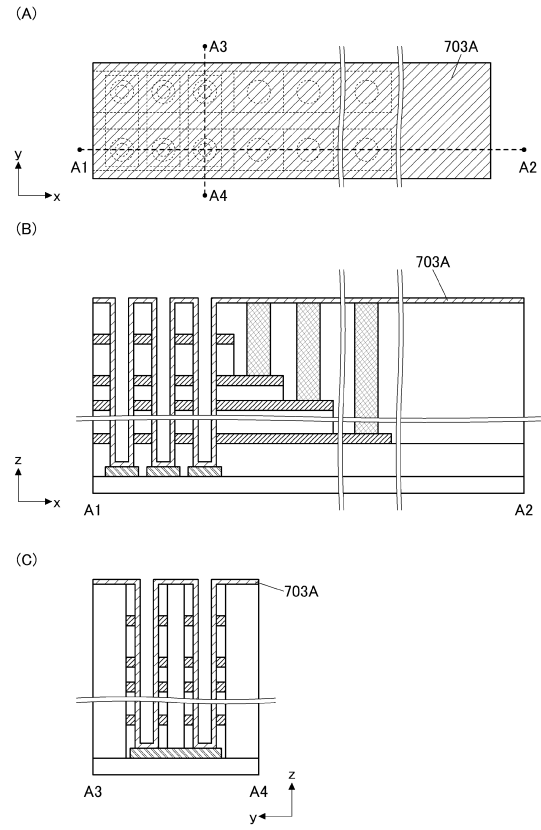
40

50

【図 1 1】



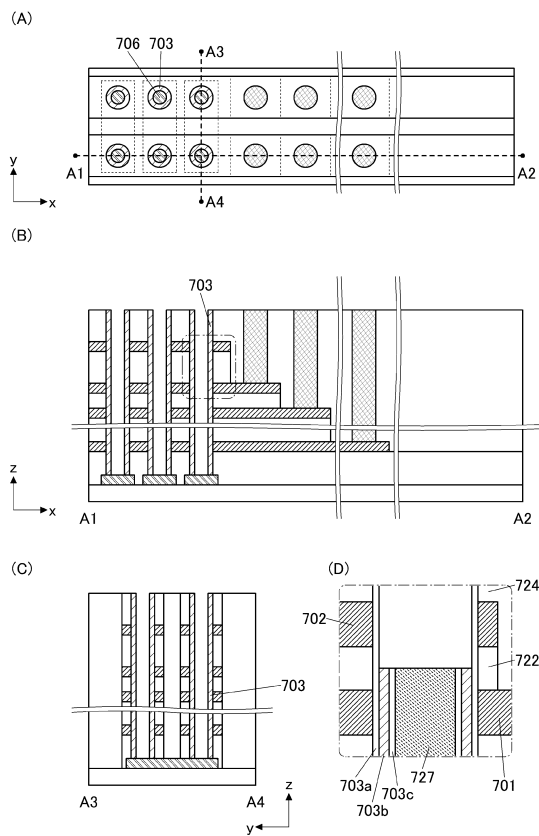
【図 1 2】



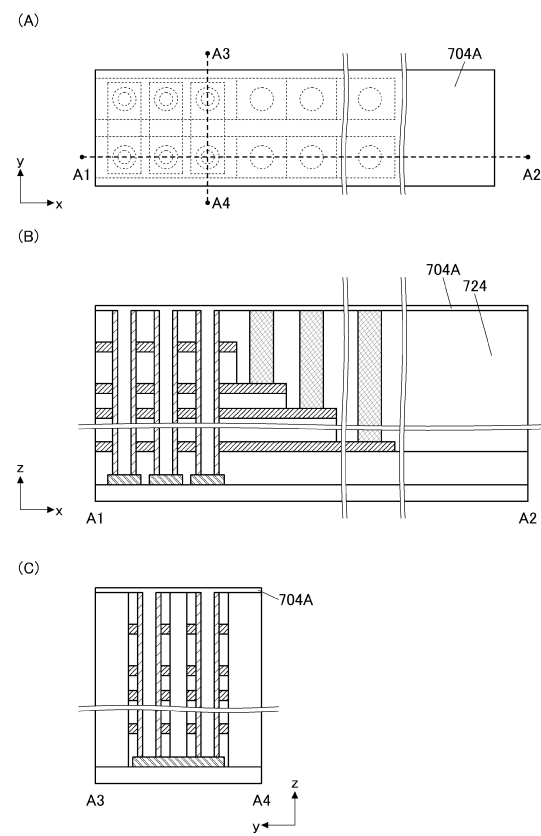
10

20

【図 1 3】



【図 1 4】

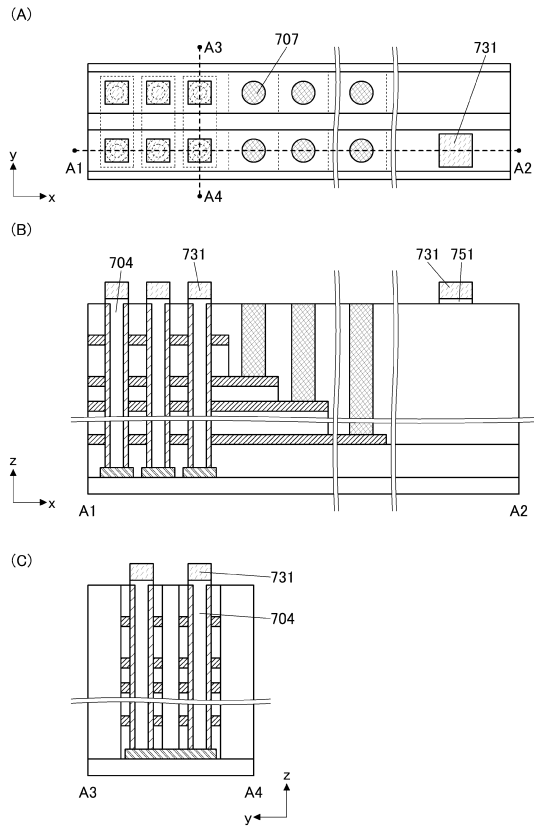


30

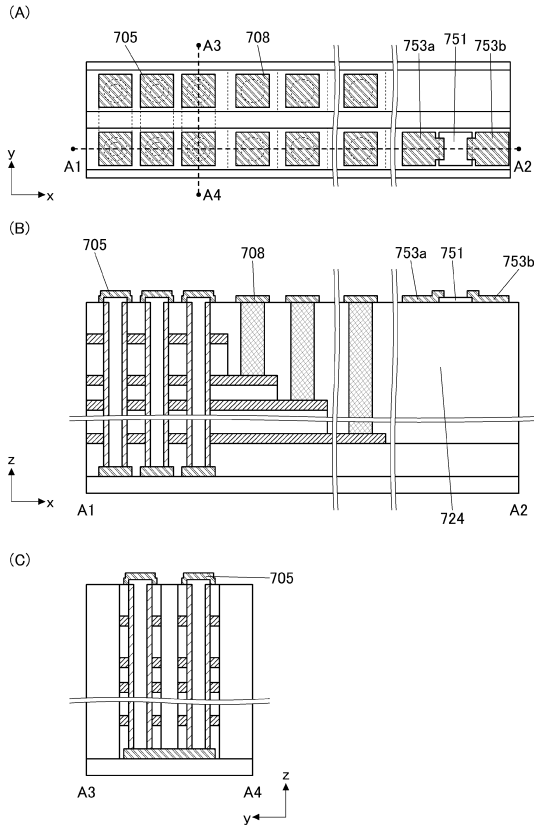
40

50

【図 15】



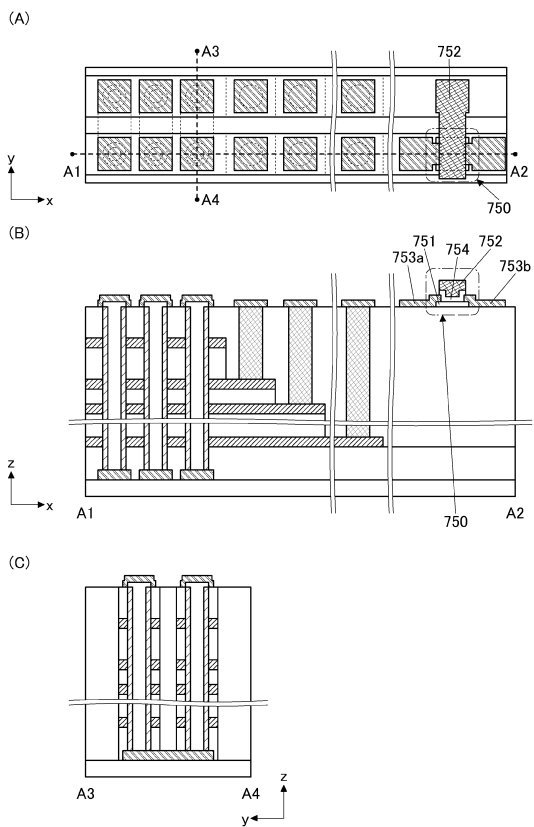
【図 16】



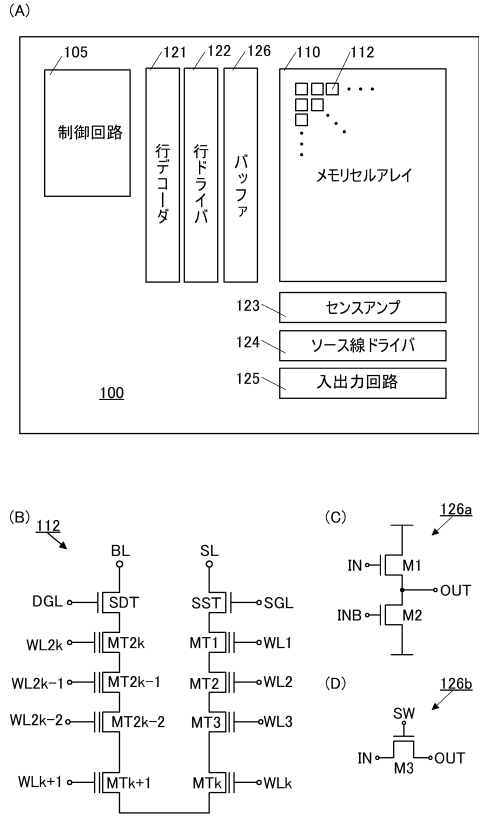
10

20

【図 17】



【図 18】

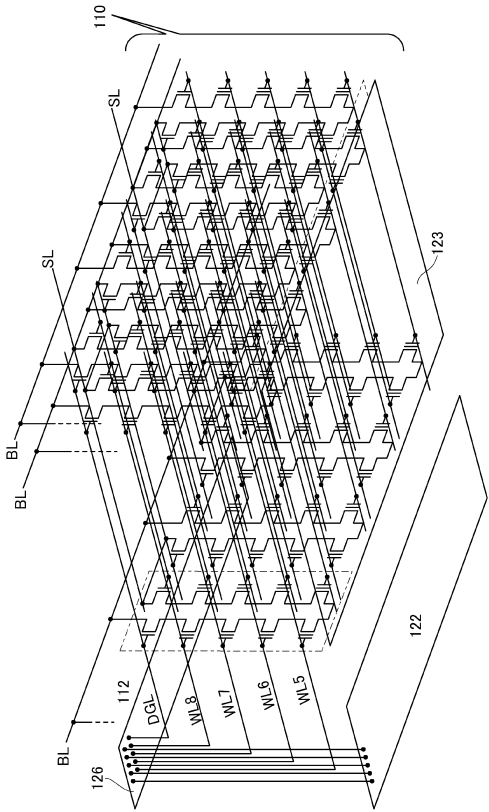


30

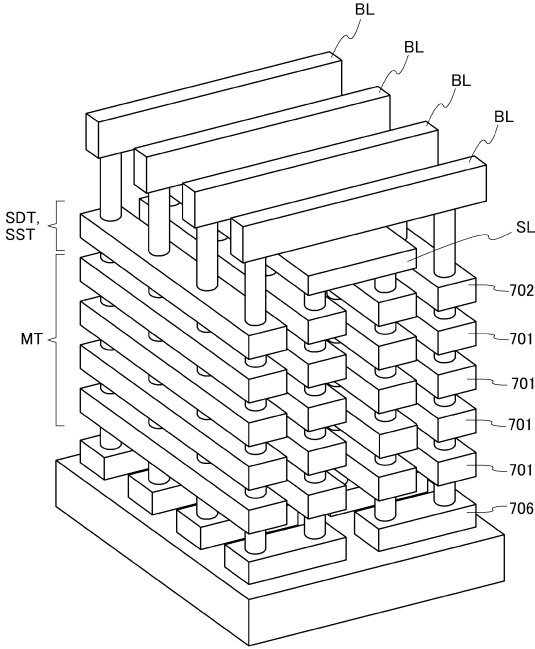
40

50

【図 19】



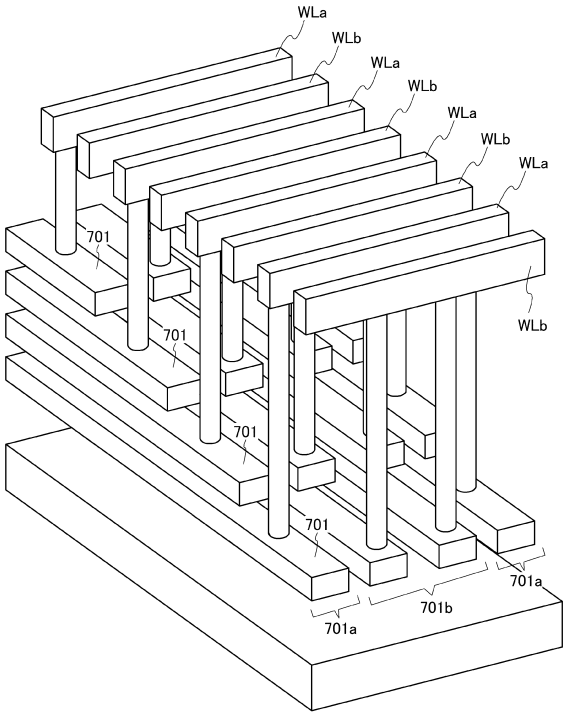
【図 20】



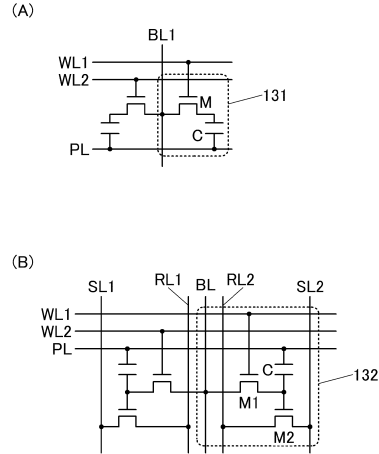
10

20

【図 21】



【図 22】

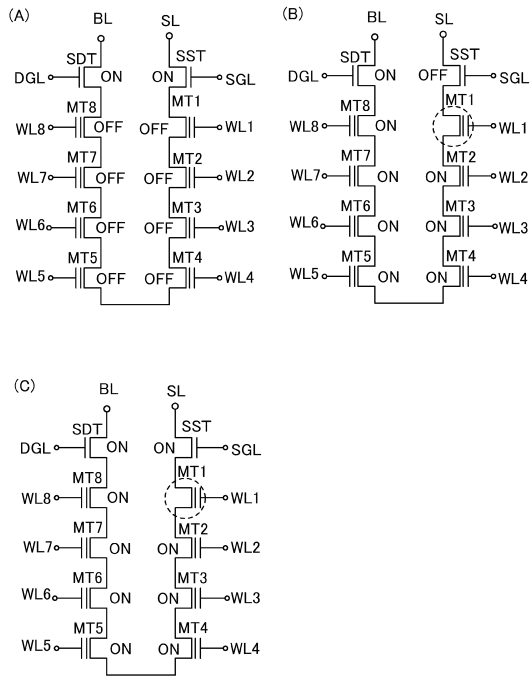


30

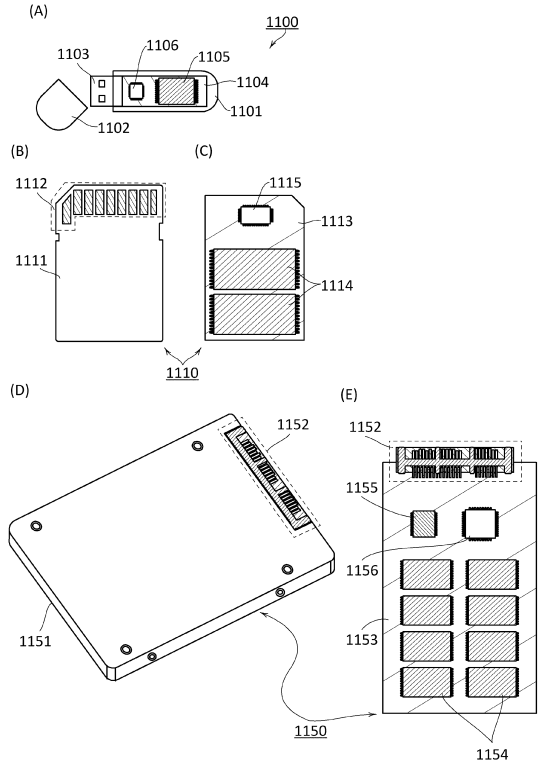
40

50

【図 2 3】



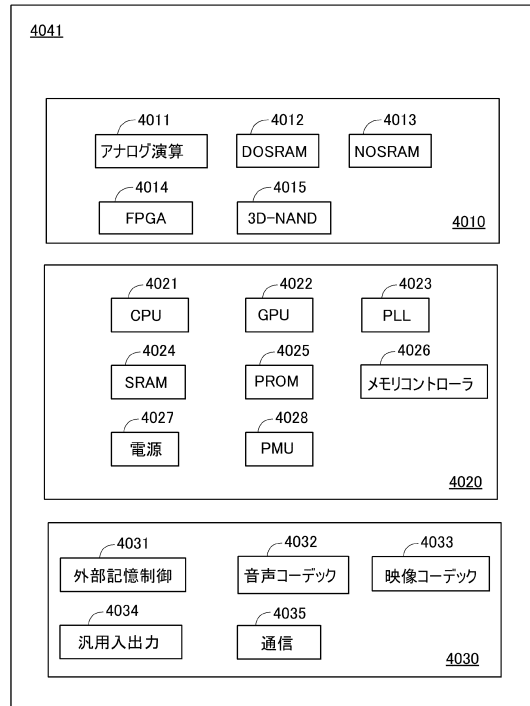
【図 2 4】



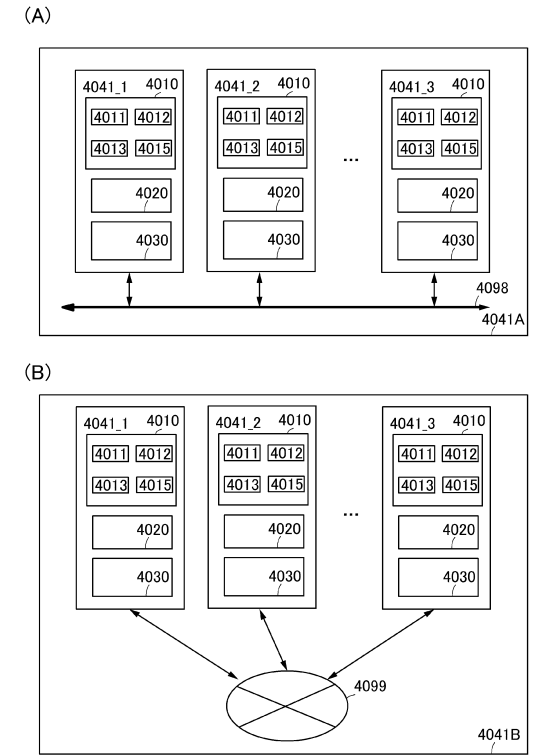
10

20

【図 2 5】



【図 2 6】

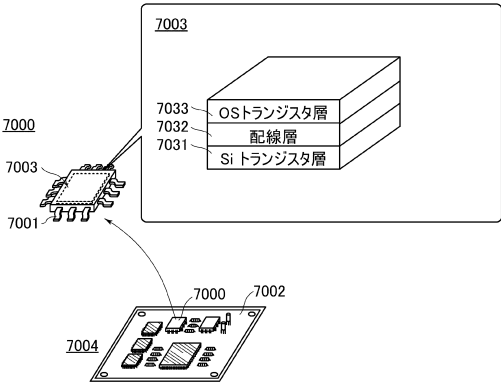


30

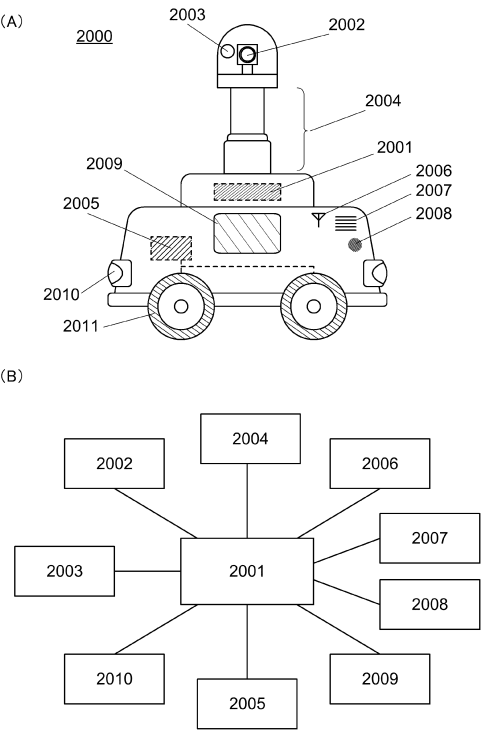
40

50

【図 27】



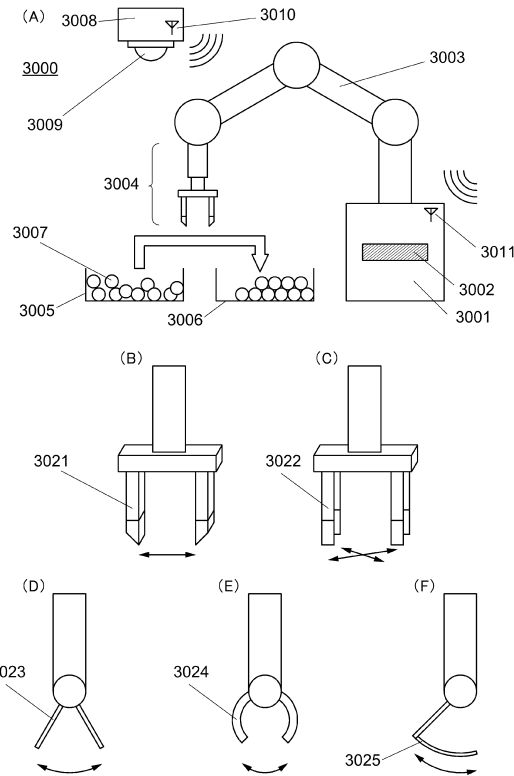
【図 28】



10

20

【図 29】



30

40

50

## フロントページの続き

## (51)国際特許分類

F I

H 0 1 L	27/108(2006.01)	H 0 1 L	27/1156	
H 0 1 L	27/11582(2017.01)	H 0 1 L	27/108	6 7 1 C
H 0 1 L	27/1156(2017.01)	H 0 1 L	27/11556	
H 0 1 L	27/11556(2017.01)			

## (56)参考文献

特開 2 0 1 7 - 0 9 2 4 3 2 ( J P , A )  
特開 2 0 1 7 - 0 3 4 1 4 4 ( J P , A )  
特開 2 0 1 6 - 0 6 3 0 2 7 ( J P , A )  
特開 2 0 1 2 - 2 4 8 8 2 3 ( J P , A )  
特開 2 0 1 1 - 1 0 8 8 8 2 ( J P , A )  
特開 2 0 1 3 - 2 4 7 1 4 3 ( J P , A )

## (58)調査した分野 (Int.Cl., D B 名)

H 0 1 L 2 1 / 3 3 6  
H 0 1 L 2 9 / 7 8 6  
H 0 1 L 2 1 / 8 2 4 2  
H 0 1 L 2 7 / 1 1 5 8 2  
H 0 1 L 2 7 / 1 1 5 6  
H 0 1 L 2 7 / 1 1 5 5 6