



[12] 发 明 专 利 说 明 书

专利号 ZL 00819944.2

[45] 授权公告日 2005 年 11 月 16 日

[11] 授权公告号 CN 1227904C

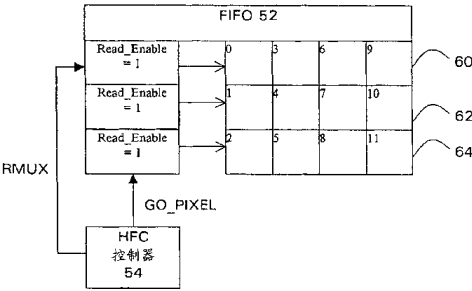
[22] 申请日 2000.12.11 [21] 申请号 00819944.2
[30] 优先权
[32] 2000.10.3 [33] US [31] PCT/US00/27149
[86] 国际申请 PCT/US2000/033534 2000.12.11
[87] 国际公布 WO2002/030115 英 2002.4.11
[85] 进入国家阶段日期 2003.4.3
[71] 专利权人 汤姆森特许公司
地址 法国布洛涅
[72] 发明人 迪纳卡兰·奇达姆巴拉姆
冈特·A·格里姆
审查员 杨 娟

[74] 专利代理机构 北京市柳沈律师事务所
代理人 吕晓章 马 莹

权利要求书 2 页 说明书 7 页 附图 7 页

[54] 发明名称 缓冲像素数据的方法和系统
[57] 摘要

本发明提供了一种用于缓冲像素行的像素的方法和系统，以便不再需要水平格式转换器缓冲器与水平格式转换器滤波器之间的复杂处理电路。水平格式转换器缓冲器(52)包括可以由控制器(54)寻址的、多个并行循环缓冲器(60、62 和 64)，以便可以从水平格式转换器缓冲器(52)向水平格式转换器滤波器读取像素的可变序列。如果不需要所选择的循环缓冲器(60、62 或 64)来处理像素行，则控制器(54)可以关闭水平格式转换器缓冲器(52)的所选择的循环缓冲器(60、62 或 64)。



ISSN 1008-4274

1. 一种缓冲系统，用于便利在水平格式转换器中的像素的处理，所述系统包括：

5 FIFO 缓冲器（52），用于缓冲包括多个像素的输入像素行；

滤波器（56），用于处理从 FIFO 缓冲器（52）读取的像素以产生一个输出像素行；和

控制器（54），用于适配像素从 FIFO 缓冲器（52）向滤波器（56）的读取，以便可以从 FIFO 缓冲器（52）向滤波器（56）读取像素的可变序列，其

10 中：

所述 FIFO 缓冲器（52）包括多个并行的缓冲器（60、62 和 64），并且以交替的方式来在多个并行的缓冲器（60、62 和 64）中缓冲多个像素。

2. 按照权利要求 1 的缓冲系统，其中所述控制器（54）按照扩展模式、压缩模式和通过模式来适配从 FIFO 缓冲器（52）向滤波器（56）的像素读取。

15 3. 按照权利要求 1 的缓冲系统，其中按照扩展模式，控制器（54）适配从多个并行的缓冲器（60、62 和 64）先前读取的像素的处理，以便由滤波器（56）重复处理所选择的像素以产生扩展的输出像素行。

4. 按照权利要求 1 的缓冲系统，其中按照通过模式，控制器（54）适配从多个并行的缓冲器（60、62 和 64）的像素的读取，以便以与在多个缓冲器
20 （60、62 和 64）中缓冲多个像素一样的交替方式，从多个并行的缓冲器（60、62 和 64）向滤波器（56）读取像素。

5. 按照权利要求 1 的缓冲系统，其中按照压缩模式，控制器（54）适配从多个并行的缓冲器（60、62 和 64）的像素的读取，以便从多个缓冲器（60、62 和 64）中所选择的缓冲器向滤波器（56）读取所选择的像素。

25 6. 按照权利要求 1 的缓冲系统，其中，当对于输入像素行的缓冲不需要所选择的缓冲器（60、62 或 64）的时候，控制器（54）关闭多个缓冲器（60、62 和 64）的所选择的缓冲器（60、62 或 64）。

7. 按照权利要求 1-6 之一的缓冲系统，其中可以用螺旋形线圈循环缓冲器来代替所述 FIFO 缓冲器（52）。

30 8. 按照权利要求 1 的缓冲系统，其中该缓冲系统应用在数字视频接收系统中。

9. 按照权利要求 8 的缓冲系统, 其中数字视频接收系统在等离子体显示器中运行。

10. 一种存储管理方法, 用于向滤波器(56)读取在一个 FIFO 缓冲器(52)中缓冲的像素行的像素, 以便扩展或压缩所述像素行, 所述方法包括步骤:

5 确定是否在 FIFO 缓冲器(52)中缓冲的像素行需要被压缩或扩展;

从 FIFO 缓冲器(52)向滤波器(56)读取像素行的像素, 以便滤波器(56)可以压缩或扩展输入的像素行; 和

从滤波器(56)向下游处理电路传递所扩展或所压缩的像素行, 用于先于在显示器件上显示之前进一步处理像素行,

10 其中 FIFO 缓冲器(52)是多个并行的缓冲器(60、62 和 64)并且以交替的方式来多个并行的缓冲器(60、62 和 64)中缓冲多个像素。

11. 按照权利要求 10 的存储管理方法, 其中向滤波器(56)读取在缓冲器(52)中的像素的步骤包括步骤:

15 当要压缩在 FIFO 缓冲器(52)中像素行的时候, 从多个缓冲器(60、62 和 64)中所选择的缓冲器(60、62 或 64)读取像素。

12. 按照权利要求 11 的存储管理方法, 其中从所选择的缓冲器(60、62 或 64)读取像素, 以便从所选择的缓冲器(60、62 和 64)向滤波器(56)读取并行像素的可变序列。

13. 按照权利要求 10 的存储管理方法, 其中当不要求缓冲像素行的时候, 20 FIFO 缓冲器(52)是可以被有选择地关闭的、多个并行的循环缓冲器(60、62 和 64)。

14. 按照权利要求 10-13 之一的存储管理方法, 其中可以用螺旋形线圈循环缓冲器来代替所述 FIFO 缓冲器(52)。

15. 按照权利要求 10 的存储管理方法, 其中该方法被并入到数字视频接收系统的水平格式转换器(50)的操作中。

16. 按照权利要求 15 的存储管理方法, 其中数字视频接收系统在等离子体显示器中操作。

缓冲像素数据的方法和系统

5 技术领域

本发明涉及在视频处理系统中处理表示像素的数据。

背景技术

典型的电视台以标准的分辨率发送视频信号。当视频信号接收机接收到
10 这个视频信号的时候，如果与视频信号接收机相关的显示器的分辨率高于所
述的标准分辨率，则扩展标准分辨率，如果显示器的分辨率小于标准分辨率，
则压缩标准分辨率，或者如果显示器的分辨率等于标准分辨率则不改变标准
分辨率。传统的视频信号接收机包括主频道格式转换器（MFC），用于扩展或
15 压缩所接收到的视频信号的分辨率。MFC 包括：水平格式转换器（HFC），
用于执行在水平方向上的分辨率转换；垂直格式转换器（VFC），用于执行在
垂直方向上的分辨率转换。

现在参见图 1，示出了传统的 HFC 10。HFC 10 特别包括循环或 FIFO 缓
冲器 12、处理电路 16、HFC 滤波器 18 和 HFC 控制器 14。在运行中，在 FIFO
缓冲器 12 中缓冲输入的视频流。所述视频流包括一系列帧。每个帧包括一系
20 列行，每个行包括多个像素。检测电路（未示出）检测输入的视频流的分辨
率，将所检测的分辨率与有关的显示器的已知分辨率相比较，并且向 HFC 控
制器 14 发送合适的缩放比率信号。缩放比率是扩展或压缩比，可以被表示如
下：

$$\text{缩放比率} = (\text{输出数据大小}) / (\text{输入数据大小})$$

25 因此，如果缩放比率大于 1，则输入数据的扩展（即在 FIFO 12 中缓冲的
水平像素行的扩展）是必要的。如果缩放比率小于 1，输入数据的压缩（即
在 FIFO 12 中缓冲的水平像素行的压缩）是必要的。如果缩放比率等于 1，则
输入数据的压缩或扩展都不必要。

例如，如果缩放比率是 1/3，则 HFC 滤波器 18 需要三个输入像素来产生
30 一个输出像素。因此，需要输入像素的固定系列（3，3，3...）来产生所期望

的输出像素。如果缩放比率是 4/10, 则 HFC 滤波器需要 10 个输入像素来产生 4 个输出像素。其实现是通过从前三个输入像素来得到第一个输出像素, 从下面两个输入像素得到第二个输出像素, 从下面三个输入像素得到第三个输出像素, 并且从最后两个输入像素得到第四个输出像素。因此, 需要输入

5 像素的可变序列 (3, 2, 3, 2...) 来产生所期望的输出像素。

在传统的 HFC 10 中, FIFO 缓冲器 12 具有固定的数据大小。换句话说, FIFO 缓冲器 12 输出输入像素的固定序列 (如, 1、2 或 3 个像素) 以响应于来自 HFC 控制器 14 的读取请求。如果输入像素的需要数量不同于从 FIFO 缓冲器 12 读取的输入像素的数量, 则 HFC 控制器 14 配置复杂的处理电路 16

10 以向 HFC 滤波器 18 提供需要来允许 HFC 滤波器 18 产生所期望输出像素的输入像素的必要序列。处理电路 16 的利用有多个缺点。一个缺点是处理电路 16 需要多个时钟周期来从固定的输出 FIFO 缓冲器 12 产生一个可变的像素序列, 因此使得 HFC 10 的吞吐变慢。另一个缺点是处理电路 16 用尽了集成电路上的宝贵资源, 这些资源否则可以用于其它急需的功能。

15 本发明旨在解决上面讨论的缺点。

发明内容

本发明的缓冲方法和系统通过适配 HFC 缓冲器来促进了像素行的压缩或扩展, 以便可以从 HFC 缓冲器向 HFC 滤波器读取并行像素的可变序列而不

20 使用复杂的处理电路。

按照本发明的一个方面, 提供一种缓冲系统, 用于便利在水平格式转换器中的像素的处理, 所述系统包括: FIFO 缓冲器, 用于缓冲包括多个像素的输入像素行; 滤波器, 用于处理从 FIFO 缓冲器读取的像素以产生一个输出像素行; 和控制器, 用于适配像素从 FIFO 缓冲器向滤波器的读取, 以便可以从

25 FIFO 缓冲器向滤波器读取像素的可变序列, 其中: 所述 FIFO 缓冲器包括多个并行的缓冲器, 并且以交替的方式来在多个并行的缓冲器中缓冲多个像素。

按照本发明的另一方面, 提供一种存储管理方法, 用于向滤波器读取在一个 FIFO 缓冲器中缓冲的像素行的像素, 以便扩展或压缩所述像素行, 所述方法包括步骤: 确定是否在 FIFO 缓冲器中缓冲的像素行需要被压缩或扩展;

30 从 FIFO 缓冲器向滤波器读取像素行的像素, 以便滤波器可以压缩或扩展输入的像素行; 和从滤波器向下游处理电路传递所扩展或所压缩的像素行, 用于

先于在显示器件上显示之前进一步处理像素行,其中 FIFO 缓冲器是多个并行的缓冲器并且以交替的方式来在多个并行的缓冲器中缓冲多个像素。

附图说明

5 在附图中:

图 1 是传统的水平格式转换器的方框图;

图 2 图解了用于等离子体显示器的示范数字视频接收机。

图 3 是本发明的水平格式转换器的方框图;

图 4 是在本发明的缓冲系统中的示范数据流的方框图;

10 图 5 是在本发明的缓冲系统中的示范数据流的方框图;

图 6 是在本发明的缓冲系统中的示范数据流的方框图;

图 7 是在本发明的缓冲系统中的示范数据流的方框图。

具体实施方式

15 通过下面通过示例的说明,本发明的特点和优点将变得更清楚。

参见图 2,示出了按照本发明的原理运行的示范数字视频接收系统的方框图。所述视频接收系统包括:天线 20 和输入处理器 22,用于接收和数字化以携带音频、视频和相关数据的信号调制的广播载波;解调器 24,用于接收和解调来自输入处理器 22 的数字输出信号;解码器 28,输出这样的—
20 信号,该信号被网格解码、映射为字节长度数据段、解交织和里德-索罗蒙纠错。来自解码器单元 28 的被纠错的输出数据的形式是 MPEG 兼容的传送数据流,其中包括表示节目的多路复用的音频、视频和数据分量。

处理器 26 处理从解码器 28 输出的数据,以便可以按照经由遥控单元 32 由用户输入的请求在数字显示单元 30 (如, HDTV 等离子体显示单元) 上显示所处理的数据。更具体而言,处理器 26 包括一个控制器 34,它翻译经由
25 远程单元接口 36 从遥控单元 32 接收的请求,并且适当地配置处理器 26 的元件以执行用户的请求 (如频道和/或 OSD 显示)。在一个示范模式中,控制器 34 配置处理器 26 的元件以提供 MPEG 解码数据和 OSD,用于显示在显示单元 30 上。

30 处理器 26 包括解码 PID 选择单元 18,它识别在传送流中的所选择的分

组并为它们选择从解码器 28 到传送解码器 40 的路由。来自解码器 28 的传送流被传送解码器 40 多路分解为音频、视频和数据分量，并被处理器 26 的其它元件进一步处理，如下详细所述。

提供到处理器 26 的传送流包括数据分组，其中包括节目频道数据、辅助系统定时信息和诸如节目内容等级和节目指南信息的节目具体信息。传送解码器 40 向控制器 34 发送辅助信息分组，控制器 34 解析、整理辅助信息并将其汇编为分层组织的表。包括用户所选择的节目频道的各个数据分组被利用所汇编的节目具体信息来识别和汇编。系统定时信息包括一个时间基准指示器和相关的校正数据（如日光节省时间标志和对于时间漂移、闰年等的偏移信息调整）。这个定时信息使得解码器足以将时间基准标志转换为时钟（如，美国东海岸时间和日期），用于由节目的播送者建立节目未来传送的日期和时间。所述时钟可以用于启动预定的节目处理功能，如节目播放、节目记录和节目重放。而且，所述节目具体信息包括条件访问、网络信息和识别和链接数据，使得图 2 的系统调谐到所期望的频道并且将数据分组汇编以形成完整的节目。所述节目具体信息也包括辅助节目内容等级信息（如基于年龄的适合性等级）、节目指南信息（如电子节目指南-EPG）和与播送节目相关的描述文本以及支持这个辅助信息的识别和汇编的数据。

传送解码器 40 向 MPEG 解码器 42 提供 MPEG 兼容的视频、音频和分画面流。视频和音频流包括表示所选择的频道节目内容的压缩的视频和音频数据。分画面数据包括与频道节目内容相关的信息，如等级信息、节目描述信息等。

MPEG 解码器 42 与随机存取存储器（RAM）44 协作来解码和解压来自单元 40 的 MPEG 兼容的分组音频和视频数据，并得到解压的表示节目的像素数据。如下进一步详细所述，解码器 42 包括 HFC（图 3 所示），它利用本发明的缓冲系统（图 3-7 所示）。解码器 42 也汇编、整理和翻译来自单元 40 的分画面数据以产生格式化的节目指南数据，用于输出到内部 OSD 模块。OSD 模块按照本发明与 RAM 44 协作来处理分画面数据和其它信息以产生像素映射的数据，表示字幕、控制和信息菜单显示，其中信息菜单显示包括可选择的菜单选项和其它项目，用于显现在等离子体显示器件 30 上。

包括由 OSD 模块产生的文本和图形的控制和信息显示在控制器 34 的控制下以覆盖像素映像数据的形式被产生。来自 OSD 模块的覆盖像素映像数据

在控制器 34 的控制下被与来自解码器 42 的解压表示像素的数据组合和同步。表示在所选择的频道上的视频节目的组合的像素映像数据以及相关的分画面数据被解码器 42 编码并被经由显示驱动器 46 输出到等离子体显示器件 30 供显示。

- 5 参见图 3, 示出了本发明的 HFC 50。HFC 50 包括 FIFO 缓冲器 52、HFC 滤波器 56 和 HFC 控制器 54。在运行中, 在 HFC 控制器 54 的控制下, 向 FIFO 缓冲器 52 写入视频流的像素 (如表示亮度或色度像素的数据)。HFC 控制器 54 响应于对缩放比率信号的接收 (如前所述) 而使得 HFC 滤波器 56 从 FIFO 缓冲器 52 读取可选择数量的像素, 以便 HFC 滤波器 56 可以产生所期望的输出像素。更具体而言, HFC 控制器 54 按照扩展模式 (如果缩放比率大于 1)、
10 压缩模式 (如果缩放比率小于 1) 和通过模式 (如果缩放比率等于 1) 来适配自 FIFO 缓冲器 52 向 HFC 滤波器 56 的像素的读取。

参见图 4-7, 示出了在压缩模式期间通过 FIFO 缓冲器 52 的示范像素流。在示例中, 控制器 54 已经接收了 4/10 的缩放比率。

- 15 现在转向图 4, 在 FIFO 缓冲器 52 中示出了缓冲的像素行的第一批 12 个像素。FIFO 缓冲器 52 被划分为三个并行缓冲器 60、62 和 64, 像素以交替的方式被写入缓冲器 60、62 和 64, 其中第一像素 (像素 0) 被写入到缓冲器 60, 第二像素 (像素 1) 被写入到缓冲器 62, 第三像素 (像素 2) 被写入到缓冲器 64, 第四像素 (像素 3) 被写入到缓冲器 60, 第五像素 (像素 4) 被
20 写入到缓冲器 62, 等等, 直到所述像素行在 FIFO 缓冲器 52 中得到缓冲。向缓冲器 60、62 和 64 缓冲像素的替换方法可以被表示为下列算法:

输入缓冲器 = (前一个输入缓冲器 + 1) % 3

应当注意, FIFO 缓冲器可以包括如本领域的技术人员所公知的、在数字视频接收系统中要求的多个附加并列循环缓冲器。

- 25 在接收到缩放比率信号后, HFC 控制器 54 经由存储在存储器 (未示出) 中的算法确定要从 FIFO 缓冲器 52 的循环缓冲器 60-64 读取的像素的序列。如果缩放比率是 4/10, 则需要 10 个输入像素来产生 4 个输出像素, 如上所述。其实现是通过从前三个输入像素 (像素 0、1 和 2) 来得到第一个输出像素, 从下面两个输入像素 (像素 3 和 4) 得到第二个输出像素, 从下面三个输入
30 像素 (像素 5、6 和 7) 得到第三个输出像素, 并且从下面两个输入像素 (像素 8 和 9) 得到第四个输出像素。因此, HFC 控制器 54 确定必须从 FIFO 缓

冲器 52 向 HFC 滤波器 56 读取输入像素的可变序列 (3, 2, 3, 2...), 以便 HFC 滤波器 56 产生 4 个所期望的输出像素。应当注意 HFC 控制器 54 将继续压缩处理直到接收到新的缩放比率。

在从 FIFO 缓冲器 52 的读取操作的开始, HFC 控制器 54 的内部寄存器 (RMUX) 指向包括所缓冲的像素行的第一个像素 (像素 0) 的循环缓冲器。因为要从 FIFO 缓冲器 52 读取的第一组像素是一组三个像素, 因此 HFC 控制器 54 产生一个 GO_PIXEL 信号, 它指示要从 FIFO 缓冲器 52 向 HFC 滤波器 56 读取三个像素。具体而言, RMUX 寄存器指示要在循环缓冲器 60 开始从 FIFO 缓冲器 52 读取像素, 并且 GO_PIXEL 信号继而使得三个循环缓冲器在循环缓冲器 60 开始并且在循环缓冲器 64 结束。其后, HFC 滤波器 56 (在 HFC 控制器 54 的控制下) 从循环缓冲器 60、62 和 64 并行读取三个像素 (像素 0、1 和 2)。

接着, 如图 5 所示, HFC 控制器 54 的 RMUX 寄存器被更新以指向循环缓冲器 60, 它包括下一个未读的像素 (像素 3)。因为要从 FIFO 缓冲器 52 读取的第二组像素是一组两个像素, HFC 控制器 54 产生一个 GO_PIXEL 信号, 它指示要从 FIFO 缓冲器 52 向 HFC 滤波器 56 读取两个像素。更具体而言, RMUX 寄存器指示要在循环缓冲器 60 开始从 FIFO 缓冲器 52 读取像素, 并且 GO_PIXEL 信号继而使得二个循环缓冲器在循环缓冲器 60 开始并且在循环缓冲器 62 结束。其后, HFC 滤波器 56 (在 HFC 控制器 54 的控制下) 从循环缓冲器 60 和 62 并行读取二个像素 (像素 3 和 4)。

现在转向图 6, HFC 控制器 54 的 RMUX 寄存器被更新以指向循环缓冲器 64, 它包括下一个未读的像素 (像素 5)。因为要从 FIFO 缓冲器 52 读取的第三组像素是一组三个像素, HFC 控制器 54 产生一个 GO_PIXEL 信号, 它指示要从 FIFO 缓冲器 52 向 HFC 滤波器 56 读取三个像素。更具体而言, RMUX 寄存器指示要在循环缓冲器 64 开始从 FIFO 缓冲器 52 读取像素, 并且 GO_PIXEL 信号继而使得三个循环缓冲器在循环缓冲器 64 开始并且在循环缓冲器 62 结束。其后, HFC 滤波器 56 (在 HFC 控制器 54 的控制下) 从循环缓冲器 64、60 和 62 并行读取三个像素 (像素 5、6 和 7)。

现在参见图 7, HFC 控制器 54 的 RMUX 寄存器被更新以指向循环缓冲器 64, 它包括下一个未读的像素 (像素 8)。因为要从 FIFO 缓冲器 52 读取的第四组像素是一组二个像素, HFC 控制器 54 产生一个 GO_PIXEL 信号, 它

指示要从FIFO缓冲器52向HFC滤波器56读取二个像素。更具体而言,RMUX寄存器指示要在循环缓冲器64开始从FIFO缓冲器52读取像素,并且GO_PIXEL信号继而使得二个循环缓冲器在循环缓冲器64开始并且在循环缓冲器60结束。其后,HFC滤波器56(在HFC控制器54的控制下)从循环缓冲器64和60并行读取二个像素(像素8和9)。

在扩展模式中,HFC控制器54适配从循环缓冲器60、62和64的像素的读取,以便从循环缓冲器60、62和64以前读取的所选择像素被HFC滤波器56重复处理。这个所选择像素的重复处理允许HFC滤波器56扩展在FIFO缓冲器52缓冲的像素行。在通过模式中,HFC控制器54适配从循环缓冲器60、62和64的像素的读取,以便以与在循环缓冲器60、62和64中缓冲像素一样的交替方式,从循环缓冲器60、62和64向HFC滤波器56读取像素。换句话说,按照下列算法从FIFO缓冲器52读取像素:

输出缓冲器=(前一个输出缓冲器+1)%3

如果三个缓冲器对于缓冲一个像素行不必要,则HFC控制器54可以有选择地关闭循环缓冲器60、62和64的一个或多个。如果本发明的缓冲方法和系统未包括在一个电池驱动的器件中,则关闭不必要的缓冲器节省能量并可以延长电池寿命。

应当注意,本发明可以被描述为一个螺旋形线圈循环缓冲器,其中通过HFC控制器54产生的循环缓冲器允许读取内容具有与螺旋形线圈类似的格式。

因此,通过适配一个HFC缓冲器以便可以从HFC缓冲器向HFC滤波器读取并行像素的可变序列而不用复杂的处理电路,本发明的缓冲方法和系统便利了在HFC中的水平像素行的处理。

虽然已经参照优选实施例说明了本发明,显然在不脱离所附的权利要求所限定的本发明的精神和范围的情况下,可以在实施例中进行各种改变。

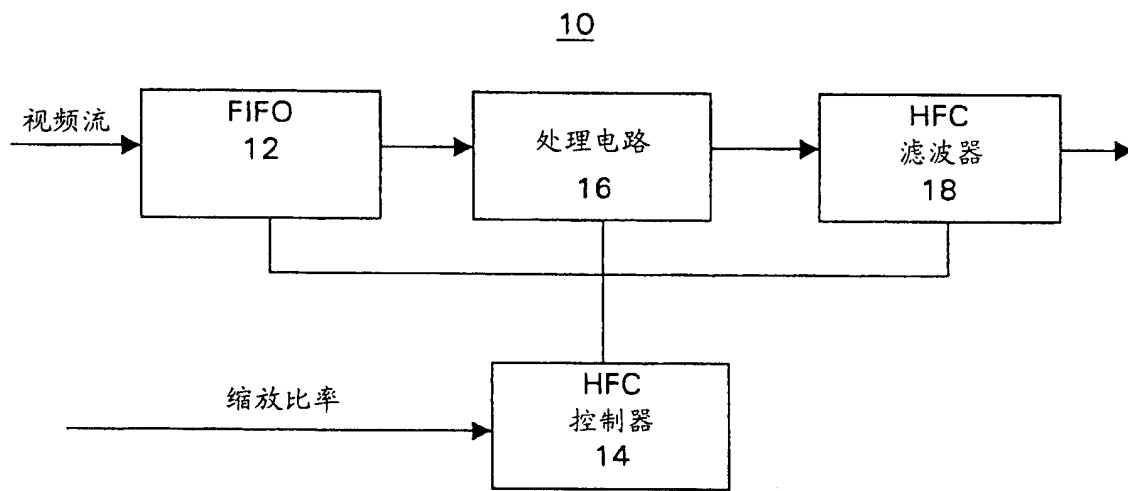


图 1

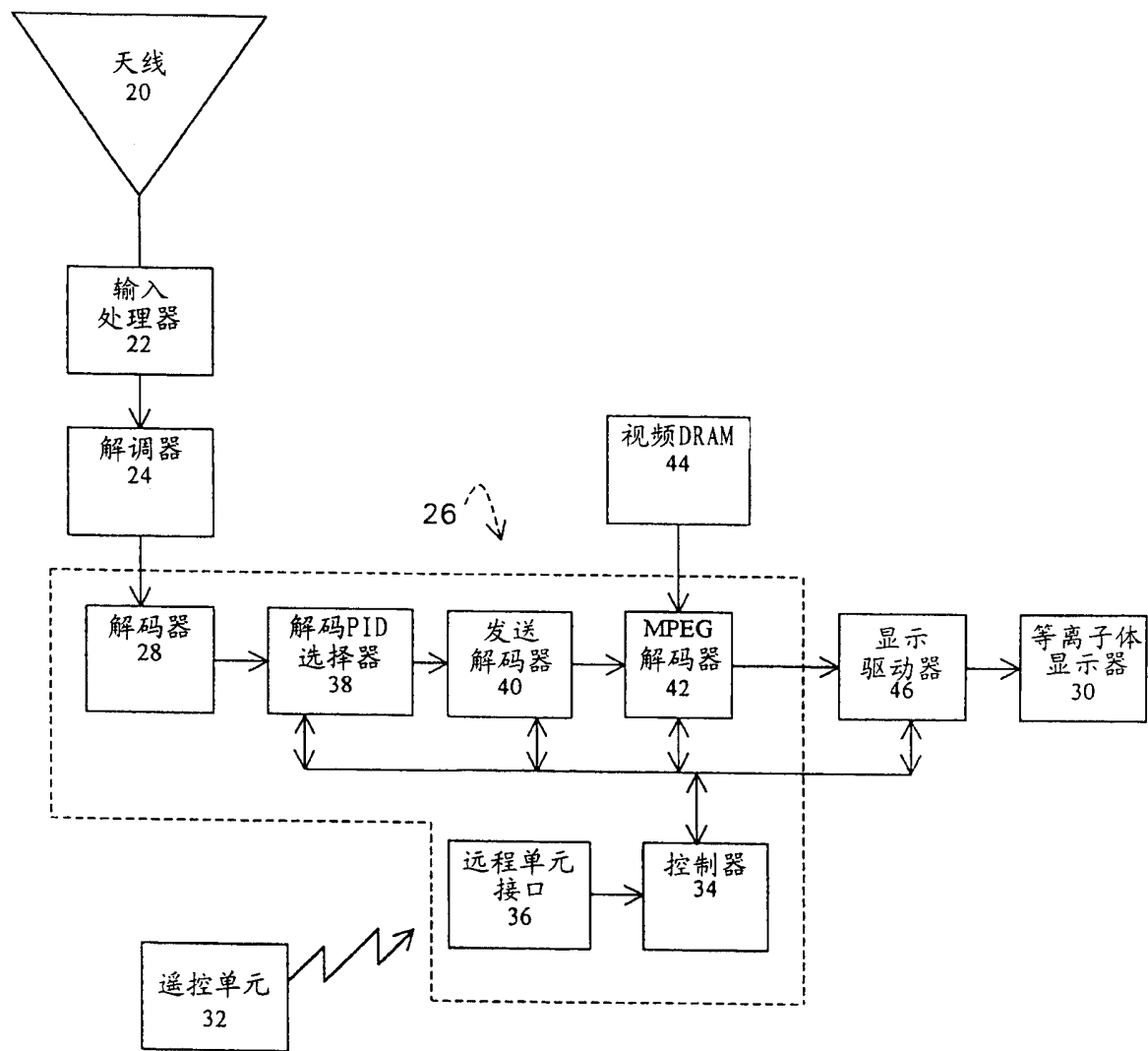


图 2

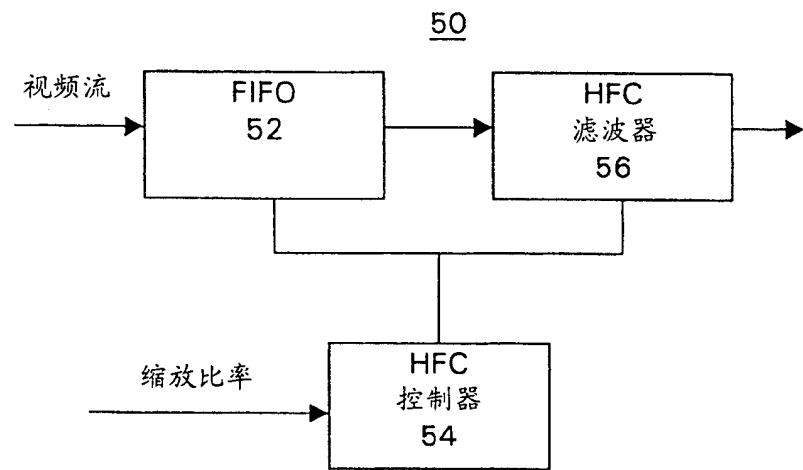


图 3

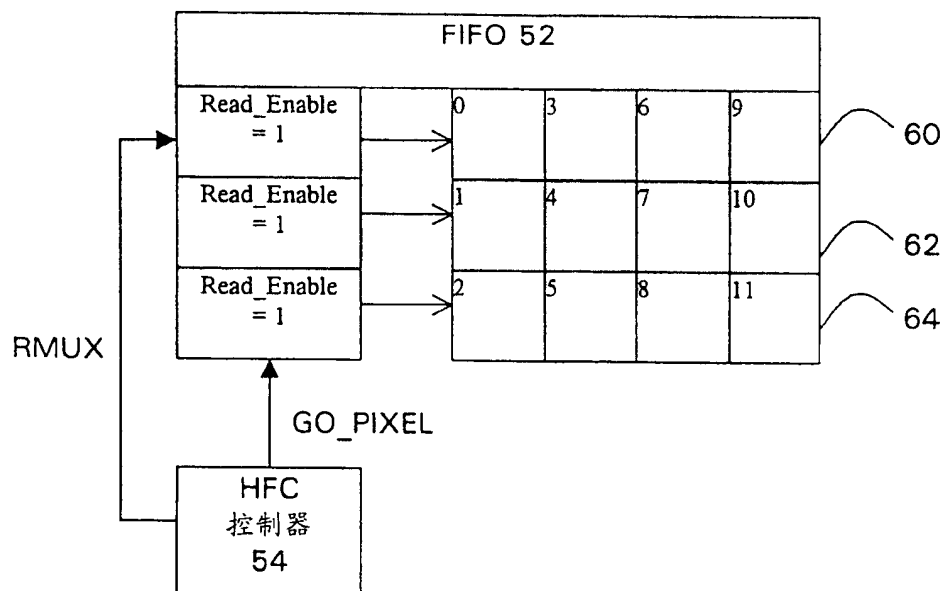


图 4

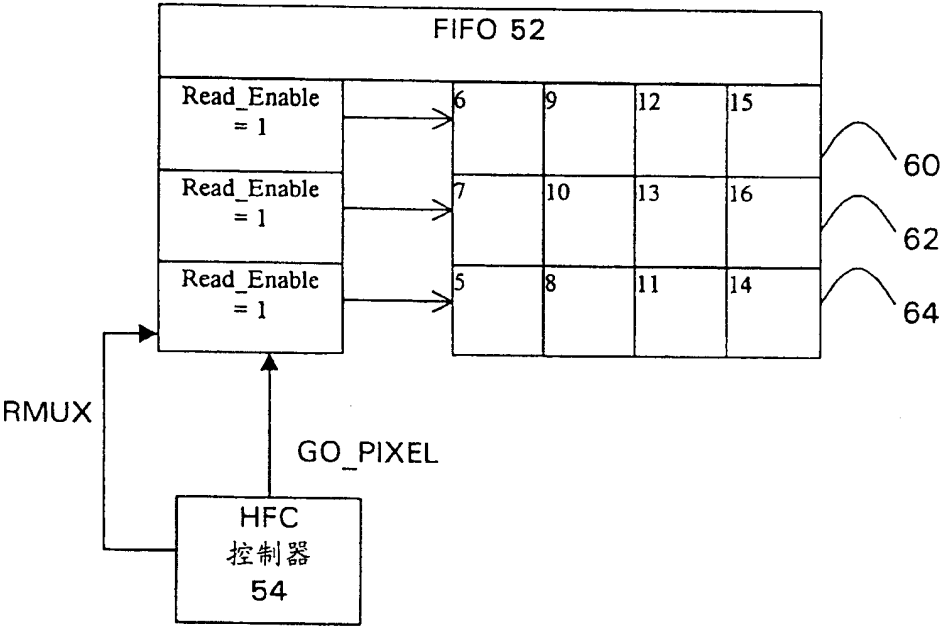


图 6

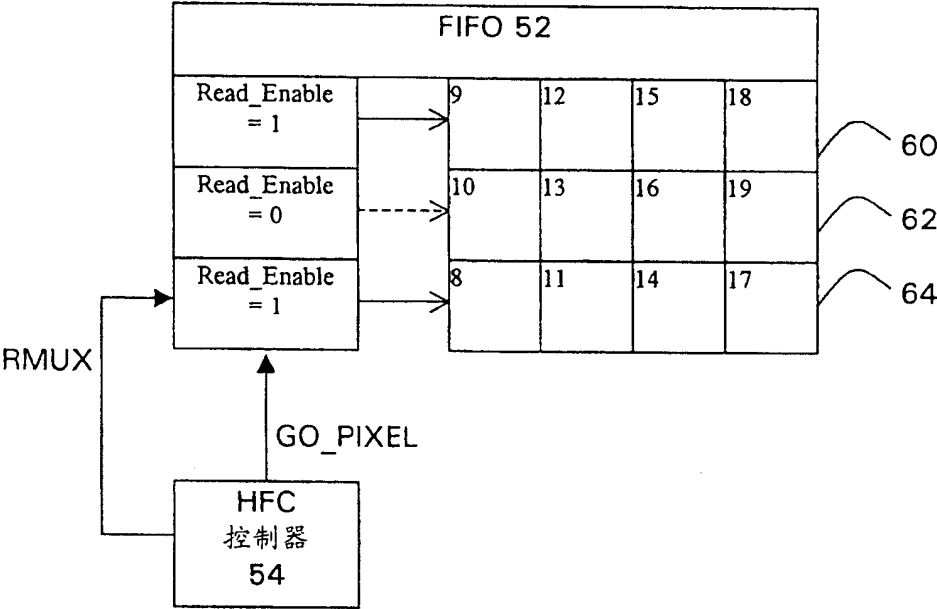


图 7