



República Federativa do Brasil
Ministério do Desenvolvimento, Indústria
e do Comércio Exterior
Instituto Nacional da Propriedade Industrial.

(21) **PI0709094-3 A2**

(22) Data de Depósito: 22/03/2007
(43) Data da Publicação: 28/06/2011
(RPI 2112)



* B R P I 0 7 0 9 0 9 4 A 2 *

(51) *Int.Cl.:*
H03F 1/02 2006.01
H03F 3/68 2006.01

(54) Título: **AMPLIFICADOR, E, MÉTODO PARA AMPLIFICAR UM SINAL DE ENTRADA PARA GERAR UM SINAL DE SAÍDA**

(30) Prioridade Unionista: 27/03/2006 US 60/786275

(73) Titular(es): Shell Internationale Research Maatschappij B.V

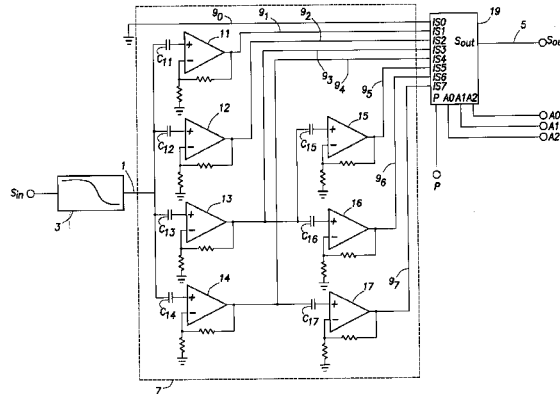
(72) Inventor(es): Richard Martin Ostermeier, William Mountjoy Savage

(74) Procurador(es): Momsen, Leonardos & CIA.

(86) Pedido Internacional: PCT US2007064613 de 22/03/2007

(87) Publicação Internacional: WO 2007/112256 de 04/10/2007

(57) **Resumo:** AMPLIFICADOR, E, MÉTODO PARA AMPLIFICAR UM SINAL DE ENTRADA PARA GERAR UM SINAL DE SAÍDA. Amplificador compreendendo um nó de sinal de saída para conduzir um sinal de entrada tendo um valor de sinal de entrada e um nó de sinal de saída para conduzir um sinal de saída tendo um valor de sinal de saída. Circuitos de amplificador são acoplados ao nó de sinal de entrada e providos de diversos nós de sinal de saída intermediários, cada um para conduzir um sinal de saída intermediário tendo um valor de sinal de saída intermediário. O valor de sinal de saída intermediário em cada nó de sinal de saída intermediário relaciona-se ao valor de sinal de entrada de acordo com ganhos de sinal pré-determinados. Um seletor de sinal seleciona um dos sinais de saída intermediários e alimenta o selecionado ao nó de sinal de saída. O amplificador pode ser constituído de um conversor analógico digital. O amplificador pode ser incorporado em uma ferramenta de furo abaixo. O método de amplificação pode ser usado em um método para produzir um fluido de hidrocarboneto mineral.





PI0709094-3

AMPLIFICADOR, E, MÉTODO PARA AMPLIFICAR UM SINAL DE ENTRADA PARA GERAR UM SINAL DE SAÍDA”

Em um primeiro aspecto, a invenção relaciona-se a um amplificador. O amplificador pode ser parte de um conversor analógico digital. Em um outro aspecto, a invenção relaciona-se a um método para amplificar um sinal de entrada. O método para amplificar um sinal de entrada pode fazer parte de um método para converter um sinal de entrada analógico para um sinal de saída digital.

Em algumas áreas de tecnologia, há uma necessidade de ler e/ou digitalizar um sinal variável no tempo cujo valor muda de muitas ordens de magnitudes. Em alguns casos, as mudanças de valor do sinal podem ocorrer rápido.

Um exemplo de tal área de tecnologia envolve medir respostas eletromagnéticas transientes em seguida a excitações de uma formação terrestre. Os pedidos de patente U.S. publicados sob os números 2005/0092487, 2005/0093546, 2006/0038571, cada um descreve tais métodos eletromagnéticos (EM) de transientes para localizar uma anomalia em uma formação terrestre subterrânea e, em particular para encontrar a direção e distância para uma anomalia resistiva ou condutiva em uma formação rodeando uma perfuração ou adiante da perfuração, em aplicações de escavação.

Nestes métodos, tipicamente uma ferramenta compreendendo uma antena transmissora, uma antena receptora e um suporte estrutural, é baixada em uma perfuração na formação terrestre. Um sinal de resposta transiente, compreendendo uma tensão de indução na antena do receptor resultante de uma mudança súbita na corrente que está passando através da antena de transmissor, é medido. Os pedidos de patente U.S. referenciados mostram que os sinais de resposta podem decair de microvolts para nanovolts em tempos de microssegundos. Isto dispara uma demanda de detecção de alta

velocidade de faixa dinâmica alta - e circuitos de aquisição de dados.

Vários métodos e aparelhos são conhecidos para melhorar a faixa dinâmica em conversores analógico-digitais.

5 Em alguns multímetros portáteis comercialmente disponíveis, tais como medidores de Volt-Ohm, circuitos de comutação de ganho são providos para comutar entre configurações de ganho de um amplificador de sinal.

10 Roos e outros, no Pedido de Patente U.S. publicado sob o número 2005/0083120, descrevem circuitos de amplificação de sinal de dados e comutação de processamento com ganhos de sinal múltiplos para aumentar a faixa de sinal dinâmica para sinais de valor de pixel de geração de imagem de raios X. Os ganhos de sinal múltiplos são obtidos comutando seqüencialmente em mais capacidade de realimentação através de um amplificador diferencial.

15 Tais circuitos de comutação podem introduzir atrasos de tempo relativamente longos através dos períodos de comutação de ganho, e tempo é também perdido quando o amplificador é ajustado em um ganho subótimo. Ambos resultam em perda de dados durante tais períodos.

20 De acordo com um primeiro aspecto da invenção, é provido um amplificador compreendendo

- um nó de sinal de entrada para conduzir um sinal de entrada tendo um valor de sinal de entrada;

- um nó de sinal de saída para conduzir um sinal de saída tendo um valor de sinal de saída;

25 - circuitos de amplificador acoplados ao nó de sinal de entrada e providos de pelo menos um primeiro nó de sinal de saída intermediário para conduzir um primeiro sinal de saída intermediário tendo um primeiro valor de sinal de saída intermediário, e um segundo nó de sinal de saída intermediário para conduzir um segundo sinal de saída intermediário tendo um segundo

valor de sinal de saída intermediário, por meio do qual o primeiro valor de sinal de saída intermediário se relaciona ao valor de sinal de entrada de acordo com um primeiro ganho de sinal pré-determinado e o segundo valor de sinal de saída intermediário se relaciona ao valor de sinal de entrada, de acordo com um segundo ganho de sinal pré-determinado, cujo segundo ganho de sinal pré-determinado é pelo menos dez vezes mais alto que o primeiro ganho de sinal pré-determinado;

5
10 - um seletor de sinal arranjado para selecionar um dos sinais de saída intermediários e para alimentar aquele selecionado ao nó de sinal de saída.

Em um próximo aspecto da invenção, é provido um conversor analógico digital, compreendendo um amplificador conforme definido acima, e circuitos de conversor analógico digital, acoplados a pelo menos um nó de sinal de saída para converter o sinal de saída selecionado.

15 De acordo com um outro aspecto da invenção, é provido um método para amplificar um sinal de entrada para gerar um sinal de saída, compreendendo as etapas de:

- conduzir um sinal de entrada tendo um valor de sinal de entrada;

20 - gerar pelo menos um primeiro sinal de saída intermediário, tendo um primeiro valor de sinal de saída intermediário, impondo primeiro ganho de sinal pré-determinado ao sinal de entrada;

- gerar pelo menos um segundo sinal de saída intermediário, tendo um segundo valor de sinal de saída intermediário, impondo segundo ganho de sinal pré-determinado ao sinal de entrada, por meio do qual o segundo ganho de sinal pré-determinado é escolhido pelo menos dez vezes mais alto que o primeiro ganho de sinal pré-determinado;

25 - selecionar um dentre o primeiro e segundo sinais de saída intermediários como o sinal de saída.

O sinal de saída e/ou o valor que este representa podem ser conduzidos a um visor e/ou a um meio de armazenagem para serem armazenados.

De acordo com ainda um outro aspecto da invenção, é provido um método para converter um sinal de entrada analógico para um sinal de saída digital, compreendendo as etapas de:

- amplificar o sinal de entrada analógico tendo um valor de sinal de entrada de acordo com o método definido acima para gerar um sinal de saída analógico; e

10 - converter pelo menos o sinal de saída analógico para um sinal de saída digital.

O sinal de saída digital e/ou o valor que representa podem ser conduzidos a um visor e/ou a um meio de armazenagem para serem armazenados.

15 Os circuitos do amplificador funcionam para seguir continuamente o sinal de entrada conduzido ao nó de sinal de entrada, e para gerar continuamente e simultaneamente sinais de saída intermediários consecutivos nos nós de sinal de saída intermediário. Então, há uma escolha do sinal de saída intermediário tendo suportado diferentes ganhos de sinal que diferem de pelo menos um fator de 10. Conseqüentemente, a faixa dinâmica efetiva do amplificador foi expandida de pelo menos uma ordem de magnitude. Ao invés da comutação de ganho, um dos sinais de saída intermediários pode ser selecionado, e em algum momento este pode ser acoplado ao nó de sinal de saída.

25 A seleção pode ser efetuada repetitivamente, pela qual o mesmo sinal de saída intermediário é novamente selecionado ou um outro dos sinais de saída intermediários é selecionado.

A seleção pode ser baseada nos valores dos valores analógicos (amplificados) do primeiro e segundo sinais de saída intermediários. O mais

adequado a ser selecionado pode ser tipicamente baseado em que, se o sinal de saída intermediário permanece dentro de uma faixa de sinal de saída pré-determinada, este pode ser selecionado. Frequentemente, o nó de sinal intermediário mais adequado em um dado instante, pode ser aquele que possui o valor de sinal de saída intermediário mais alto cujo módulo (ou “valor absoluto”) ainda estiver dentro de um valor de saída máximo pré-determinado.

Estas e outras características da invenção serão esclarecidas abaixo por meio de exemplos e com referência ao desenho anexo, no qual

10 Figura 1 mostra esquematicamente um amplificador de acordo com uma realização da invenção;

 Figura 2 mostra esquematicamente o símbolo usado para representar uma unidade de amplificação;

15 Figura 3 mostra esquematicamente um amplificador de acordo com uma outra realização da invenção;

 Figura 4 mostra esquematicamente um amplificador de acordo com ainda uma outra realização da invenção;

20 Figura 5 mostra esquematicamente um exemplo de um seletor de sinal que pode ser incluído no amplificador, de acordo com uma realização da invenção;

 Figura 6 mostra esquematicamente um codificador de seleção que pode ser incluído no seletor de sinal;

 Figura 6A mostra esquematicamente um comparador conforme empregado na Figura 6, provido de realimentação de histerese opcional;

25 Figura 7 mostra esquematicamente um comparador alternativo que pode ser empregado no codificador de seleção;

 Figura 7A mostra esquematicamente uma fonte de tensão para ajustar tensões de entrada de comparador;

 Figura 7B mostra esquematicamente o comparador alternativo

da Figura 7 provido de realimentação de histerese opcional;

Figura 8 mostra esquematicamente um conversor analógico digital de acordo com uma realização da invenção;

Figura 9 mostra esquematicamente uma máquina de estado;

5 Figura 10 mostra esquematicamente uma ferramenta de furo abaixo em uma formação terrestre.

Nas figuras, partes iguais portam numerais de referência idênticos.

Figura 1 mostra uma representação esquemática de um amplificador compreendendo um nó de sinal de entrada 1 para conduzir um
10 sinal de entrada S_{in} tendo um valor de sinal de entrada. O sinal de entrada pode ser geralmente um sinal DC ou um sinal AC. Na presente especificação será suposto que seja um sinal AC. Conseqüentemente, o valor do sinal de sinal de entrada será um valor dependente do tempo. O sinal de entrada pode
15 representar informação sobre um objeto físico, tal como uma formação terrestre, ou uma propriedade física deste.

O nó de sinal de entrada 1 pode ser provido opcionalmente de um filtro 3, que pode ser um filtro ativo ou passivo. Na realização conforme
mostrado, o filtro é provido na forma de um filtro passa baixa, porém um
filtro passa faixa pode ser escolhido, dependendo do tipo de sinal de entrada a
20 ser amplificado. Sua finalidade é evitar ondulações. Frequências de desenrolamento e gradientes (dB/oitava) podem ser escolhidos conforme desejado, na dependência da faixa de frequência que é de interesse. Na presente realização, é proposto um filtro passa baixa com uma atenuação de 3
dB em 100 kHz.

25 Dependendo do uso do amplificador, o filtro pode não ser necessário. Em alguns casos, a resposta de frequência do amplificador inteiro pode prover a característica de frequência desejada, em cujo caso um filtro separado na entrada não é necessário.

O nó de sinal de entrada 1 pode opcionalmente ser provido de

um controlador de blindagem para se contrapor a qualquer efeito capacitivo e/ou indutivo de qualquer linha de transmissão que possa estar presente entre a fonte do sinal de entrada (tal como um sensor) e o amplificador. Um exemplo de um controlador de blindagem ativo baseado em uma unidade de amplificador integrada, tal como por exemplo, AD524, é provido na folha de dados do AD524.

O circuito amplificador é adicionalmente provido de um nó de sinal de saída 5 para conduzir um sinal de saída S_{out} tendo um valor de sinal de saída. Também o valor de sinal de saída pode ser dependente do tempo.

O amplificador é adicionalmente provido de circuitos de amplificador, geralmente identificados pelo sinal de referência 7. Os circuitos de amplificador são acoplados ao nó de sinal de entrada 1 e providos de diversos nós de sinal de saída intermediários 9_1 a 9_7 cada, para conduzir um sinal de saída intermediário (IS_1 a IS_7) cada um tendo um valor de sinal de saída intermediário.

Qualquer número N de nós de sinal de saída intermediários pode ser provido. Na presente realização, foi feita uma seleção com $N = 7$. A letra n será posteriormente empregada para indicar o n -ésimo nó além dos N nós disponíveis, ou o n -ésimo sinal conduzido pelo n -ésimo nó.

Os circuitos de amplificador 7 compreendem adicionalmente diversos canais de amplificação, por meio dos quais cada canal de amplificação está associado a um dos nós de sinal de saída intermediários 9_1 a 9_7 . Os sinais de referência 9_n ($n = 1, 2, \dots, N$) podem posteriormente ser empregados para fazer referência aos nós do sinal de saída intermediários ou ao canal de amplificação correspondente.

Cada n -ésimo nó de sinal de saída 9_n é então acoplado ao nó de sinal de entrada 1 via seu canal de amplificação associado 9_n . Cada canal de amplificação 9_n impõe um ganho de sinal pré-determinado, G_n ao sinal de entrada S_{in} . Então, o valor do sinal de saída intermediário em cada um dos nós

de sinal de saída intermediários 9_1 a 9_7 relaciona-se ao valor de sinal de entrada de acordo com ganhos de sinal consecutivos pré-determinados impostos pelo canal de amplificação associado. Ou, na forma de equação:

$$IS_n = S_{in} \times G_n, \text{ onde } n = 1, 2, 3, \dots, N.$$

Um canal de amplificação compreende uma ou mais unidades de amplificação (ilustradas na Figura 1 em 11 a 17) para amplificar o sinal de entrada em um ou mais estágios. Canais de amplificação podem ser inteiramente independentes de outros canais de amplificação nos circuitos do amplificador, ou podem compartilhar uma ou mais unidades e estágios de amplificação com outros canais de amplificação.

Considerando a realização da Figura 1 como um exemplo, os canais de amplificação 9_1 e 9_2 (associados a nós de sinal de saída intermediários 9_1 e 9_2 respectivamente) compreendem cada um uma unidade de amplificação 11 e 12. Os canais de amplificação 9_3 , 9_5 e 9_6 compartilham a unidade de amplificação 13, que forma um único estágio no canal de amplificação 9_3 para o nó de sinal de saída intermediário 9_3 , e que forma um primeiro estágio no canal de amplificação 9_3 e um primeiro estágio no canal de amplificação 9_6 . O segundo estágio no canal de amplificação 9_5 é formado pela unidade de amplificação 15, que recebe o primeiro estágio de sinal amplificado da unidade de amplificação 13. O segundo estágio no canal de amplificação 9_6 é formado pela unidade de amplificação 16, que recebe o sinal amplificado do primeiro estágio de uma unidade de amplificação 13. Os canais de amplificação 9_4 e 9_7 compartilham a unidade de amplificação 14, que forma o único estágio no canal de amplificação 9_4 para o nó de sinal de saída intermediário 9_4 , e que forma um primeiro estágio no canal de amplificação 9_7 . O segundo estágio no canal de amplificação 9_7 é formado pela unidade de amplificação 17, que recebe o primeiro estágio de sinal amplificado da unidade de amplificação 14.

Figura 2 mostra um arranjo de amplificador operacional não

inversor que é o símbolo usado através da presente especificação para representar qualquer tipo de unidade de amplificador, incluindo por exemplo, circuitos baseados em transistor ou unidades de amplificador integradas, tais como por exemplo, AD524SD ou circuitos de amplificador baseados em amplificador operacional (Op-Amp) mais básico (por exemplo, LM741) com circuitos de realimentação mais sofisticados. Os circuitos de realimentação conforme mostrado na Figura 2 compreendem um divisor de tensão simples compreendendo resistores R_1 e R_2 resultando no ganho $= 1 + R_2/R_1$.

Referindo-se novamente à Figura 1, ganhos de sinal consecutivos G_n e G_{n+1} impostos pelos canais de amplificação consecutivos 9_n e 9_{n+1} , diferem um do outro. Nas realizações conforme mostrado, o ganho de sinal mais baixo está associado ao canal de amplificação 9_1 e o mais alto ao canal de amplificação 9_7 . Geralmente, o mais alto dos ganhos de sinal consecutivos é pelo menos dez vezes mais alto que o mais baixo dos ganhos de sinal pré-determinados, de modo a expandir a faixa dinâmica do amplificador de pelo menos uma década. Preferivelmente, o mais alto dos ganhos de sinal consecutivos é pelo menos 1000 vezes mais alto do que o mais baixo dos ganhos de sinal pré-determinados.

Em uma realização, os ganhos de cada unidade de amplificação e canais de amplificação da Figura 1 podem ser conforme mostrado na Tabela I abaixo, resultando em ganhos de sinal G_n nos canais de amplificação consecutivos 9_n aumentando de fatores de dez.

Tabela I

Identificador de canal de amplificação 9_n	Estágio 1		Estágio 2		Ganho de canal G_n
	Unidade de amplificador	Ganho da unidade	Unidade de amplificador	Ganho da unidade	
9_1 (n=1)	11	1	-	-	1
9_2 (n=2)	12	10	-	-	10
9_3 (n=3)	13	100	-	-	100
9_4 (n=4)	14	1.000	-	-	1.000
9_5 (n=5)	13	100	15	100	10.000
9_6 (n=6)	13	100	16	1.000	100.000
9_7 (n=7)	14	1.000	17	1.000	1.000.000

Capacitores opcionais conectados em série C_{11} a C_{17} podem ser providos nos canais de amplificação 9_1 a 9_7 para filtrar qualquer componente DC em um sinal essencialmente AC. Em particular, onde unidades de amplificação múltiplas são conectadas em série em um canal de amplificação, é vantajoso evitar amplificação adicional de qualquer desvio DC que possa ser introduzido por estágio de amplificação anteriores. Preferivelmente, cada unidade de amplificador 11 a 17 possui tal capacitor em sua linha de entrada ou saída.

Referindo-se ainda à Figura 1, o amplificador é adicionalmente provido de um seletor de sinal 19. O seletor de sinal 19 compreende nós de entrada de seletor de sinal que são conectados aos nós de sinal de saída intermediários 9_1 a 9_N , e a um nó de saída de seletor de sinal que é conectado ao nó de sinal de saída 5. O seletor de sinal 19 é arranjado para selecionar um dos sinais de saída intermediários com base em seus valores, e apresentar um sinal de saída correspondente ao sinal de saída intermediário selecionado no nó de sinal de saída 5.

Uma vantagem de selecionar com base nos valores de sinal de saída intermediário amplificados, é que a estratégia de seleção pode ser independente da faixa dinâmica do amplificador. Se a seleção tivesse que ser feita com base, por exemplo, no valor de sinal de entrada original, seria enfadonho determinar o melhor nó de saída intermediário através da faixa dinâmica inteira, em particular quando a faixa dinâmica excede três ordens de magnitude.

O sinal de saída e/ou o valor que este representa pode ser conduzido a um visor e/ou a uma meio de armazenagem para ser armazenado. O visor e/ou meio de armazenagem podem ser incorporados em um computador, tal como uma estação de trabalho ou um computador pessoal ou similar. Exemplos de visores incluem um tubo de raios catódicos tal como um monitor ou um osciloscópio, uma plotadora de caneta, um visor numérico.

Um meio de armazenagem adequado pode ser por exemplo meio fotográfico, papel ou qualquer meio de armazenagem legível por computador, por exemplo, porém não limitado a disco rígido, disco óptico, disco magnético, fita, fita magnética, cartão de memória flash, memória de aceso randômico de estado sólido (RAM), bastão de memória.

O seletor de sinal 19 conforme mostrado tem uma capacidade de selecionar um sinal dentre oito, ao passo que os circuitos de amplificador 7 na presente realização somente compreendem sete nós de sinal de saída intermediários 9_1 a 9_7 . Em tal caso, um oitavo nó de sinal de saída intermediário 9_0 pode ser provido, o qual pode ser conectado à terra.

Na realização conforme mostrado, o seletor de sinal 19 também compreende uma saída de endereço opcional, que é provida aqui na forma de nós de endereço binário A0, A1, A2. O seletor de sinal 19 é arranjado para carregar os nós binários A0, A1, A2 com um código binário consistindo de valores binários alto (h) e baixo (l) e identificando qual dos nós de sinal de saída intermediários 9_0 a 9_N foram selecionados e alimentaram o nó de sinal de saída 5.

Três nós de endereço binário são suficientes para codificar oito nós de sinal intermediários. Os vários nós de sinal de saída intermediários 9_1 a 9_N podem, por exemplo, ser cotados conforme relatado na Tabela II, abaixo.

Tabela II

Nó	A0	A1	A2
9_0	L	L	L
9_1	H	L	L
9_2	L	H	L
9_3	H	H	L
9_4	L	L	H
9_5	H	L	H
9_6	L	H	H
9_7	H	H	H

Qualquer outra codificação é aceitável, desde que cada nó corresponda a um único código de endereço.

O seletor de sinal 19 pode também compreender uma entrada de marcador de ritmo opcional para obter informação de pulso de temporização ou informação de sincronizador. A informação de pulso de temporização pode ser funcional para travamento no tempo de uma seleção, ou novas seleções a serem feitas ou para disparar um contador de estado da máquina.

Durante a operação, cada canal de amplificação 9_n pode amplificar continuamente o sinal de entrada S_{in} impondo um ganho de sinal pré-determinado e preferivelmente constante, G_n . Uma faixa de saída pode ser determinada, compreendendo um valor de saída mínimo e um valor de saída máximo. Em um certo valor de sinal de entrada dado, o módulo de alguns dos valores de sinal de saída intermediários pode exceder o valor máximo, enquanto o ganho de sinal de outros pode não ter sido suficiente para produzir um valor de sinal de saída intermediário cujo módulo exceda o valor de saída mínimo desejado.

Por exemplo, o valor de saída máximo pode ser escolhido para desqualificar canais de amplificação onde estágio de amplificação tenham saturado (“*clipping*”) em uma tensão de saída máxima no amplificador (seja positiva ou negativa) de uma ou mais da(s) unidade(s) de amplificação naquele canal. O valor de saída mínimo pode ser escolhido para desqualificar canais de amplificação que não tenham amplificado o bastante para produzir valores de sinal com que se possa trabalhar.

O seletor de sinal 19 serve para selecionar o mais adequado dos sinais intermediários disponíveis a cada instante e conectar o nó de sinal intermediário correspondente ao nó de sinal de saída 5. O seletor de sinal pode repetidamente ou mesmo continuamente efetuar uma seleção ao longo do tempo, para assegurar que o desejado dentre os sinais intermediários disponíveis seja apresentado no nó de sinal de saída 5, mesmo quando o valor do sinal de entrada tiver mudado. Para seleção repetida, a taxa de seleção

pode ser tão alta quanto necessário, o que depende da largura de faixa desejada (ou resolução no tempo) da detecção.

A seleção pode ser baseada no sinal intermediário que tenha sido amplificado no ganho de sinal mais alto, sem exceder o valor de saída máximo pré-determinado. Então, um valor de saída máximo pode ser ajustado ou definido, por exemplo, próximo porém abaixo da tensão de saída máxima das unidades de amplificação, e o seletor de sinal é preferivelmente arranjado para selecionar dentre os sinais de saída intermediários aquele cujo módulo tem o valor mais alto que seja mais baixo que o valor de saída máximo.

O seletor de sinal pode, se necessário, e na dependência de características (por exemplo, envolvendo “velocidade de varredura”) dos canais de amplificação, também observar um período de recuperação de saturação antes de permitir que um sinal proveniente de um canal de amplificação previamente saturado seja selecionável. Isto asseguraria que o canal amplificador tivesse se recuperado plenamente de sua condição de saturação, antes de ser admitido para ser selecionado.

Isto pode ser obtido de vários modos. Por exemplo, o valor de saída máximo pode ser ajustado suficientemente distante, abaixo da tensão de saída máxima das unidades de amplificação, de tal modo que, pelo tempo em que a saída da unidade de amplificação desceu abaixo do valor de saída máximo ajustado, a recuperação da saturação já tenha tido lugar. Ou pode ser provida uma histerese no seletor, de tal modo que o valor de saída máximo ajustado seja temporariamente selecionado mais baixo durante um período de tempo após ter ocorrido a saturação, por exemplo, até que o sinal de saída intermediário tenha caído abaixo do valor de saída máximo temporariamente ajustado mais baixo. Com tal histerese provida, uma faixa mais alta de valores de sinal intermediários provenientes das unidades de amplificador permanece disponível no instante em que não ocorreu saturação.

Usando o módulo do valor de saída intermediário, é obtido que

um sinal dentro da faixa definida por menos do valor de saída máximo e o valor de saída máximo é aceito.

Mais geralmente, a seleção pode ser baseada em uma janela de aceitação, na qual o “maior” valor negativo aceitável (limite inferior da janela) pode ser definido independentemente do maior valor positivo aceitável (limite superior da janela).

Uma vantagem do amplificador conforme estabelecido acima é que pouco ou nenhum tempo precisa ser perdido devido a comutação de ganho, enquanto ao mesmo tempo a faixa dinâmica é pelo menos tão grande quanto a relação entre o ganho de sinal máximo e o ganho de sinal mínimo disponível nos canais de amplificação.

Figura 3 mostra esquematicamente uma representação esquemática de uma outra realização de amplificador. A realização compartilha essencialmente as mesmas características da realização anterior, conforme mostrado com referência à Figura 1, porém há uma modificação nos circuitos de amplificador 7. Não só os canais de amplificação 9_1 e 9_2 (associados a nós de sinal de saída intermediários 9_1 e 9_2 , respectivamente) como também os canais de amplificação 9_3 e 9_4 são separados de outros canais de amplificação nos circuitos do amplificador. Cada um dos canais de amplificação 9_1 a 9_4 conforme mostrado aqui consiste de uma unidade de amplificação (11, 12, 13, 14, respectivamente) mas naturalmente duas ou mais unidades de amplificação podem ser acopladas em série, se desejado.

Uma unidade de amplificação 18 foi provida em adição às unidades de amplificação 11 a 17 da Figura 1. A unidade de amplificação 18 é compartilhada pelos canais de amplificação 9_5 , 9_6 e 9_7 , para formar o primeiro estágio de amplificação de cada um destes canais de amplificação. Os ganhos de cada unidade de amplificação e do canal de amplificação da Figura 3 podem ser conforme especificado na Tabela III abaixo.

Tabela III

Identificador de canal de amplificação 9_n	Estágio 1		Estágio 2		Ganho de canal G_n
	Unidade de amplificador	Ganho da unidade	Unidade de amplificador	Ganho da unidade	
9_1 (n=1)	11	1	-	-	1
9_2 (n=2)	12	10	-	-	10
9_3 (n=3)	13	100	-	-	100
9_4 (n=4)	14	1,000	-	-	1,000
9_5 (n=5)	18	1,000	15	10	10,000
9_6 (n=6)	18	1,000	16	100	100,000
9_7 (n=7)	18	1,000	17	1,000	1,000,000

Em outras realizações, cada canal de amplificação que consiste de dois ou mais estágios pode ser configurado possuindo todos os estágios exclusivos para um canal de amplificação. Isto requer mais componentes, mas cada canal de amplificação pode então ser sintonizado individualmente sem interromper outros canais. Ainda mais, na falha de uma unidade de amplificação, somente um canal de amplificação é interrompido, ao passo que se uma unidade de amplificação compartilhada falha (por exemplo, unidade de amplificação 18 na Figura 3) todos os canais de amplificação que fazem uso daquela unidade serão interrompidos.

Ainda em uma outra realização, conforme relatado com referência à Figura 4, todas as unidades de amplificação 11 a 17 são arranjadas em conexão série. Então, cada canal de amplificação provê os primeiros estágios de amplificação de cada canal de amplificação subsequente, porque a saída de cada unidade de amplificação é alimentada como entrada para a próxima unidade de amplificação. Uma vantagem é exigência de componente mínima, porém uma deficiência é que o ruído e outros erros a partir do primeiro estágio serão amplificados em cada estágio subsequente. O ganho da primeira unidade de amplificação 11 pode ser unitário, e o de cada uma das unidades de amplificação subsequentes (12 a 17) pode ser 10. Então, o ganho de sinal em cada canal de amplificação subsequente da Figura 3 pode ser 10 vezes mais alto que no anterior.

Capacitores opcionais C_{11} a C_{17} ajudarão a evitar amplificação

de tensões de desvio DC.

Abaixo será relatado um exemplo de um seletor de sinal 19. Figura 5 mostra uma realização de um seletor de sinal 19 que compreende um oscilador de relógio CLK, um codificador 21 e um multiplexador de sinal analógico 23.

O CLK pode ser provido na forma de um oscilador a cristal. O seletor de sinal 19, conforme mostrado, toma um sinal de marcador de ritmo P como entrada. O sinal do marcador de ritmo é conectado ao CLK para permitir sincronização dos pulsos do CLK com o sinal do marcador de ritmo.

Os nós de sinal de saída intermediários 9_1 a 9_7 são conectados ambos ao codificador de seleção 21 e ao multiplexador de sinal analógico 23. O multiplexador 23 comuta um dos sinais de saída intermediários para o nó de sinal de saída 5. O codificador de seleção 21 é arranjado para determinar qual dos nós de sinais de saída intermediários deveriam ser representados no nó de saída. O codificador de seleção pode representar aquela informação na forma de um código binário em linhas de endereço A0 a A2, que são conectadas ao multiplexador 23, e podem ser lidas e executadas pelo multiplexador 23.

O multiplexador 23 pode compreender várias chaves comutadas, tais como transistores bipolares de porta isolado (IGBT), Transistores de Efeito de Campo (FET), incluindo MOS-FET de Metal sobre Silício. Tais chaves podem ser integradas em um circuito integrado. Exemplos de multiplexadores de circuito integrado adequados incluem ADG-508 ou ADG-608, ADG-7508.

O codificador de seleção 21 pode ser realizado conforme ilustrado por meio de exemplo na Figura 6. Este pode compreender um banco comparador 25 e um codificador de prioridade 27. Este pode também compreender lógica de direcionamento 28 tomando como entrada um pulso de relógio CLK e um pulso de marcador de ritmo P, e provendo em sua saída um

bit de engate L.

Na realização mostrada, o banco comparador 25 compreende um número de comparadores 25_0 a 25_7 , cada um arranjado para receber o sinal de saída intermediário IS_0 a IS_7 e para gerar uma saída em sua respectiva
 5 saída de comparador I_0 a I_7 . Os comparadores são arranjados para comparar os sinais de saída intermediários IS_0 a IS_7 com um valor máximo pré-determinado e para gerar um bit de informação digital nas saídas do comparador CO_0 a CO_7 , identificando se o sinal de saída intermediário excedeu ou não o valor máximo pré-determinado.

10 Os comparadores 25_0 a 25_7 podem ser providos na forma de amplificadores operacionais dos quais a série AD711 ou LM741 constituem exemplos adequados, ou qualquer outro dispositivo de amplificação de alto ganho, ou dispositivos de comparador diferencial mais sofisticados dos quais o LM161, LM261 e LM361 constituem exemplos. Conforme mostrado aqui,
 15 os sinais de saída intermediários IS_0 a IS_7 alimentam as entradas não inversoras dos respectivos amplificadores operacionais. A saída inversora é conectada a uma fonte de tensão DC para prover uma tensão de referência $V^{\text{ref}+}$ representando o valor máximo pré-determinado.

20 Referindo-se de volta à Figura 6, todos os comparadores 25_0 a 25_7 podem ser conectados a uma única fonte de tensão DC para referência, ou cada um pode ser conectado a uma fonte dedicada.

Configurado conforme mostrado, um sinal de saída intermediário particular IS_n que é mais baixo ou igual ao valor máximo pré-determinado, fará com que o comparador associado 25_n represente um bit
 25 baixo (0) em sua linha de saída de comparador CO_n , ao passo que um bit alto (1) é representado na linha de saída do comparador CO_n no caso do sinal de saída intermediário IS_n exceder o valor máximo pré-determinado.

Naturalmente, se desejado, valores de bits complementares podem ser empregados para representar se o sinal de saída intermediário é

mais baixo que o valor máximo ou não.

Os comparadores 25_0 a 25_7 podem ser providos com pouca histerese para permitir algum tempo de relaxação para um canal de amplificação previamente saturado se recuperar plenamente de sua condição de saturação. Há vários modos de obter isto, como é bem conhecido do especialista na técnica. Como um exemplo, um meio de alcançar alguma histerese benéfica mostrado na Figura 6A provê um resistor de carga opcional R_{8n} em qualquer linha de sinal intermediário particular selecionado IS_n de qualquer comparador particular 25_n e um resistor de realimentação R_{9n} conectando a saída do comparador CO_n do comparador particular 25_n à entrada não inversora do comparador particular 25_n . O efeito é que, após o comparador ter sido forçado a representar um bit alto em sua linha de saída CO_n , a tensão que é alimentada ao comparador é aumentada enquanto a tensão de referência V^{ref+} permanecer inalterada. Assim, o sinal de saída intermediário IS_n tem que cair abaixo da tensão de referência V^{ref+} de uma quantidade igual ao aumento antes da saída de comparador CO_n recuperar sua saída de bit baixo novamente.

Referindo-se ainda à Figura 6A, a quantidade de mudanças na tensão é governada pelo valor relativo de R_{9n} comparado a R_{8n} . Relações adequadas típicas poderiam ser algo entre 5:1 e 100:1, por exemplo, cerca de 10:1, dependendo de quanta realimentação é desejada. O valor absoluto de R_{8n} poderia ser escolhido de modo a prover uma carga razoável para o sinal intermediário. Um valor de $R_{8n} = 10 \text{ k}\Omega$ foi considerado adequado, porém o valor não é crítico para a invenção.

As configurações do comparador mostradas acima são apenas comparadores binários, adequados para sinais de entrada de valor positivo. Em uma realização mais versátil, uma configuração de comparador de janela pode ser empregada, por exemplo, quando é antecipado que o sinal de entrada pode estar variando de valores positivos a negativos.

Um exemplo de tal comparador de janela é mostrado na Figura 7. Tal comparador de janela compreende um comparador de limite superior de janela 35, um comparador de limite inferior de janela 36 e uma porta OU 37.

Cada nó de sinal de saída intermediário pode ser conectado à entrada não inversora de um comparador de limite superior de janela 35, e a entrada inversora de um comparador de limite inferior de janela 36. A entrada inversora do comparador de limite superior de janela 35 é conectada a uma fonte de tensão DC representando o limite superior de janela $V^{\text{ref}+}$ e a entrada não inversora do comparador de limite inferior de janela 36 é conectada a uma fonte de tensão DC representando o limite inferior da janela $V^{\text{ref}-}$. As saídas do comparador de limite superior de janela 35 e do comparador de limite inferior de janela 36 podem ser alimentadas a uma porta OU 37. A saída da porta OU 37 representa a saída do comparador.

Figura 7A mostra um circuito possível para gerar as entradas $V^{\text{ref}+}$ e $V^{\text{ref}-}$ para os comparadores 35 e 36, no sentido de obter um comparador bipolar. Este compreende um divisor de tensão, com base nos resistores R_3 e R_4 para conectar a entrada não inversora de um seguidor de tensão a uma fração pré-determinada de uma tensão V_{dd} . O seguidor de tensão serve como uma armazenagem temporária de impedância e pode compreender um amplificador 51 cuja saída é realimentada à entrada inversora através de um resistor R_5 . O valor deste resistor não é de grande influência enquanto este for pequeno comparado ao valor da resistência entre as entradas inversora e não inversora, para obter um seguidor de tensão de ganho unitário. A saída configura $V^{\text{ref}+}$. Quando uma imagem espelho exata $V^{\text{ref}-}$ é desejada, a saída do seguidor de tensão pode ser alimentada a um inversor com ganho unitário. Conforme mostrado na Figura 7A, a saída do amplificador 51 é alimentada à entrada inversora de um outro amplificador 52 através do resistor R_6 . A saída do segundo amplificador 52 é realimentada à entrada inversora através de um resistor R_7 . Desde que $R_6 = R_7$, a saída resultante $V^{\text{ref}-}$ terá o mesmo valor de

módulo que $V^{\text{ref}+}$. Um amplificador adequado para esta finalidade é formado pelo amplificador operacional TL072T.

Em uma realização vantajosa, o divisor de tensão baseado em R_3 e R_4 é substituído por um conversor digital analógico. Isto permitiria o controle instantâneo sobre a faixa da janela via um microprocessador.

Configurado conforme mostrado na Figura 7, um valor de sinal de saída intermediário IS_n particular que excede o limite superior da janela $V^{\text{ref}+}$ acarreta um valor de saída de bit alto no comparador de limite superior de janela 35 e então também na saída do comparador. Quando o valor do sinal de saída intermediário é mais baixo (valor positivo mais baixo ou valor mais negativo) que o limite inferior da janela $V^{\text{ref}-}$, isto causará um bit alto na saída do comparador porque o comparador de limite inferior de janela 37 coloca um bit alto na porta OU 37. Entretanto, quando o valor de sinal de saída intermediário é mais baixo ou igual a $V^{\text{ref}+}$ e mais alto ou igual a $V^{\text{ref}-}$, ambos comparadores de limite superior e limite inferior 35 e 36 produzirão um valor de bit baixo e então a saída da porta OU 37 será também um valor de bit baixo.

Novamente o significado de valores de bit baixo e alto pode ser intercambiado, dependendo dos componentes restantes.

Figura 7B mostra uma implementação de como alguma histerese opcional pode ser provida no comparador bipolar. O comparador de limite superior de janela 35 pode ser provido de um circuito de realimentação conforme descrito acima com referência à Figura 6A para o comparador binário, empregando um resistor de carga R_8 e um resistor de realimentação R_9 . Um circuito de realimentação similar pode ser provido na entrada não inversora do comparador de limite inferior, empregando um segundo resistor de carga R_{10} e um segundo resistor de realimentação R_{11} . Entretanto, o resistor de carga está agora na linha de $V^{\text{ref}-}$, e então a referência inferior é temporariamente elevada devido a realimentação de uma saída de bit alto no

comparador de limite inferior, até que a saída tenha recuperado o bit baixo novamente. Preferivelmente, a relação de R_{11} para R_{10} é a mesma que R_9 para R_8 , porém isto não é uma exigência.

5 Em adição ao banco de comparador 25, o codificador de seleção 21 conforme mostrado na Figura 6 compreende adicionalmente um codificação de prioridade 27 que aceita em suas entrada I0 a I7 os valores de bit representados nas saídas do comparador CO_0 a CO_7 . No caso presente, o codificador de prioridade 27 opera sobre uma assim chamada codificação ativa-baixa das entradas. As entradas recebem prioridades classificadas, com a linha de entrada I7 conectada ao canal amplificador 9_7 com o ganho de sinal mais alto tendo a prioridade mais alta e a linha de entrada I0 conectada ao canal amplificador 9_0 com o ganho mais baixo tendo a prioridade mais baixa. Como saída, este possui os nós de endereço binário A0 a A2, já mencionados acima. O codificador de prioridade carrega os nós de endereço A0 a A2 com representações de bit alto e baixo de acordo com o código representando a entrada ativa de prioridade mais alta (por exemplo, conforme mostrado na Tabela II, acima). No presente exemplo, um valor de bit baixo é considerado “ativo” porque o banco comparador 25 acarreta valores de bit alto quando o valor de sinal está fora da faixa pré-determinada.

20 O codificador de prioridade 27 pode atualizar “continuamente” a saída nos nós de endereço A0 a A2, tão logo o nó de entrada ao qual é designada a prioridade mude. Entretanto, quando o sinal de engate L estiver ativo, o codificador de prioridade atrela os nós de endereço a qualquer valor que este possua ao sinal de engate se tornar ativo.

25 Um codificador de prioridade de circuito integrado de 8 entradas que executa esta função é a série 74148 IC, tal como o “rápido” 74F148. Existem alternativas equivalentes, incluindo dispositivos ativos-altos que naturalmente requerem que os sinais de saída intermediários não excedam o valor máximo, para serem representados por um valor de bit alto.

As realizações do amplificador conforme relatado acima são baseadas em sete canais de amplificação que diferem cada um de um fator de dez no ganho, de tal modo que um canal de amplificação está disponível por década. A invenção também cobre outros números de canais de amplificação, 5 o que pode reduzir porém preferivelmente expandir a faixa dinâmica, diminuir porém preferivelmente aumentar o número de canais de amplificação por década ou obter mudança em ambas faixa dinâmica e no número de canais de amplificação por década.

Quando o número de canais de amplificação excede oito, um 10 seletor de sinal com mais entradas que oito é necessário. Usualmente este pode ser construído a partir dados de componentes de tecnologia de oito entradas. Por exemplo, um codificador de prioridade de 16 entradas, tendo uma saída de endereço binário de quatro bits, pode ser feito combinando dois codificadores de prioridade de 8 entradas com portas lógicas apropriadas. Um 15 exemplo é provido na folha de dados de especificação de Produto do codificador de prioridade 74F148 de 8 entradas, a partir do “Data Handbook Philips Semiconductors” do IC15, datado de 1 de Março de 1990, número de ordem do documento 9397-750-05078.

De modo similar, dois multiplexadores de oito canais podem 20 ser endereçados usando uma linha de endereço de quatro bits em combinação com portas linguagens apropriadas.

As funções lógicas compreendidas no seletor de sinal 19 (incluindo o multiplexador 23, a máquina de estado incluindo o contador e qualquer lógica requerida para não perder de vistas os vários estados, o 25 codificador de prioridade 27) podem ser providas na forma de componentes IC padrão (tal como discutido acima) ou podem ser programadas sob medida em um assim chamado Arranjo de Porta Programável em campo (FPGA). Uma vantagem deste último é que o número de componentes é reduzido, e que quaisquer canais de entrada não empregados não precisam ser

programados.

É sabido que amplificadores podem exibir desvio de saída como resultado da variação de temperatura. Em aplicações onde é prevista variação de temperatura significativa, o amplificador pode ser localizado preferivelmente em um ambiente de temperatura estabilizada. Um meio de obter isto é por meio de um assim chamado ambiente “de forno” que opera a uma temperatura acima da temperatura ambiente mais alta prevista. A potência de aquecimento pode ser regulada para obter uma temperatura constante no ambiente de forno.

Alternativamente, componentes de circuito de temperatura estabilizada podem ser empregados ou o desvio de saída pode ser compensado eletronicamente usando circuitos de realimentação sensíveis à temperatura.

O amplificador conforme descrito acima pode ser combinado com um ou mais conversores analógicos para digitais (ADC). Deste modo, um sinal de entrada pode ser digitalizado através de uma ampla faixa dinâmica usando uma granulosidade razoavelmente constante.

Em uma realização, cada canal de amplificação é provido de um ADC dedicado, de tal modo que, para cada ganho de sinal de amplificação, a granulosidade plena do ADC está disponível. O codificador de seleção pode então, ao invés do banco comparador analógico conforme mostrado na Figura 6, efetuar uma comparação digital. Tal comparação digital pode ser efetuada usando um bit de estouro em combinação com um codificador de prioridade.

Ou uma série lida em combinação com circuitos de *amostrar-e-reter* como será explicado mais tarde.

Quando cada canal de amplificação é provido de seu próprio ADC dedicado, seria também possível conduzir cada sinal de saída intermediário digitalizado a um meio de armazenagem e/ou a um computador

e então fazer uma seleção desejada com base em todos os sinais de saída disponíveis posteriormente, por exemplo, selecionando partes adequadas além de todos os sinais de saída disponíveis.

Em certas realizações, entretanto, um ADC é provido somente no nó de saída de sinal selecionado. A seleção de sinal pode então ser efetuada com base nos sinais de saída intermediários analógicos, por exemplo usando o seletor de sinal 19 conforme mostrado na Figura 5. A comparação de sinal analógico pode ser praticamente instantânea comparada a primeiro digitalizar e subseqüentemente selecionar. Isto é particularmente assim quando o ADC tem um tamanho de barramento menor que os bits de digitalização. Ainda mais, a comparação analógica requer menos componentes. Finalmente, um único amplificador ou conversor ADC tendo uma entrada multiplexada a partir de um dos canais de amplificação, não apresentará não linearidades que possam ser induzidas tendo um conversor ADC diferente em cada canal de amplificação. Quaisquer desvios, incluindo aqueles presentes no multiplexador, bem como no próprio ADC, serão então da mesma magnitude para todos os nós de sinal intermediário.

Figura 8 mostra um conversor analógico digital, onde o nó de sinal de saída 5 de cada amplificador conforme descrito acima é acoplado a circuitos de conversão analógica para digital 29 para converter o sinal de saída selecionado para um sinal de saída digitalizado. Os circuitos de conversão digital podem compreender um microprocessador, por exemplo na forma de um computador pessoal, com capacidade ADC.

O sinal de saída digitalizado e/ou o valor que este representa pode ser conduzido a um visor e/ou a um meio de armazenagem para ser armazenado de um modo similar ao descrito acima com respeito aos sinais de saída analógicos.

Dependendo das condições de operação requeridas, tal como velocidade requerida, o número de bits ou a granulação equivalente do ADC

pode ser selecionado. Tipicamente, foi verificado que um ADC de 16 bits apresenta um bom compromisso.

A informação de endereço digital A0 a A2, representando qual dos nós de sinal de saída intermediários 9_1 a 9_7 é representado no nó de sinal de saída 5, é também alimentado aos circuitos de conversão analógica para digital 29. esta informação pode ser traduzida para informação de ganho de sinal, usando por exemplo uma tabela tal como a Tabela I ou III acima, de tal modo que o valor do sinal de entrada original pode ser reconstruído a partir dos valores digitalizados, dividindo os valores pelo fator de ganho de sinal apropriado.

Então, a informação de endereço digital pode ser conduzida e armazenada juntamente com o sinal de saída digitalizado.

Em geral, circuitos de *amostrar-e-reter* podem ser aplicados em qualquer lugar no amplificador ou conversor analógico digital. Circuitos de *amostrar-e-reter* são conhecidos na técnica, e é feita referência a “National Semiconductor Application Note 775”, datada de Julho de 1992, para uma descrição detalhada de várias arquiteturas de amplificadores de *amostrar-e-reter*.

Preferivelmente, circuitos de *amostrar-e-reter* são aplicados em cada um dos nós de sinal de saída intermediários ou no nó de sinal de saída, em oposição aos circuitos de *amostrar-e-reter* serem aplicados no nó de sinal de entrada.

Deste modo, os canais do amplificador podem constantemente seguir e amplificar o sinal de entrada sem serem desnecessariamente limitados pela velocidade de varredura da unidade de amplificador, e deste modo evitar qualquer causa possível de “overshoots” / “undershoots” que poderiam influenciar os dados de modo imprevisível.

Nas realizações conforme mostrado presentemente nas figuras, os circuitos de conversão digital podem compreender circuitos de *amostrar-*

e-reter para manter um valor de saída de sinal em um valor constante pela duração requerida para digitalizar os dados. Algumas unidades de ADC comercialmente disponíveis possuem capacidade incorporada de *amostrar-e-reter*.

5 Uma linha de saída de marcador de ritmo P pode ser provida para enviar um disparador sincronizador entre os circuitos de conversão digital e o seletor de sinal 19 no amplificador. No presente exemplo, isto pode funcionar como ilustrado na Figura 9.

10 Conforme estabelecido acima, o seletor de sinal 19 é acionado por um sinal de relógio CLK via uma máquina de estado. O sinal de relógio pode ser gerado por um oscilador a cristal funcionando a 20 MHz. Um contador de pulso síncrono 54 pode ser empregado para direcionamento da lógica e executar ações em instantes apropriados. O contador conta pulsos de CLK que recebe em sua entrada de CLK e representa o número contado nas
15 linhas de saída binária CNT_0 a CNT_4 . O número representado nas linhas de saída binária CNT_0 a CNT_4 é reiniciado para zero quando o contador de pulso síncrono 54 recebe um pulso de marcador de ritmo P em sua entrada RST. Os circuitos de conversão digital podem enviar o pulso de marcador de ritmo P, que também sincroniza o relógio (ver Figura 5). As linhas de saída binária
20 CNT_0 a CNT_4 podem ser alimentadas a um desmultiplexador digital 56 que contém tantas linhas ST_0 a ST_i quantas necessárias para representar todos os estados relevantes. Com 5 linhas CNT, i pode ser escolhido 31. O desmultiplexador digital 56 pode apresentar um valor de bit não ativo em todas as linhas de saída de estado, exceto uma que corresponde à contagem
25 conforme representado nas linhas CNT. Um número de estados pode determinar requerer que os valores de linha de endereço A0 a A2 permaneçam engatados. Um modo de obter isto é que as linhas de saída de estado correspondentes podem ser alimentadas a uma porta OU 58, que se torna ativa se um destes estados correspondentes estiver ativo. O sinal de engate

definitivo L pode ser apresentado após um retardo curto, para assegurar que tudo esteja estabilizado antes de emitir realmente o sinal de engate L. Isto pode ser obtido em um dispositivo de retardo 60, que pode disparar, por exemplo, uma borda descendente do sinal de CLK.

5 Como resultado, os valores de linha de endereço A0 a A2 são engatados após um número pré-determinado de sinais de relógio, contados pelo contador de pulso síncrono 54, por algum tempo antes do pulso de marcador de ritmo P ser esperado. Isto assegura que o valor de sinal de saída correspondente ao sinal intermediário que é então processado pelo
10 multiplexador, pode se estabelecer no ADC. A borda ascendente do próximo pulso de marcador de ritmo sinaliza o começo da conversão analógica digital, o que pode incluir amostrar e manter o valor do sinal de saída. Neste ponto, o contador da máquina de estado é reiniciado novamente e o relógio sincronizado.

15 Em realizações alternativas, circuitos de *amostrar-e-reter* podem ser providos como parte do seletor de sinal 19. Em tais realizações, os sinais de saída intermediários são mantidos em intervalos disparados pela duração de um tempo de retenção, durante os quais uma leitura serial poderia ser feita dos sinais de saída intermediários começando com aquele no qual o
20 ganho de sinal mais alto foi imposto, e selecionando o primeiro que não excede o valor máximo pré-determinado. Com componentes existentes, tal leitura serial pode ser feita dentro de aproximadamente 100 ns por nó de sinal intermediário, de tal modo que oito nós podem ser facilmente lidos dentro de 1 microssegundo e uma taxa de seleção de um por microssegundo, ou mais
25 lenta, pode ser mantida.

Ao invés de uma leitura serial relativamente direta, uma assim chamada busca binária poderia ser empregada, a qual requer na média menos leituras do que as leituras seriais.

Os amplificadores e conversores analógico-digitais conforme

descrito acima podem encontrar qualquer aplicação onde uma grande faixa dinâmica de amplificação e/ou velocidade de digitalização é requerida. Os presentes amplificadores e conversores analógico-digitais são particularmente vantajosos para faixas dinâmicas de 1000 ou mais, tipicamente entre 1000
5 (10^3) e 10^{12} , ou entre 10^3 e 10^{10} . A invenção habilita conversores analógico-digitais com tais faixas dinâmicas altas a serem mais rápidos que $10 \mu\text{s}$, tipicamente entre $0,1 \mu\text{s}$ e $10 \mu\text{s}$.

Conseqüentemente, a taxa de seleção pode ser escolhida entre um por $0,1$ microssegundos e 10 microssegundos.

10 Em uma aplicação, o amplificador conforme descrito acima, ou o conversor analógico digital empregando o amplificador, pode ser incorporado numa ferramenta de furo abaixo tal como exemplificado na Figura 10. Isto habilita rápida amplificação de sinal e/ou digitalização de variação rápida no tempo de dados de sensor de furo abaixo.

15 Figura 10 mostra uma ferramenta de furo abaixo 30 para medições de indução eletromagnética de uma formação terrestre 32. Na realização conforme mostrado, a ferramenta de furo abaixo 30 é incorporada a uma cadeia de perfuração 33 suportando um bit de perfuração 38 em um furo de sondagem 39. Um reservatório contendo um fluido de hidrocarboneto
20 mineral 34 está também presente.

A ferramenta de furo abaixo 30 pode tipicamente ser incluída em uma medição enquanto o dispositivo de perfuração (MWD) e/ou em uma montagem de orifício de fundo (BHA). Em outras realizações, a ferramenta de furo abaixo pode ser suspensa no furo de sondagem em uma linha com fio
25 como é mostrado, por exemplo, e descrito na Patente U.S. 6.952.101.

A ferramenta de furo abaixo 30 conforme mostrado na presente Figura 10 compreende uma antena de transmissor 40 e um sensor na forma de uma antena de receptor 42 deslocada da antena de transmissor 40 de um desvio pré-determinado. As antenas de transmissor e receptor podem ser

providas na forma de bobinas conforme descrito, por exemplo, nas publicações do pedido de patente U.S. 2005/0092487, 2005/0093546 e 2005/078481, e na Patente U.S. 5.955.884.

5 A ferramenta 30 compreende adicionalmente um amplificador 44 de acordo com a invenção. O nó de sinal de entrada do amplificador é acoplado à bobina do receptor. O nó de sinal de saída (amplificado) pode estar em comunicação com uma unidade de computação da superfície 46, seja em contato elétrico direto ou via um sistema de telemetria sem fio. A unidade de superfície 46 pode compreender um sistema de aquisição de dados e controle,
10 incluindo um conversor analógico digital para digitalizar os dados do sensor.

Alternativamente, a ferramenta de furo abaixo 30 pode compreender um conversor analógico digital conforme descrito acima, compreendendo um amplificador de acordo com a invenção. Uma vantagem de efetuar a conversão analógica digital internamente a um furo de sondagem,
15 é que menos ruído adicional pode ser captado enquanto os dados são transmitidos para a unidade de computação de superfície 46.

Em operação, um furo de poço pode ser perfurado na formação terrestre 32, na forma do furo de sondagem 39.

Um sinal de indutância eletromagnético da formação terrestre
20 pode ser gerado. Meios adequados para gerar o sinal de indução eletromagnético são descritos nas publicações do pedido de patente U.S. 2005/0092487, 2005/0093546 e 2005/078481, e na Patente U.S. 5.955.884. Um sinal eletromagnético pode ser transmitido a partir da antena de transmissor 40 e o sinal de indução eletromagnético pode ser formado na
25 forma de um sinal de resposta tal como uma resposta de tensão ou uma resposta de corrente na antena de receptor 42.

O sinal de indução eletromagnético pode ser amplificado para gerar um sinal de saída. O sinal de resposta pode ser amplificado usando um amplificador da invenção ou um método de amplificação da invenção. O

amplificador da invenção é particularmente adequado para detectar sinais de resposta transiente seguindo um desligamento abrupto da antena de transmissor 40. Tais sinais decaem rapidamente no tempo ao longo de várias décadas.

5 O sinal de saída pode ser adicionalmente processado para localizar o fluido de hidrocarboneto mineral na formação terrestre. Detalhes do possível processamento são descritos nas publicações do pedido de patente U.S. 2005/0092487, 2005/0093546 e 2005/078481, e na Patente U.S. 5.955.884.

10 A perfuração do furo de poço pode ser continuada até o fluido de hidrocarboneto. Decisões podem ser tomadas com base na informação sobre a localização do fluido de hidrocarboneto mineral na formação terrestre, com vistas à direção da perfuração continuada. Adequadamente, a cadeia de perfuração tem capacidade de perfuração direcional.

15 Uma vez que o furo de sondagem se estende no reservatório com o fluido de hidrocarboneto mineral 34, o furo de sondagem pode ser completado de qualquer modo convencional e o fluido de hidrocarboneto mineral pode ser produzido.

20 Então, de acordo com ainda um outro aspecto da invenção, a invenção provê um método para produzir um fluido de hidrocarboneto mineral a partir de uma formação terrestre, o método compreendendo as etapas de:

perfurar um furo de poço na formação terrestre;

gerar um sinal de indução eletromagnético da formação

25 terrestre;

amplificar o sinal de indução eletromagnético para gerar um sinal de saída, empregando as etapas de:

- gerar pelo menos um primeiro sinal de saída intermediário possuindo um primeiro valor de sinal de saída intermediário, impondo

primeiro ganho de sinal pré-determinado ao sinal de indução eletromagnético;

- gerar pelo menos um segundo sinal de saída intermediário possuindo um segundo valor de sinal de saída intermediário, impondo segundo ganho de sinal pré-determinado ao sinal de indução eletromagnético,

5 por meio do qual o segundo ganho de sinal pré-determinado é escolhido pelo menos dez vezes mais alto que o primeiro ganho de sinal pré-determinado;

- selecionar um dentre o primeiro e segundo sinais de saída intermediários como o sinal de saída;

10 processar adicionalmente o sinal de saída para localizar o fluido de hidrocarboneto mineral na formação terrestre;

continuar a perfuração do furo de poço até o fluxo de hidrocarboneto;

produzir o fluido de hidrocarboneto.

15 Será entendido que, neste método, o sinal de indução eletromagnético pode ser amplificado e/ou convertido de analógico para digital de acordo com qualquer das realizações conforme descrito acima, usando qualquer dos amplificadores e/ou conversores analógico-digitais conforme descrito acima.

REIVINDICAÇÕES

1. Amplificador, caracterizado pelo fato de compreender

- um nó de sinal de entrada para conduzir um sinal de entrada tendo um valor de sinal de entrada;

5 - um nó de sinal de saída para conduzir um sinal de saída tendo um valor de sinal de saída;

 - circuitos de amplificador acoplados ao nó de sinal de entrada e providos de pelo menos um primeiro nó de sinal de saída intermediário para conduzir um primeiro sinal de saída intermediário tendo um primeiro valor de
10 sinal de saída intermediário, e um segundo nó de sinal de saída intermediário para conduzir um segundo sinal de saída intermediário tendo um segundo valor de sinal de saída intermediário, por meio do qual o primeiro valor de sinal de saída intermediário se relaciona ao valor de sinal de entrada de acordo com um primeiro ganho de sinal pré-determinado e o segundo valor de
15 sinal de saída intermediário se relaciona ao valor de sinal de entrada, de acordo com um segundo ganho de sinal pré-determinado, cujo segundo ganho de sinal pré-determinado é pelo menos dez vezes mais alto que o primeiro ganho de sinal pré-determinado; e

 - um seletor de sinal arranjado para selecionar um dos sinais de
20 saída intermediários e para alimentar aquele selecionado ao nó de sinal de saída.

2. Amplificador de acordo com a reivindicação 1, caracterizado pelo fato de que o seletor de sinal compreende um banco comparador analógico para comparar os valores de sinal de saída
25 intermediários com valores de referência.

3. Amplificador de acordo com a reivindicação 1 ou reivindicação 2, caracterizado pelo fato de que o seletor de sinal compreende um multiplexador analógico que é eletricamente acoplado ao primeiro e segundo nós de sinal de saída intermediários e ao nó de sinal de saída.

4. Amplificador de acordo com a reivindicação 1, caracterizado pelo fato de que o seletor de sinal compreende um banco comparador e um codificador de prioridade, o banco comparador possuindo linhas de entrada e linhas de saída, as linhas de entrada sendo eletricamente acopladas ao primeiro e segundo nós de sinal de saída intermediários, e as linhas de saída sendo acopladas ao codificador de prioridade.

5. Amplificador de acordo com a reivindicação 4, caracterizado pelo fato de que o codificador de prioridade compreende adicionalmente uma linha de saída de endereço, e por meio do qual o multiplexador é arranjado para selecionar o sinal de saída intermediário de acordo com o endereço representado na linha de saída de endereço, e para alimentar aquele selecionado ao nó de sinal de saída.

6. Amplificador de acordo com qualquer uma das reivindicações 1 a 5, caracterizado pelo fato de que os módulos dos valores do primeiro e segundo sinais de saída intermediários são cada um dentre mais baixo ou mais alto que um valor de saída e onde o seletor de sinal é arranjado para selecionar além dos sinais de saída intermediários aquele que possui o valor mais alto que é mais baixo ou igual ao valor de saída máximo.

7. Amplificador de acordo com qualquer uma das reivindicações 1 a 6, caracterizado pelo fato do amplificador estar incorporado em uma ferramenta de furo abaixo.

8. Amplificador de acordo com a reivindicação 7, caracterizado pelo fato de que a ferramenta de furo abaixo compreende uma antena de receptor e onde o nó de sinal de entrada é acoplado à antena de receptor.

9. Amplificador de acordo com qualquer uma das reivindicações 1 a 8, caracterizado pelo fato de compreender adicionalmente:

- circuitos de conversão analógica para digital, acoplados pelo menos ao nó de sinal de saída, para converter o sinal de saída selecionado de

um sinal analógico em um valor digital.

10. Amplificador de acordo com a reivindicação 9, caracterizado pelo fato de compreender adicionalmente

5 - circuitos de *amostrar-e-reter* que são comutáveis entre um estado de retenção e um estado de liberação, em resposta a um sinal de marcador de ritmo, onde os circuitos do amplificador são acoplados aos circuitos de *amostrar-e-reter*; e

- gerador de sinal de marcador de ritmo para ativar o sinal de marcador de ritmo.

10 11. Método para amplificar um sinal de entrada para gerar um sinal de saída, caracterizado pelo fato de compreender as etapas de:

- conduzir um sinal de entrada tendo um valor de sinal de entrada;

15 - gerar pelo menos um primeiro sinal de saída intermediário, tendo um primeiro valor de sinal de saída intermediário, impondo primeiro ganho de sinal pré-determinado ao sinal de entrada;

20 - gerar pelo menos um segundo sinal de saída intermediário, tendo um segundo valor de sinal de saída intermediário, impondo segundo ganho de sinal pré-determinado ao sinal de entrada, cujo segundo ganho de sinal pré-determinado é escolhido pelo menos dez vezes mais alto que o primeiro ganho de sinal pré-determinado; e

- selecionar um dentre o primeiro e segundo sinais de saída intermediários como o sinal de saída.

25 12. Método de acordo com a reivindicação 11, caracterizado pelo fato de que selecionar um dentre o primeiro e segundo sinais de saída intermediários é feito selecionando repetidamente ou continuamente aquele dentre o primeiro e o segundo sinais de saída intermediários ao longo do tempo.

13. Método de acordo com a reivindicação 11 ou reivindicação

12, caracterizado pelo fato de que selecionar um dentre o primeiro e segundo sinais de saída intermediários compreende:

5 - comparar o primeiro sinal de saída intermediário com um valor de referência em um comparador analógico e emitir um primeiro resultado de comparação;

- comparar o segundo sinal de saída intermediário com um valor de referência em um comparador analógico e emitir um segundo resultado de comparação; e

10 - selecionar um dos sinais de saída intermediários com base no primeiro e segundo resultados de comparação.

14. Método de acordo com qualquer uma das reivindicações 11 a 13, caracterizado pelo fato de que o sinal de entrada é um sinal de entrada analógico, o método compreendendo adicionalmente a etapa de converter pelo menos o sinal de saída para um sinal de saída digital.

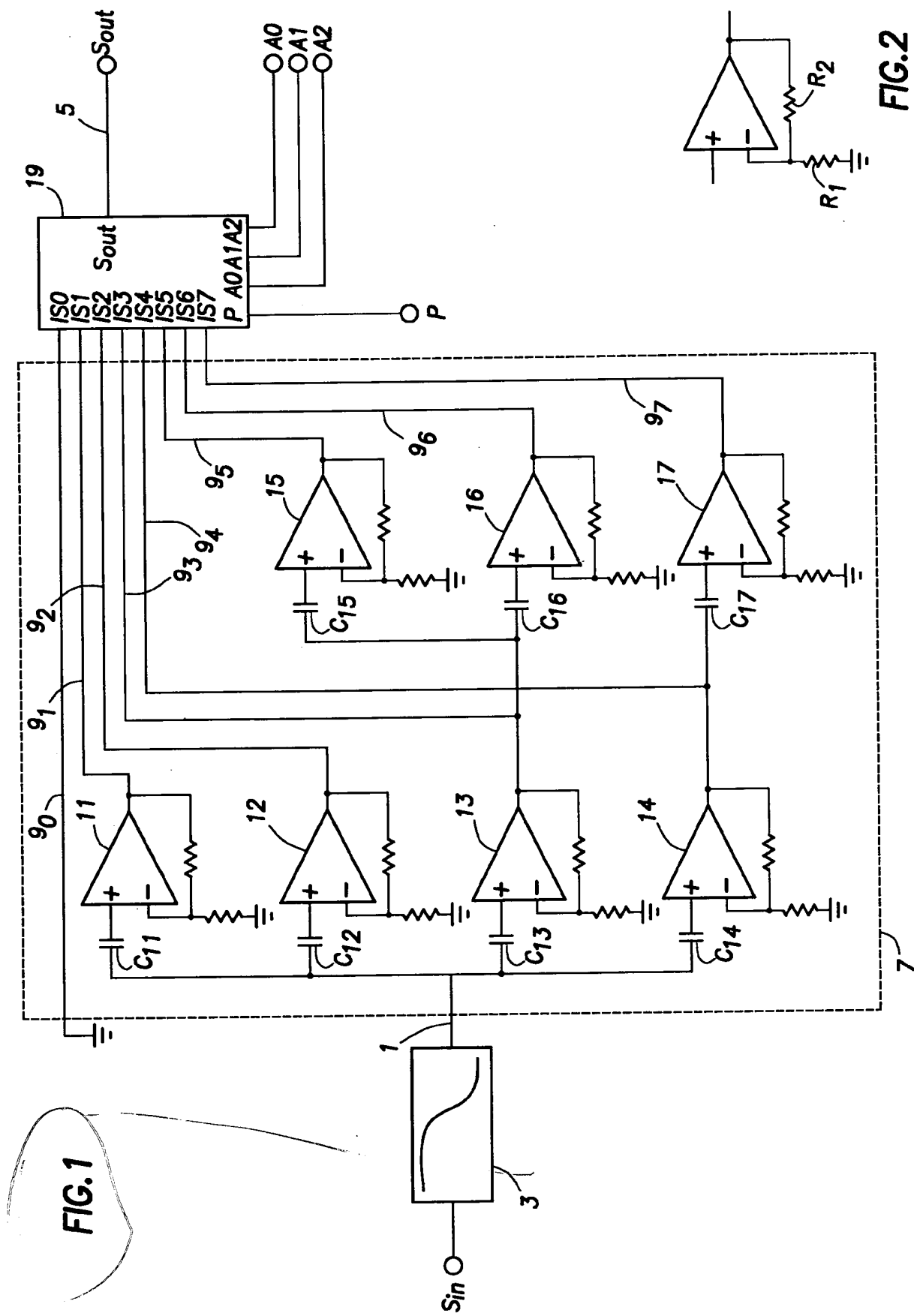


FIG. 1

FIG. 2

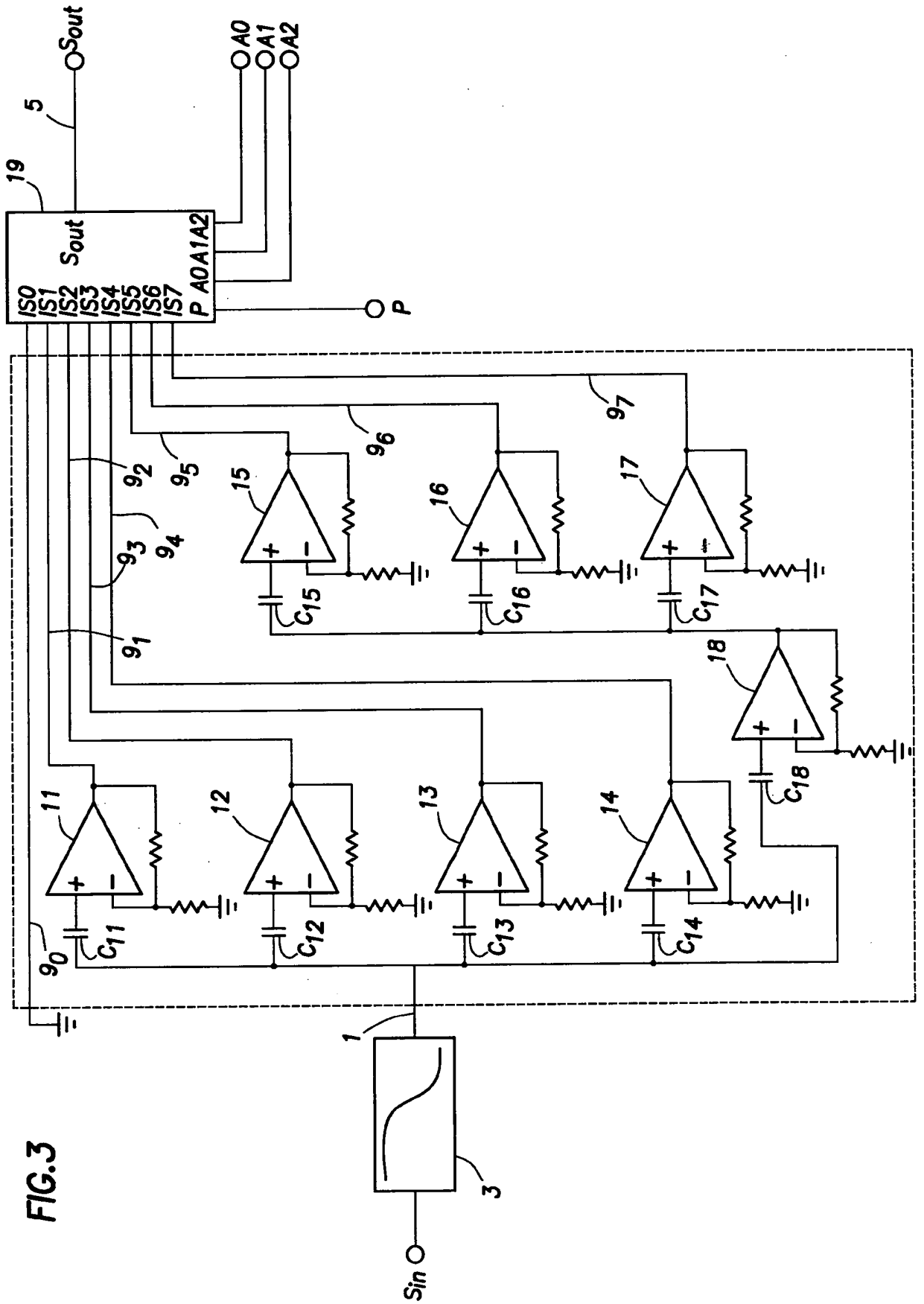


FIG. 3

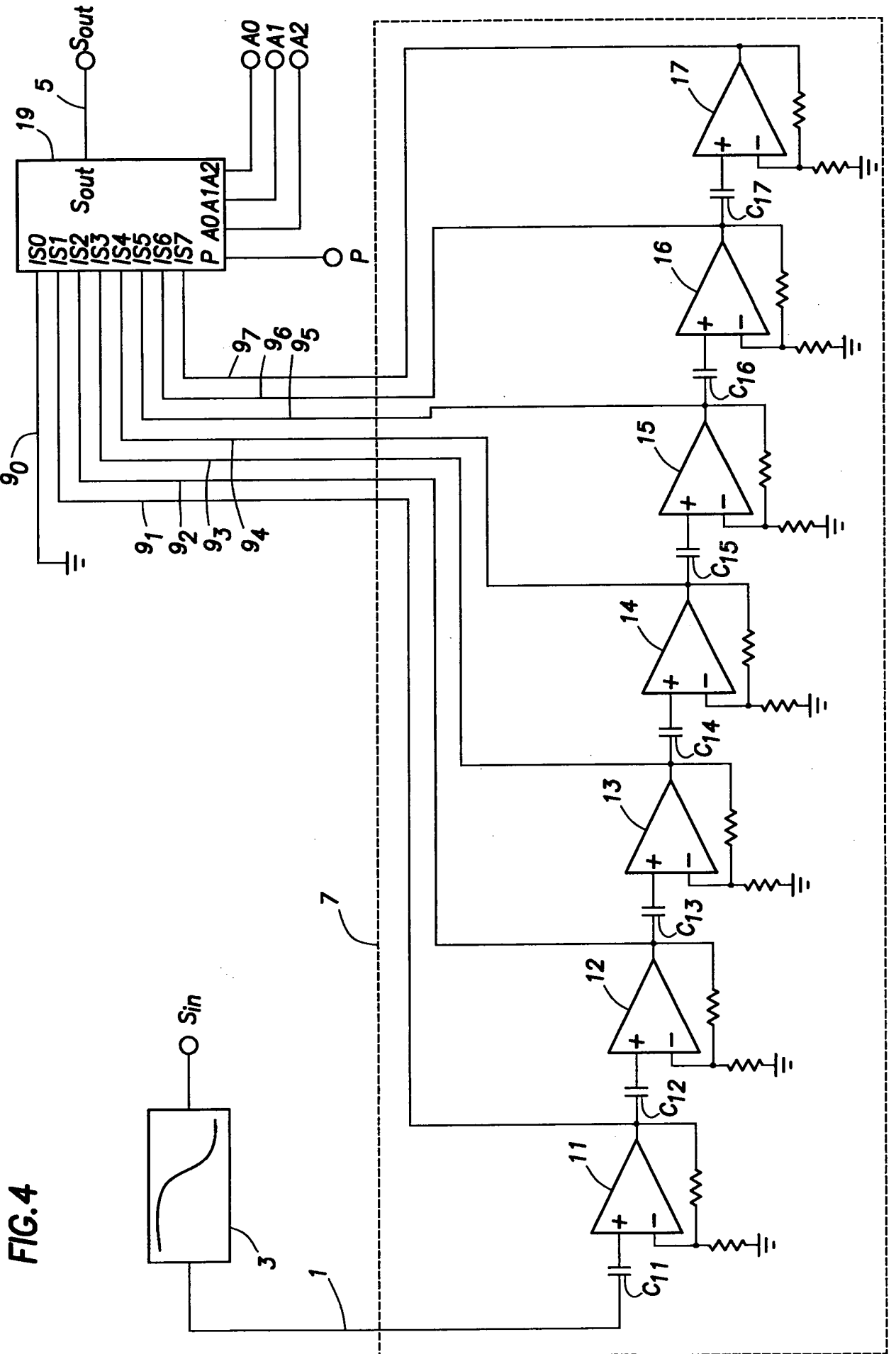


FIG. 4

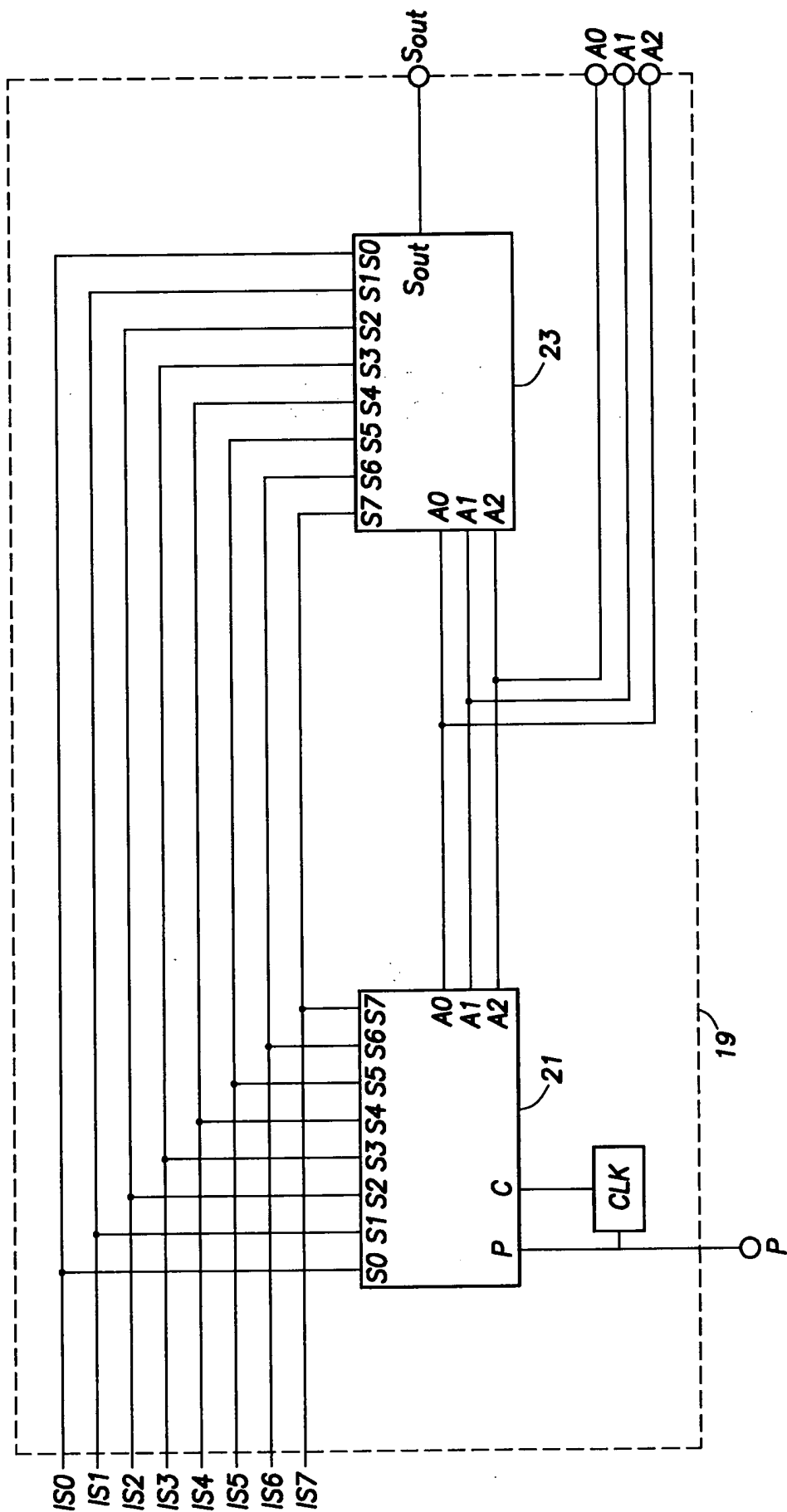


FIG. 5

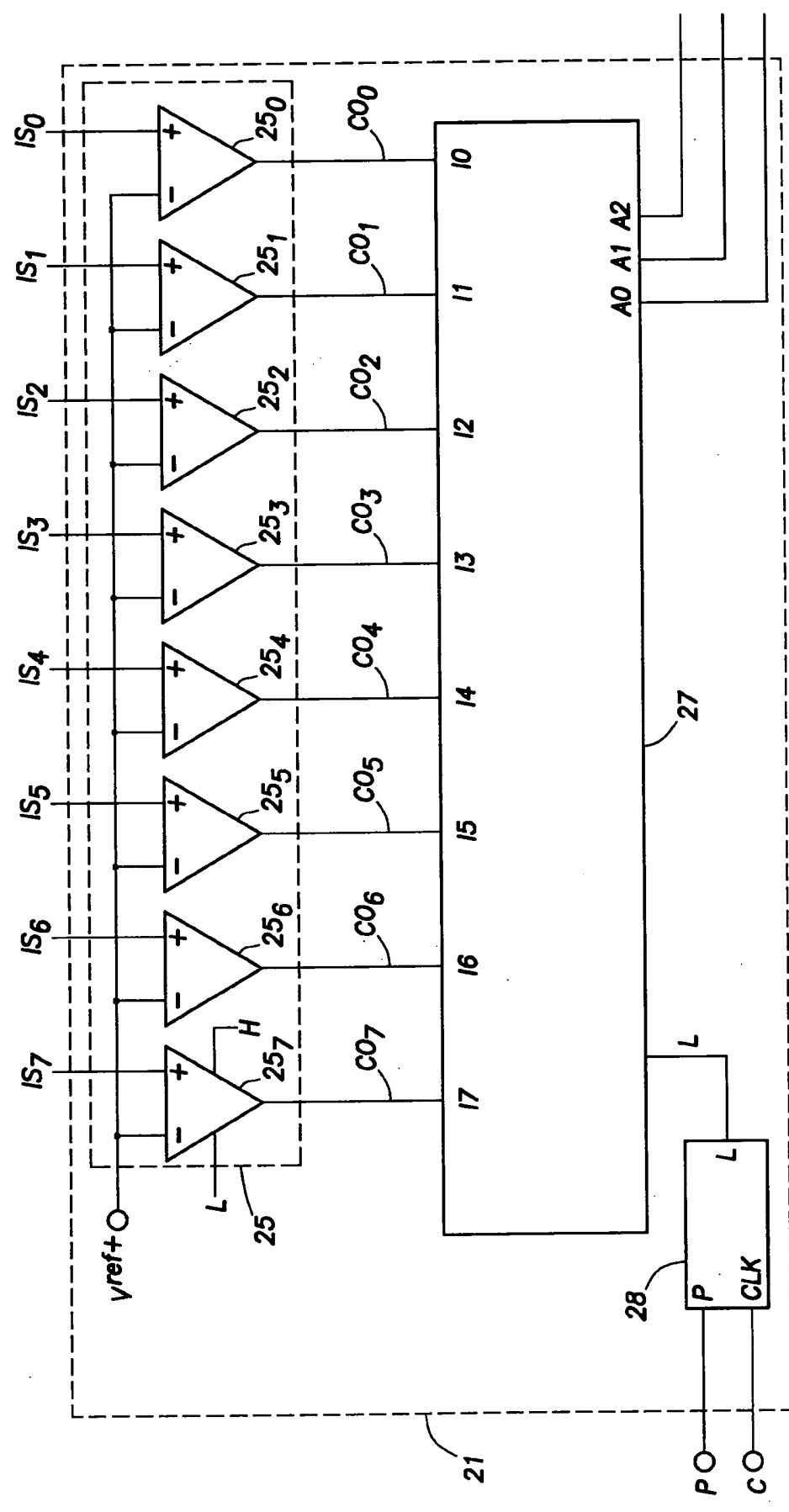


FIG. 6

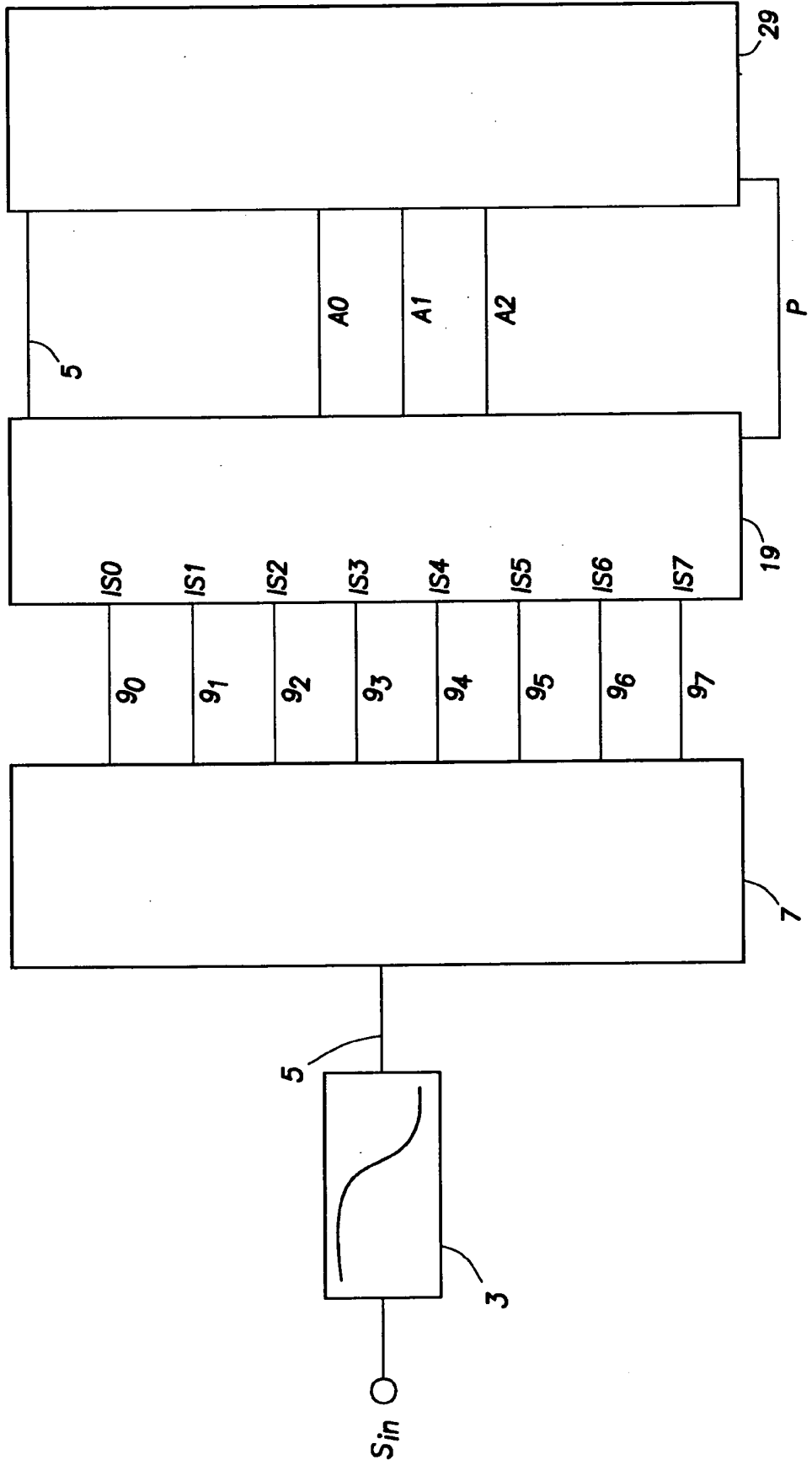


FIG.8

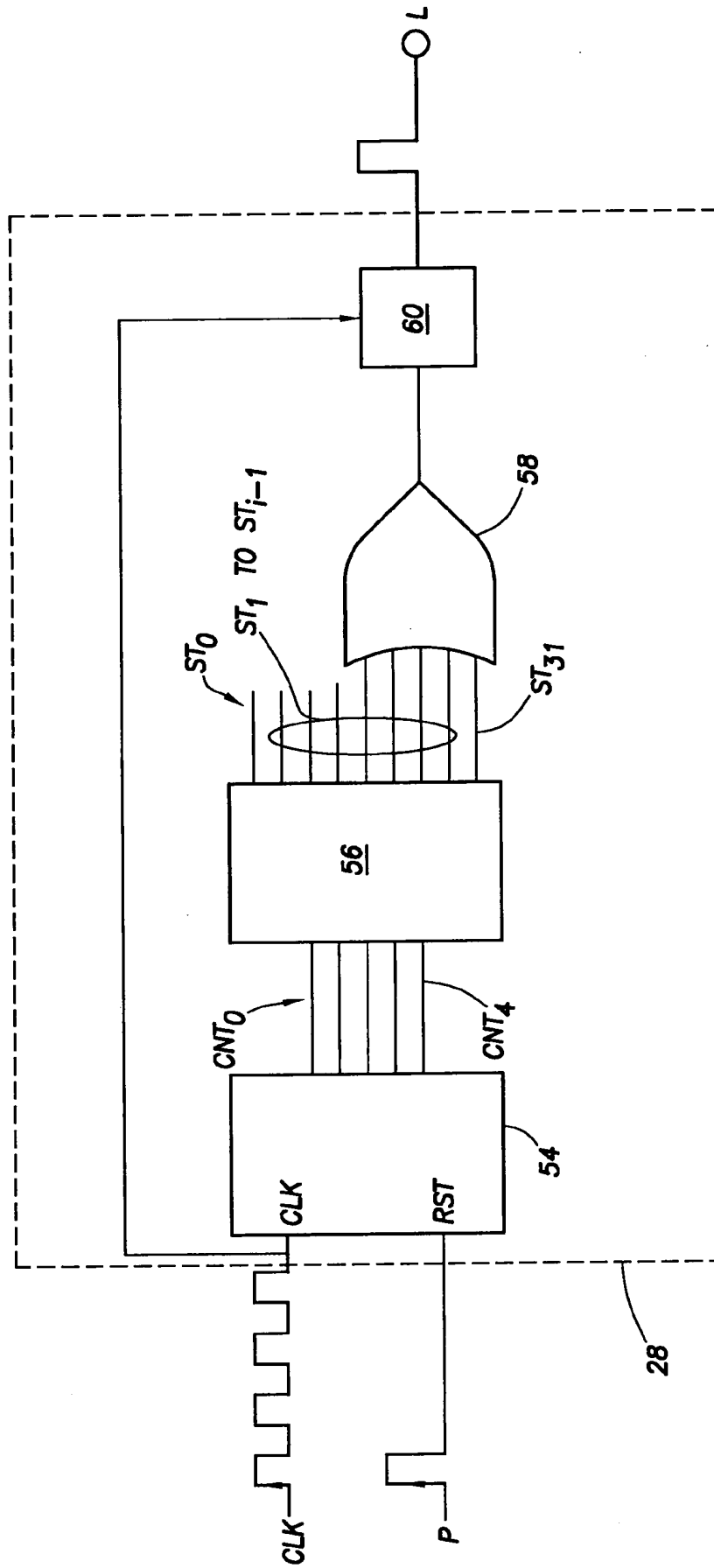


FIG. 9

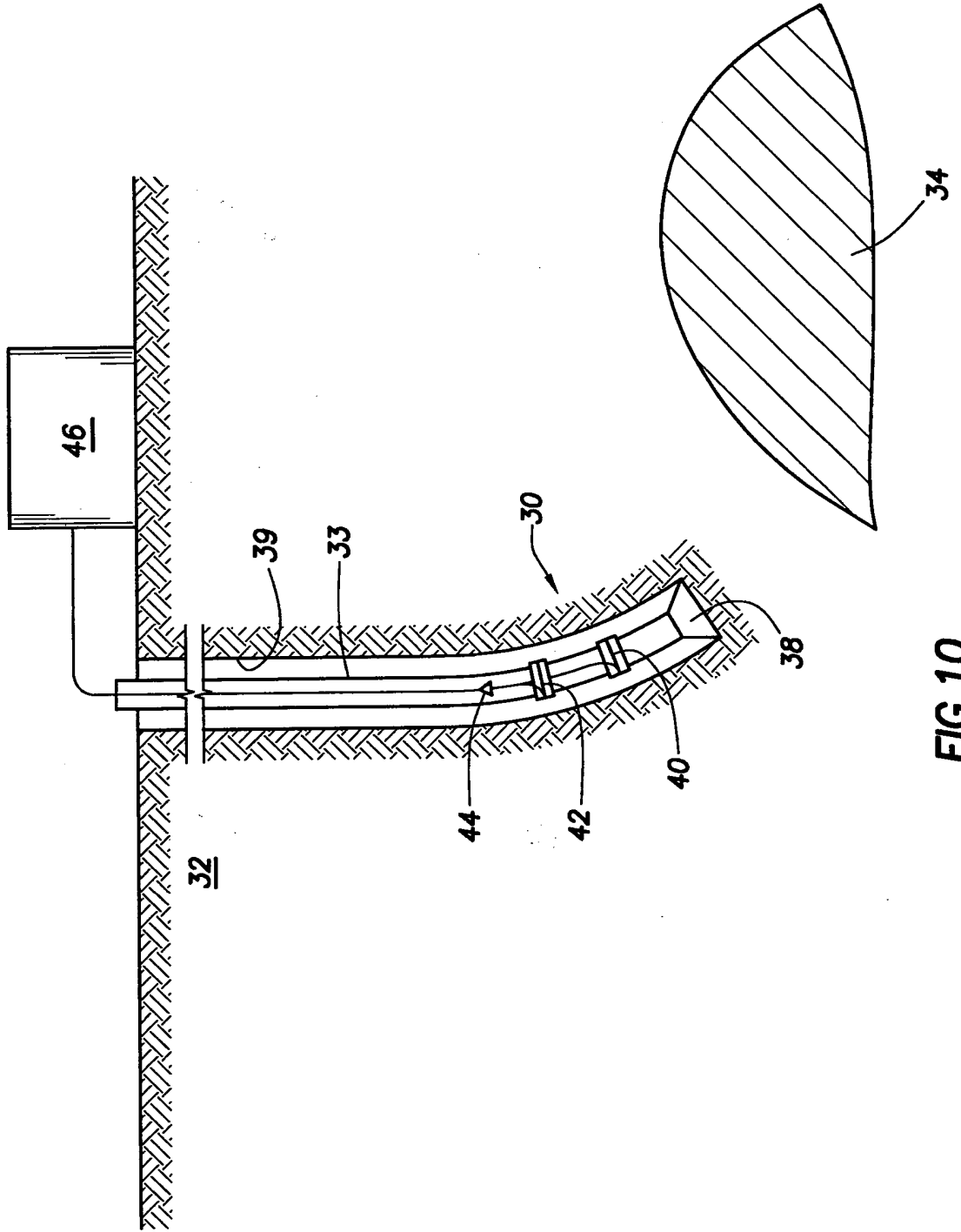


FIG.10

FIG. 6A

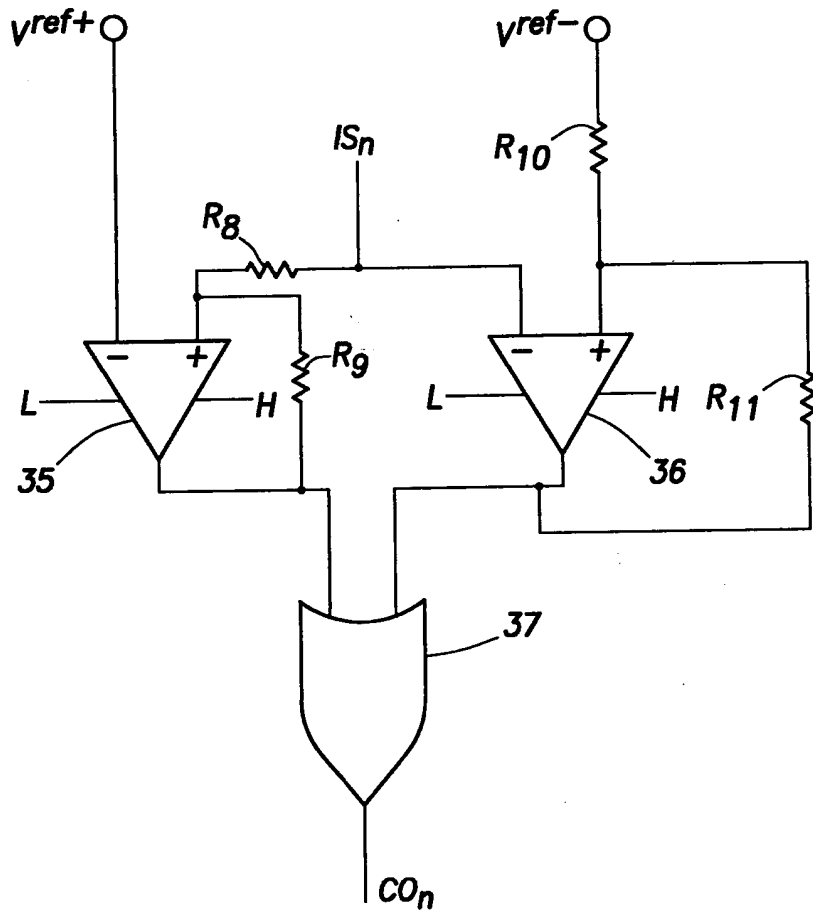
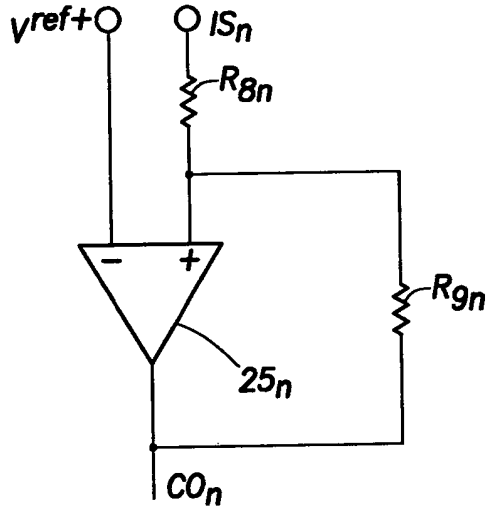


FIG. 7B

RESUMO

“AMPLIFICADOR, E, MÉTODO PARA AMPLIFICAR UM SINAL DE ENTRADA PARA GERAR UM SINAL DE SAÍDA”

Amplificador compreendendo um nó de sinal de saída para
5 conduzir um sinal de entrada tendo um valor de sinal de entrada e um nó de
sinal de saída para conduzir um sinal de saída tendo um valor de sinal de
saída. Circuitos de amplificador são acoplados ao nó de sinal de entrada e
providos de diversos nós de sinal de saída intermediários, cada um para
conduzir um sinal de saída intermediário tendo um valor de sinal de saída
10 intermediário. O valor de sinal de saída intermediário em cada nó de sinal de
saída intermediário relaciona-se ao valor de sinal de entrada de acordo com
ganhos de sinal pré-determinados. Um seletor de sinal seleciona um dos sinais
de saída intermediários e alimenta o selecionado ao nó de sinal de saída. O
amplificador pode ser constituído de um conversor analógico digital. O
15 amplificador pode ser incorporado em uma ferramenta de furo abaixo. O
método de amplificação pode ser usado em um método para produzir um
fluido de hidrocarboneto mineral.