

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 27/11

(11) 공개번호 특 1997-0077679
(43) 공개일자 1997년 12월 12일

(21) 출원번호	특 1996-0015821
(22) 출원일자	1996년 05월 13일
(71) 출원인	현대전자산업 주식회사 김주용
(72) 발명자	경기도 이천시 부발읍 아미리 산 136-1 (우 : 467-860) 최국선 서울특별시 광진구 자양 3동 우성1차아파트 106동 103호 강지성 경기도 이천시 이천읍 관고 6리 산호1차아파트 3-301호 남종완 서울특별시 구로구 구로 5동 신도림 현대아파트 103동 1307호
(74) 대리인	박해천, 원석희, 염주석

심사청구 : 있음

(54) 고저항 부하형 스택택램 셀 및 그 제조 방법

요약

본 발명은 고저항 부하 소자를 포함하는 SRAM 셀에 있어서, 반도체 기판의 소정 영역에 형성되며 제1도전층으로써 게이트를 형성하는 S제1 및 제2구동 트랜지스터와 상기 제1 및 제2구동 트랜지스터의 일측 접합과 접속되어 접지선으로 사용되는 제2도전층을 포함하는 하부층; 상기 하부층 상에 형성되어 층간절연막으로 사용되는 제1절연막; 상기 제1절연막상에 형성되며 그를 통과하여 상기 제1 또는 제2구동 트랜지스터의 타측 접합에 콘택되는 콘택 패드용 제3도전층; 상기 제3도전층상에 형성되어 층간절연막으로 사용되는 제2절연막; 및 상기 제2절연막상에 형성되고 그를 통과하여 상기 제3도전층의 소정부위에 접속되도록 형성되며, 주입된 불순물의 양에 따라 소정 영역별로 셀의 전원선 및 고저항 부하소자로 사용되는 제4도전층을 구비하는 것을 특징으로 하는 SRAM 셀 및 그 제조 방법에 관한 것으로, 통상적인 TFT형 셀에서 제조 방법에서 간단한 레이아웃의 변경만으로 HLR형 셀을 만들 수 있어, 간단한 회로 배치의 변경으로 고속형 및 저속형 SRAM을 선택적으로 제조할 수 있고, 두 개의 폴리실리콘층 및 두 개의 메탈층을 사용하는 종래의 HLR형 셀에 비해 면적을 30% 이상 작게 제조할 수 있다.

대표도

도4

명세서

[발명의 명칭]

고저항 부하형 스택택램 셀 및 그 제조 방법

[도면의 간단한 설명]

제4도는 본 발명의 HLR형 SRAM 셀의 평면도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

제1 및 제2구동 트랜지스터의 게이트로 사용되는 제1도전층, 접지선으로 사용하는 제2도전층, TFT의 게이트 및 노드 콘택용 제3도전층, 전원선과 TFT의 채널 및 TFT의 소오스 드레인으로 사용되는 제4도전층을 구비하는 통상적인 TFT형 SRAM 셀 형태의 구조를 갖되, 상기 제3도전층이 상기 제4도전층과 오버랩되는 부위가 제거되어 콘택 패드로만 사용되고, 상기 제4도전층은 주입된 불순물의 양에 따라 소정 영역별로 셀의 전원선 및 고저항 부하 소자로 사용되는 것을 특징으로 하는 SRAM 셀.

청구항 2

제1항에 있어서, 상기 제1, 제2, 제3 및 제4도전층은 폴리실리콘층인 것을 특징으로 하는 SRAM 셀.

청구항 3

제2항에 있어서, 상기 제4도전층의 전원선으로 사용되는 영역의 불순물의 농도가 고저항 부하 소자로 사용되는 영역의 불순물 농도보다 높은 것을 특징으로 하는 SRAM 셀.

청구항 4

제2항에 있어서, 상기 제4도전층의 고저항 부하 소자 영역은 불순물을 주입되지 않은 것을 특징으로 하는 SRAM 셀.

청구항 5

고저항 부하 소자를 포함하는 SRAM 셀에 있어서, 반도체 기판의 소정 영역에 형성되며 제1도전층으로써 게이트를 형성하는 제1 및 제2구동 트랜지스터와 상기 제1 및 제2구동 트랜지스터의 일측 접합과 접속되어 접지선으로 사용되는 제2도전층을 포함하는 하부층; 상기 하부층 상에 형성되어 층간절연막으로 사용되는 제1절연막; 상기 제1절연막상에 형성되며 그를 통과하여 상기 제1 또는 제2구동 트랜지스터의 타측 접합에 콘택되는 콘택 패드용 제3도전층; 상기 제3도전층상에 형성되어 층간절연막으로 사용되는 제2절연막; 및 상기 제2절연막상에 형성되고 그를 통과하여 상기 제3도전층의 소정부위에 접속되도록 형성되며, 주입된 불순물의 양에 따라 소정 영역별로 셀의 전원선 및 고저항 부하 소자로 사용되는 제4도전층을 구비하는 것을 특징으로 하는 SRAM 셀.

청구항 6

제5항에 있어서, 상기 제3도전층과 상기 제4도전층은 서로 오버랩(overlap)되지 않도록 배치되는 것을 특징으로 하는 SRAM 셀.

청구항 7

제5항 또는 제6항에 있어서, 상기 제1, 제2, 제3 및 제4도전층은 폴리실리콘층인 것을 특징으로 하는 SRAM 셀.

청구항 8

제7항에 있어서, 상기 제4도전층의 전원선으로 사용되는 영역의 불순물의 농도가 고저항 부하 소자로 사용되는 영역의 불순물 농도보다 높은 것을 특징으로 하는 SRAM 셀.

청구항 9

제7항에 있어서, 상기 제4도전층의 고저항 부하 소자 영역은 불순물이 주입하지 않은 것을 특징으로 하는 SRAM 셀.

청구항 10

고저항을 부하소자로 사용하는 SRAM 셀 제조 방법에 있어서, 반도체 기판의 소정 영역에 제1도전층을 게이트로 사용하는 구동 트랜지스터와 접지선으로 사용되는 제2도전층을 포함하는 하부층 및 층간 절연을 위한 제1절연막을 형성하는 단계; 상기 제1절연막상에 형성되며 상기 구동 트랜지스터의 일측 접합에 콘택되는 콘택 패드용 제3도전층을 형성하고 패터닝하는 단계; 전체구조 상부에 제2절연막을 형성하는 단계; 및 상기 제2절연막상에 제4도전층을 형성하고 전원선 및 고저항 부하소자 소정 영역 별로 각각 다른 양의 불순물을 주입한 다음, 불순물이 주입된 상기 제4도전층을 패터닝하는 단계를 포함하는 것을 특징으로 하는 SRAM 셀 제조 방법.

청구항 11

제10항에 있어서, 상기 제3도전층과 상기 제4도전층은 서로 오버랩(overlap)되지 않은 배치를 갖도록 패터닝하는 것을 특징으로 하는 SRAM 셀 제조 방법.

청구항 12

제10항 또는 제11항에 있어서, 상기 제1, 제2, 제3 및 제4도전층은 폴리실리콘층인 것을 특징으로 하는 SRAM 셀.

청구항 13

제12항에 있어서, 상기 제4도전층의 전원선으로 사용되는 영역의 불순물의 농도가 고저항 부하소자로 사용되는 영역의 불순물의 농도보다 높게 형성되는 것을 특징으로 하는 SRAM 셀 제조 방법.

청구항 14

제12항에 있어서, 상기 제4도전층의 고저항 부하 소자 영역에는 불순물을 주입하지 않은 것을 특징으로 하는 SRAM 셀 제조 방법.

※ 참고사항 : 최초출원 내용에 의하여 공개되는 것임.

도면

도면4

