

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2011-517509

(P2011-517509A)

(43) 公表日 平成23年6月9日(2011.6.9)

(51) Int.Cl.

H01L 27/146 (2006.01)

F 1

H01L 27/14

テーマコード(参考)

A

4M118

審査請求 未請求 予備審査請求 未請求 (全 20 頁)

(21) 出願番号 特願2011-501801 (P2011-501801)
 (86) (22) 出願日 平成21年3月24日 (2009.3.24)
 (85) 翻訳文提出日 平成22年9月17日 (2010.9.17)
 (86) 國際出願番号 PCT/US2009/001835
 (87) 國際公開番号 WO2009/120317
 (87) 國際公開日 平成21年10月1日 (2009.10.1)
 (31) 優先権主張番号 12/054,505
 (32) 優先日 平成20年3月25日 (2008.3.25)
 (33) 優先権主張国 米国(US)

(71) 出願人 590000846
 イーストマン コダック カンパニー
 アメリカ合衆国 ニューヨーク州 ロchester
 スター ステート ストリート 343
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100091214
 弁理士 大貫 進介
 (74) 代理人 100107766
 弁理士 伊東 忠重
 (72) 発明者 スティーヴンス, エリック ゴードン
 アメリカ合衆国 ニューヨーク州 146
 50 ロchester ステート・ストリート 343

最終頁に続く

(54) 【発明の名称】 増大された空乏層深さを有する光検出器

(57) 【要約】

イメージセンサは、第1導電型の基板層(502)内に形成された複数の画素(600)を含む撮像領域を含んでいる。各画素は、基板層の一部に形成され且つ第1導電型のドーパントでドープされた収集領域(514)を含んでいる。複数のウェル(604)が基板層の複数の部分に配置され、第2導電型の別のドーパントでドープされる。各ウェルは各収集領域の横に隣接配置される。埋め込み層(508)は、撮像領域の全域におよんでおり、光検出器(512)及び上記ウェルの下方の基板層の一部に配置されている。埋め込み層は第2導電型のドーパントでドープされる。各収集領域、各ウェル、及び埋め込み層(508)は、基板層と実質的に同じドーピングを有する基板層の領域(506')が各収集領域と埋め込み層との間に存在するように形成されている。

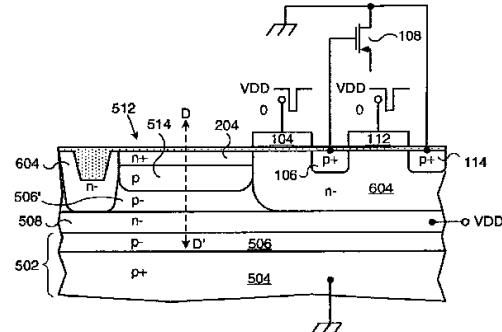


FIG. 6

【特許請求の範囲】**【請求項 1】**

第1導電型のドーパントでドープされた収集領域を各々が有する複数の画素を含む撮像領域；

前記第1導電型の基板層；

前記撮像領域の全域において且つ前記基板層の一部に配置された埋め込み層であり、第2導電型のドーパントでドープされた埋め込み層；及び

前記基板層の複数の部分に配置された複数のウェルであり、各ウェルが各画素の収集領域の横に隣接配置され、各ウェルが前記第2導電型の別のドーパントでドープされた複数のウェル；

10

を有し、

前記基板層と実質的に同じドーピングを有する前記基板層の領域が各収集領域と前記埋め込み層との間に存在するように、前記埋め込み層及び各収集領域が形成されている、
イメージセンサ。

【請求項 2】

各画素内に配置された1つ以上の電子部品、を更に有する請求項1に記載のイメージセンサ。

【請求項 3】

前記撮像領域の外側で前記基板層に配置され且つ前記撮像領域に電気的に接続された1つ以上の電子部品、を更に有する請求項1に記載のイメージセンサ。

20

【請求項 4】

各ウェルは、前記埋め込み層と境を接するように前記基板層の一部に配置されている、
請求項1に記載のイメージセンサ。

【請求項 5】

ピン止めフォトダイオードを形成するように各収集領域上に形成されたピン止め層、を更に有する請求項1に記載のイメージセンサ。

【請求項 6】

前記基板層は、エピタキシャル層が上に形成された基板を有し、前記埋め込み層、前記複数のウェル及び前記収集領域は、前記エピタキシャル層の部分に形成されている、請求項1に記載のイメージセンサ。

30

【請求項 7】

前記基板層は基板を有し、前記埋め込み層、前記複数のウェル及び前記収集領域は、前記基板の部分に形成されている、請求項1に記載のイメージセンサ。

【請求項 8】

前記第1導電型はp型であり、前記第2導電型はn型である、請求項1に記載のイメージセンサ。

【請求項 9】

イメージセンサを有する画像捕捉装置であって：

前記イメージセンサは：

第1導電型のドーパントでドープされた収集領域を各々が有する複数の画素を含む撮像領域；

40

前記第1導電型の基板層；

前記撮像領域の全域において且つ前記基板層の一部に配置された埋め込み層であり、
第2導電型のドーパントでドープされた埋め込み層；及び

前記基板層の複数の部分に配置された複数のウェルであり、各ウェルが各画素の収集領域の横に隣接配置され、各ウェルが前記第2導電型の別のドーパントでドープされた複数のウェル；

を有し、

前記基板層と実質的に同じドーピングを有する前記基板層の領域が各収集領域と前記埋め込み層との間に存在するように、前記埋め込み層及び各収集領域が形成されている、

50

画像捕捉装置。

【請求項 10】

前記イメージセンサは更に、各画素内に配置された1つ以上の電子部品を有する、請求項9に記載の画像捕捉装置。

【請求項 11】

前記撮像領域の外側で前記基板層に配置され且つ前記撮像領域に電気的に接続された1つ以上の電子部品、を更に有する請求項9に記載の画像捕捉装置。

【請求項 12】

前記第1導電型はp型であり、前記第2導電型はn型である、請求項9に記載の画像捕捉装置。

10

【請求項 13】

ピン止めフォトダイオードを形成するように各収集領域上に形成されたピン止め層、を更に有する請求項9に記載の画像捕捉装置。

【請求項 14】

前記基板層は、エピタキシャル層が上に形成された基板を有し、前記埋め込み層、前記複数のウェル及び前記収集領域は、前記エピタキシャル層の部分に形成されている、請求項9に記載の画像捕捉装置。

【請求項 15】

前記基板層は基板を有し、前記埋め込み層、前記複数のウェル及び前記収集領域は、前記基板の部分に形成されている、請求項9に記載の画像捕捉装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、概してイメージセンサの分野に関し、より具体的には、空乏層深さが増大された光検出器構造を含むイメージセンサに関する。

【背景技術】

【0002】

所与の光形式内で一層高い解像度を求める要求が高まり続け、且つ画素サイズが減少し続けるにつれて、イメージセンサの幾つかの主要な性能的側面を維持することができます困難になりつつある。特に、画素サイズが一層と小さくなるにつれて、画素の量子効率が低下し、画素間のクロストークが増大している。画素間のクロストークを抑制する一手法は、バーティカル・オーバーフロー・ドレイン(VO'D)構造を、ウェル内に組み込まれた画素と組み合わせるものである。この技術は非特許文献1に記載されている。クロストークを抑制する他の一手法は、p型基板上に位置するnウェル内に組み込まれた正孔に基づく検出器を使用する。この技術は特許文献1に開示されている。これら従来技術に係る方法は、画素間クロストークを抑制するものの、より長い波長で伝播する光に関して量子効率が犠牲にされる。

30

【0003】

光検出器の空乏層深さを増大させることは、デバイスの収集効率が高められるため、クロストークを抑制するとともに、量子効率を改善し得る。空乏層深さを増大させる最近の方法の一例が特許文献2に開示されている。より深くシリコン内に延在する低濃度ドープのティルを形成するように、一連の追加イオン注入が付加される。残念ながら、この技術は製造プロセスに追加の処理工程を加えてしまう。この手法に伴う別の1つの問題は、それら高エネルギーイオン注入の位置合わせに関連する。高エネルギーでのイオン注入の飛程は非常に大きいので、これらのイオン注入は、転送ゲートを貫通し得るものであり、もはや転送ゲートのエッジに自己整合(セルファーライン)されない。故に、これらのイオン注入のアライメントが厳格に制御されない場合、イオン注入は転送ゲートを貫通して残像を増大させ得る。この残像問題を回避する一手法は、フォトダイオード表面への注入成分のドーズ量を低下させることであるが、そうすることは電荷容量の損失をもたらし得る。

40

【先行技術文献】

50

【特許文献】

【0004】

【特許文献1】米国特許出願公開第2007/0108371号明細書

【特許文献2】米国特許出願公開第2007/0069260号明細書

【非特許文献】

【0005】

【非特許文献1】井上俊輔等、「325万画素APS-CサイズCMOSイメージセンサ」、映像情報メディア学会技術報告、2001年3月、第25巻、第28号、pp.37-41

【発明の概要】

【発明が解決しようとする課題】

10

【0006】

故に、製造プロセスに追加の処理工程を加えることなく、またイメージセンサのその他の性能特性に影響を及ぼすことなく、画素間クロストークの抑制と量子効率の向上とを同時に果たす画素構造を提供することが技術的に望まれる。

【課題を解決するための手段】

【0007】

画素構造は、複数の画素を有する撮像領域を含む。撮像領域内の各画素は、第1導電型の基板層を含む。用語“基板層”は、エピタキシャル層が上に形成された基板、及びエピタキシャル層を有しないバルクウェハ基板を含む。

【0008】

撮像領域の全域におよぶ埋め込み層とウェルとが基板層の部分に形成され、各々第2導電型のドーパントでドープされる。光検出器の収集領域がウェルの横に隣接して形成され、第1導電型のドーパントでドープされる。そして、必要に応じてのピン止め層が収集領域の一部に形成され、第2導電型のドーパントでドープされる。画素構造にピン止め層が含まれられる場合、収集領域及びピン止め層はピン止め光検出器を形成する。

20

【0009】

収集領域及び埋め込み層は基板層内で、基板層のアンドープ領域が当該収集領域と当該埋め込み層との間に存在するように形成される。この領域が“アンドープ”と呼ばれるのは、当該アンドープ領域のドーピングが基板層のドーピングと実質的に同じであるからである。このアンドープ領域は実効的に、光検出器の収集領域の“拡張”を生み出す。この拡張は、光検出器のより深い空乏層深さ及びより深い接合（ジャンクション）深さをもたらす。

30

【0010】

添付の図面を参照して、以下の好適実施形態の詳細な説明及び添付の請求項を検討することにより、本発明の上記及びその他の態様、目的、特徴及び利点が一層明確に理解・認識されるであろう。

【発明の効果】

【0011】

本発明は、光検出器の空乏層深さが増大され、それにより光検出器の収集効率が向上されるという利点を有する。本発明はまた、イメージセンサのその他の性能特性を維持しながら、隣接画素間での画素間クロストークを抑制する。さらに、本発明はイメージセンサの製造プロセスに追加工程を付加しない。

40

【図面の簡単な説明】

【0012】

【図1】従来技術に従ったCMOSイメージセンサに広く使用される画素を示す上面図である。

【図2】従来技術に係る画素構造を示す図1中の線A-A'に沿った断面模式図である。

【図3】図2に示した収集領域206の典型的なジャンクション及び空乏端をグラフ的に示す図である。

【図4】図2の直線B-B'に沿って取られた光検出器100の典型的な一次元電位プロ

50

ファイルである。

【図5】本発明に従った一実施形態における第1の画素構造を示す図1中の線A-A'に沿った断面模式図である。

【図6】本発明に従った一実施形態における第2の画素構造を示す図1中の線A-A'に沿った断面図である。

【図7】図5の直線C-C'及び図6の直線D-D'に沿って取られた光検出器512の典型的な一次元ドーピングプロファイルである。

【図8】図5の直線C-C'及び図6の直線D-D'に沿って取られた光検出器512の典型的な一次元電位プロファイルである。

【図9】図5の収集領域514の典型的なジャンクション及び空乏境界を示す典型的な二次元断面図である。 10

【図10】本発明に従った一実施形態におけるイメージセンサの上面図を示すブロック図である。

【図11A】本発明に従った一実施形態における埋め込み層508、ウェル510及び光検出器512を製造する方法を例示するために使用される1つの画素の部分を示す断面図である。

【図11B】本発明に従った一実施形態における埋め込み層508、ウェル510及び光検出器512を製造する方法を例示するために使用される1つの画素の部分を示す断面図である。

【図11C】本発明に従った一実施形態における埋め込み層508、ウェル510及び光検出器512を製造する方法を例示するために使用される1つの画素の部分を示す断面図である。 20

【図11D】本発明に従った一実施形態における埋め込み層508、ウェル510及び光検出器512を製造する方法を例示するために使用される1つの画素の部分を示す断面図である。

【図11E】本発明に従った一実施形態における埋め込み層508、ウェル510及び光検出器512を製造する方法を例示するために使用される1つの画素の部分を示す断面図である。

【図12】本発明に従った一実施形態における空乏層深さが増大された光検出器を備えた画素構造を組み込んだイメージセンサとともに使用され得る撮像システムを示すブロック図である。 30

【発明を実施するための形態】

【0013】

本明細書及び特許請求の範囲の全体を通して、特に断らない限り、以下の用語はここで明確に結び付けられる意味を取る。“a”、“a n”及び“t h e”的意味は複数形での参照を含み、“に”的意味は“内に”及び“上に”を含む。用語“接続される”は、接続される複数の品目間の直接的な電気接続と、1つ以上の受動的あるいは能動的な中間デバイスを介しての間接的な接続との何れかを意味する。用語“回路”は、所望の機能を提供するように互いに接続される、単一の要素又は複数の要素の何れか、能動要素又は受動要素の何れかを意味する。用語“信号”は、少なくとも1つの電流信号、電圧信号又はデータ信号を意味する。図面においては複数の図を通して、似通った参照符号は同様の部分を指し示す。 40

【0014】

それでは、図1を参照するに、従来技術に従ったCMOSイメージセンサに広く使用される画素の上面図が示されている。1つの画素のみが示されているが、当業者に認識されるように、イメージセンサは、典型的に複数行及び複数列に配列された、多数の画素を含んでいる。例えば、イメージセンサは何百万もの画素を有し得る。

【0015】

画素102は光検出器100を含んでおり、光検出器100は、当該光検出器100に突き当たる光に応答して電荷の生成及び蓄積を行う。光検出器100内に集積された電荷 50

を電荷 - 電圧変換部 106 に転送するために、転送ゲート 104 が用いられる。変換部 106 は電荷を電圧信号に変換する。電荷 - 電圧変換部 106 に保管された電圧信号は、ソースフォロワトランジスタ 108 によってバッファリングされる。その出力 (V_{out}) は、行 (ロー) 選択トランジスタ 110 によって選択的に、列 (コラム) バス (図示せず) に接続される。画素の読み出しに先立って変換部 106 を既知の電位にリセットするために、リセットトランジスタ 112 が用いられる。そして、ソースフォロワトランジスタ 108 に電力を供給し、リセット動作中に変換部 106 から信号電荷を排出するために、電源電圧 (V_{SS}) 114 が用いられる。

【0016】

図 2 は、図 1 中の線 A - A' に沿った断面模式図を示している。図 2 に示す画素構造は上述の特許文献 1 にて開示されている。画素 200 は、図 1 に関連して説明した転送ゲート 104、電荷 - 電圧変換部 106、ソースフォロワトランジスタ 108 及びリセットゲート 112 を含んでいる。光検出器 202 は、n - ウェル 208 内に形成された n^+ ピン止め (pinning) 層 204 と p 型収集領域 206 とで構成されたピン止め (pinned) フォトダイオードとして実現されている。ウェル 208 は、p - エピタキシャル層 210 内に形成されており、シリコンの頂面まで延在している。

【0017】

図 3 は、図 2 に示した収集領域 206 の典型的な接合 (ジャンクション) 及び空乏端をグラフ的に示している。便宜上、図 3 は、画素 200 内のその他の要素に関するジャンクション及び空乏領域は示していない。直線 300 は、ウェル 208 とエピタキシャル層 210 との間のジャンクション (図 2 参照) を示している。ジャンクション 302 は、収集領域 206 とウェル 208 との間のジャンクション (図 2 参照) を示し、境界 304 は、光検出器 202 の空乏領域 306 の輪郭を定めている。図 3 に示す例において、ジャンクション 302 はウェル 208 内でおよそ $0.4 \mu m$ の深さを有し、空乏領域 304 はおよそ $1.1 \mu m$ の深さを有する。

【0018】

図 4 は、図 2 の直線 B - B' に沿って取られた光検出器 202 の典型的な一次元電位プロファイルである。空乏層深さは光検出器の収集境界を定め、シンク深さはそれを通り過ぎて電荷キャリアが基板内に排出される深さである。光検出器 202 は、およそ $1.1 \mu m$ の空乏層深さ 400 と、およそ $2.2 \mu m$ のシンク深さ 402 を有する。

【0019】

次に図 5 を参照するに、本発明に従った一実施形態における第 1 の画素構造を示す図 1 中の線 A - A' に沿った断面模式図が示されている。画素 500 は、図 1 に関連して説明した転送ゲート 104、電荷 - 電圧変換部 106、ソースフォロワトランジスタ 108 及びリセットゲート 112 を含んでいる。本発明に従った一実施形態において、画素 500 は pMOS アクティブピクセルセンサ (APS) 画素として実現され、電荷 - 電圧変換部 106 はフローティングディフュージョン (浮遊拡散層) として実現される。APS 画素は、画素自体の内部に形成された 1 つ以上の電子部品を有する。例えば、図 5 において、ソースフォロワトランジスタ 108 は画素 500 内に形成される。

【0020】

用語 “基板層” は、ここでは、1 つ以上のエピタキシャル層が上に形成された基板、及び如何なるエピタキシャル層も上に形成されていないバルク基板の双方を含むものとして定義される。図 5 に示した実施形態において、基板層 502 は、p++ 基板 504 及び p - エピタキシャル層 506 を含んでいる。埋め込み n - 層 508 が p - エピタキシャル層 506 の一部内に形成されている。n - ウェル 510 が、光検出器 512 の横に隣接配置されて、p - エピタキシャル層 506 の一部内に形成されている。光検出器 512 は、p - エピタキシャル層 508 内に形成された n^+ ピン止め層 204 と p 型収集領域 514 とで構成されたピン止めフォトダイオードとして実現されている。p - エピタキシャル層 506 のアンドープ領域 506' が収集領域 514 と埋め込み n - 層 508 との間に位置付けられている。領域 506' は、埋め込み層 508、ウェル 510 及び収集領域 514 を

10

20

30

40

50

形成するために使用されるドーパントの何れによってもドーピングされていないことから、“アンドープ”と呼ぶ。アンドープ領域 506' のドーピングは実質的にエピタキシャル層と同じである。アンドープ領域 506' は実効的に、光検出器 512 内の p 型収集領域 514 の“拡張”を生み出す。これは、光検出器 512 の、より深い空乏層深さと、より深いジャンクション深さとをもたらす。

【0021】

図 6 は、本発明に従った一実施形態における第 2 の画素構造を示す図 1 中の線 A - A' に沿った断面図である。画素 600 は、ウェル 604 を除いて、図 5 の画素 500 と同一である。ウェル 604 は、その最も深い位置で埋め込み層 508 と境を接するように、p - エピタキシャル層 506 の部分内に形成されている。図 5 に示した実施形態と同様に、アンドープ領域 506' が実効的に、光検出器 512 内の収集領域 514 の“拡張”を生み出す。この拡張は、光検出器 512 の、より深い空乏層深さと、より深いジャンクション深さとを作り出す。

10

【0022】

次に図 7 を参照するに、図 5 の直線 C - C' 及び図 6 の直線 D - D' に沿って取られた光検出器 512 の典型的な一次元ドーピングプロファイルが示されている。プロファイル 700 はピン止め層 204 のドーピングプロファイルを示し、プロファイル 702 は収集領域 514 のドーピングプロファイルを示し、プロファイル 704 は埋め込み n - 層 508 のドーピングプロファイルを示し、プロファイル 706 は p - エピタキシャル層 506 のドーピングプロファイルを示している。なお、プロファイル 702 は、収集領域 514 のドーピングプロファイルの“テイル”領域 708 を含んでいる。拡張されたテイル領域 708 は、より深い光検出器ジャンクション深さをもたらす。

20

【0023】

図 8 は、図 5 の直線 C - C' 及び図 6 の直線 D - D' に沿って取られた光検出器 512 の典型的な一次元電位プロファイルである。光検出器 512 は、およそ 1.7 μm の空乏層深さ 800 と、およそ 2.7 μm のシンク深さ 802 を有する。比較するに、図 4 に示したように、従来技術に係る光検出器 202 は、およそ 1.1 μm の空乏層深さ 400 (図 4 の 400 を参照) と、およそ 2.2 μm のシンク深さ 402 (図 4 の 402 を参照) とを有していた。図 5 及び 6 に示した画素構造は各々、図 2 に示した従来技術に係る画素構造の量子効率と比較して、量子効率の増大を有する。

30

【0024】

次に図 9 を参照するに、図 5 の収集領域 514 のジャンクション及び空乏境界を示す典型的な二次元断面図が示されている。便宜上、図 9 は、画素 500 内のその他の要素に関するジャンクション及び空乏領域は示していない。直線 900 は、埋め込み層 508 の底面と p - エピタキシャル層 506 との間のジャンクションを示している。ジャンクション 902 は収集領域 514 のジャンクションを表し、境界 904 は光検出器 512 の空乏領域 906 を示している。図 9 を図 3 と比較するに、ジャンクション 904 はジャンクション 304 より深く、空乏領域 906 は空乏領域 306 より大きい。図 7 のドーピングプロファイル、図 8 の電位プロファイル、並びに図 9 のジャンクション及び空乏境界は、本発明に従った一実施形態に含まれるものである。当業者に認識されるように、図 7 - 9 に示したドーピングプロファイル、電位プロファイル、ジャンクション及び空乏境界は例であり、それらの実際の形状及び値は、本発明に従ったその他の実施形態においては変わり得る。

40

【0025】

図 10 は、本発明に従った一実施形態におけるイメージセンサの上面図を示すブロック図である。イメージセンサ 1000 は、撮像領域 1002、コラムデコーダ 1004、ローデコーダ 1006、デジタルロジック 1008、及びアナログ若しくはデジタルの出力回路 1010 を含んでいる。撮像領域 1002 は、図 5 又は図 6 の画素構造を有する画素のアレイを含む。イメージセンサ 1000 は、本発明に従った一実施形態において、相補型金属酸化物半導体 (CMOS) イメージセンサとして実現される。故に、コラムデコー

50

ダ 1 0 0 4 、ローデコーダ 1 0 0 6 、デジタルロジック 1 0 0 8 、及びアナログ若しくはデジタル出力回路 1 0 1 0 は、撮像領域 1 0 0 2 に動作的に接続される標準 CMOS 電子回路として実現される。当業者に認識されるように、本発明に従った他の実施形態においては、その他の周辺回路構成又はアーキテクチャも実装され得る。

【 0 0 2 6 】

次に図 1 1 A - 1 1 E を参照するに、本発明に従った一実施形態における埋め込み層 5 0 8 、ウェル 5 1 0 及び光検出器 5 1 2 を製造する方法を例示するために使用される 1 つの画素の部分の断面図が示されている。図 1 1 A - 1 1 E には、本発明を理解するのに必要な製造工程のみが示されている。先ず、既知の製造技術を用いて基板 5 0 4 上にエピタキシャル層 5 0 6 が形成される(図 1 1 A 参照)。エピタキシャル層 5 0 6 及び基板 5 0 4 は、第 1 導電型のドーパントでドープされ、共同で基板層 5 0 2 を形成する。

10

【 0 0 2 7 】

次に、図 1 1 B に示すように、エピタキシャル層 5 0 6 の一部が第 2 導電型のドーパントでドープされ、埋め込み層 5 0 8 が形成される。埋め込み層 5 0 8 は、例えばイオン注入などの如何なる既知の製造技術を用いて形成されてもよい。図 1 1 B にて見て取れるように、埋め込み層 5 0 8 はエピタキシャル層 5 0 6 を、実質的に同じドーピング量を有する 2 つの領域(5 0 6 、5 0 6 ')に分割する。光検出器の収集領域の“拡張”を生み出す図 5 及び 6 に示したアンドープ領域 5 0 6 ' は、図 1 1 に示した実施形態においてエピタキシャル層領域 5 0 6 ' の一部から形成される。

【 0 0 2 8 】

次に、図 1 1 C に示すように、画素上でマスク 1 1 0 2 の堆積及びパターニングが行われ、エピタキシャル層領域 5 0 6 ' の部分ぶぶんを第 2 導電型のドーパントでドープすること(図 1 1 C に矢印 1 1 0 4 で表されたドーピング)によって、エピタキシャル層領域 5 0 6 ' の該部分ぶぶんにウェル 5 1 0 が形成される。当業者に認識されるように、シャロー・トレンチ・アイソレーション(STI) 1 1 0 6 は、ウェル 5 1 0 の形成に先立って、エピタキシャル層領域 5 0 6 ' 内に形成され、誘電体で充填される(STI 1 1 0 6 の形成はオプションであり、本発明の一部ではない)。図 1 1 C に示した実施形態において、ウェル 5 1 0 は埋め込み層 5 0 8 と境を接していない。本発明に従った他の実施形態においては、ウェル 5 1 0 は埋め込み層 5 0 8 と境を接する。

20

【 0 0 2 9 】

そして、マスク 1 1 0 2 が除去され、図 1 1 D に示すように、画素の表面に転送ゲートが形成される。画素上でマスク 1 1 1 0 の堆積及びパターニングが行われ、エピタキシャル層領域 5 0 6 ' の一部を第 1 導電型のドーパントでドープすること(矢印 1 1 1 2 で表されたドーピング)によって、エピタキシャル層領域 5 0 6 ' の一部内に収集領域 5 1 4 が形成される。この第 1 導電型のドーパントは収集領域 5 1 4 に、転送ゲート 1 1 0 8 に対してセルファーラインで注入されるので、マスク 1 1 1 0 はゲート 1 1 0 8 の全体を覆っていない。

30

【 0 0 3 0 】

その後、マスク 1 1 1 0 が除去され、画素の表面で別のマスク 1 1 1 4 の堆積及びパターニングが行われる。そして、収集領域 5 1 4 の一部を第 2 導電型のドーパントでドープすること(矢印 1 1 1 6 で表されたドーピング)によって、収集領域 5 1 4 上にピン止め層 2 0 4 が形成される。ピン止め層 2 0 4 及び収集領域 5 1 4 は共同でピン止めフォトダイオードを形成する。図 1 1 E は、ゲート 1 1 0 8 に隣接して形成された 1 つのウェル 5 1 0 を、収集領域 5 1 4 及びピン止め層 2 0 4 と境を接しないものとして描いているが、当業者に認識されるように、該ウェルは光検出器と境を接するように形成されることも可能である。斯くして、図 1 1 E に示すように、埋め込み層 5 0 8 とピン止め光検出器の収集領域 5 1 4 との間に、エピタキシャル層 5 0 6 と実質的に同じドーピング量を有する領域 5 0 6 ' が存在するように、エピタキシャル層領域 5 0 6 ' 内に埋め込み層 5 0 8 、ウェル 5 1 0 及び収集領域 5 1 4 が形成される。

40

【 0 0 3 1 】

50

本発明に従った他の一実施形態において、基板層 502 は基板 504 のみによって形成される。そして、埋め込み層 508 が基板 504 を、実質的に同じドーピング量を有する 2 つの領域に分割する。図 5 及び 6 のアンドープ領域 506' が基板 504 の一部から形成されるように、埋め込み層 508、ウェル 510 及び収集領域 514 が形成される。この実施形態において、アンドープ領域 506' のドーピングは、基板 504 のドーピングと実質的に同じである。

【0032】

図 12 は、本発明に従った一実施形態における空乏層深さが増大された光検出器を備えた画素構造を組み込んだイメージセンサとともに使用され得る撮像システムのブロック図である。撮像システム 1200 は、デジタルカメラ電話 1202 とコンピューティング装置 1204 とを含んでいる。デジタルカメラ電話 1202 は、本発明を組み込んだイメージセンサを使用し得る画像捕捉装置の一例である。例えばデジタルスチルカメラ及びデジタルビデオカメラ等のその他の種類の画像捕捉装置も本発明とともに使用されることが可能である。

10

【0033】

デジタルカメラ電話 1202 は、本発明に従った一実施形態において、可搬式、手持ち式、電池式の装置である。デジタルカメラ電話 1202 は、メモリ 1206 に格納されるデジタル画像を作り出す。メモリ 1206 は、例えば、内蔵フラッシュ E P R O M メモリ、又は脱着可能なメモリカードとし得る。例えば磁気ハードドライブ、磁気テープ又は光ディスク等のその他の種類のデジタル画像記憶媒体も、メモリ 1206 を実現するために代替的に使用され得る。

20

【0034】

デジタルカメラ電話 1202 は、シーン(図示せず)からの光の焦点をアクティブピクセルセンサのイメージセンサアレイ 1210 上に合わせるためにレンズ 1208 を使用する。イメージセンサアレイ 1210 は、本発明に従った一実施形態において、バイエル(Bayer)のカラーフィルタパターンを用いてカラー画像情報を提供する。イメージセンサアレイ 1210 はタイミング発生器 1214 によって制御される。タイミング発生器 1214 はまた、周囲照明が弱いときにシーンを照らすためにフラッシュ 1216 を制御する。

30

【0035】

イメージセンサアレイ 1210 から出力されるアナログ出力信号は、増幅され、アナログ - デジタル(A / D)変換回路 1218 によってデジタル信号に変換される。このデジタルデータは、バッファメモリ 1220 に格納された後、デジタルプロセッサ 1222 によって処理される。デジタルプロセッサ 1222 は、フラッシュ E P R O M メモリとし得るファームウェアメモリ 1224 に格納されたファームウェアによって制御される。デジタルプロセッサ 1222 は、デジタルカメラ電話 1202 及びデジタルプロセッサ 1222 が省電力状態にあるときにも日時を保持するリアルタイムクロック 1226 を含んでいる。処理されたデジタル画像ファイルはメモリ 1206 に格納される。メモリ 1206 はまた、例えば音楽ファイル(例えば、M P 3 ファイル)、着信音、電話番号、カレンダー、及びやることリストなどのその他の種類のデータも格納することができる。

40

【0036】

本発明に従った一実施形態において、デジタルカメラ電話 1202 は静止画を捕捉(キャプチャ)する。デジタルプロセッサ 1222 は、表示される S R G B 画像データを作り出すために、色補間とそれに続く色・階調補正を実行する。表示される S R G B 画像データは圧縮され、画像ファイルとしてメモリ 1206 に格納される。単なる例として、画像データは、既知の“E x i f”画像フォーマットを用いる J P E G フォーマットに従って圧縮され得る。このフォーマットは、様々な T I F F タグを用いて特定の画像メタデータを記憶する E x i f アプリケーションセグメントを含んでいる。例えば、写真がキャプチャされた日時、レンズの f 値及びその他のカメラ設定、並びに画像の見出しを記憶するために、別々の T I F F タグが使用され得る。

50

【0037】

デジタルプロセッサ 1222 は、本発明に従った一実施形態において、ユーザによって選択される様々な画像サイズを作り出す。1つのそのようなサイズは低解像度の“サムネイル”サイズ画像である。サムネイルサイズの画像を生成することは、Kuchta 等の“Electronic Still Camera Providing Multi-Format Storage Of Full And Reduced Resolution Images”というタイトルの同一譲受人の米国特許第5164831号明細書に記載されている。サムネイル画像は、RAMメモリ 1228 に格納され、例えばアクティブマトリクス型LCD 又は有機発光ダイオード(OLED)とし得るディスプレイ 1230 に供給される。サムネイルサイズの画像を生成することにより、キャプチャした画像をカラーディスプレイ 1230 上ですぐにレビューすることが可能になる。

10

【0038】

本発明に従った他の一実施形態において、デジタルカメラ電話 1202 はまた、ビデオクリップの生成及び記録を行う。ビデオクリップは、イメージセンサアレイ 1210 の複数の画素を足し合わせて（例えば、イメージセンサアレイ 1210 の4列×4行の領域ごとに、その内部の同一色の画素を足し合わせる）、より低解像度のビデオ画像フレームを作り出すことによって生成される。ビデオ画像フレームは一定の間隔で、例えば毎秒 15 フレームの読み出し速度を用いて、イメージセンサアレイ 1210 から読み出される。

20

【0039】

音声コーデック 1232 が、デジタルプロセッサ 1222 に接続され、マイク 1234 からの音声信号を受信する。音声コーデックはまた、音声信号をスピーカ 1236 に提供する。これらの構成要素は、電話での会話と、ビデオシーケンス又は静止画とともに音声トラックの記録及び再生を行うことと、の双方に使用される。

20

【0040】

スピーカ 1236 は、本発明に従った一実施形態において、着信電話をユーザに知らせるためにも使用される。これは、ファームウェアメモリ 1224 に格納された標準着信音を用いて、あるいは移動電話ネットワーク 1238 からダウンロードされてメモリ 1206 に格納されたカスタム着信音を用いて行われ得る。また、着信電話を無音で（音を出さずに）通知するためにバイブレーション装置（図示せず）が用いられてもよい。

30

【0041】

デジタルプロセッサ 1222 は、デジタルカメラ電話 1202 が無線周波数(RF)チャネル 1242 を介して情報の送信及び受信を行うことを可能にする無線モデム 1240 に接続されている。無線モデム 1240 は、例えば3GSMネットワークなどの別のRFリンク（図示せず）を用いて移動電話ネットワーク 1238 と通信する。移動電話ネットワーク 1238 は、デジタルカメラ電話 1202 からアップロードされたデジタル画像を保存する写真サービスプロバイダ 1244 と通信する。コンピューティング装置 1204 を含むその他の装置は、これらの画像にインターネット 1246 を介してアクセスする。移動電話ネットワーク 1238 はまた、本発明に従った一実施形態において、通常の電話サービスを提供するために標準電話ネットワーク（図示せず）にも接続している。

30

【0042】

グラフィカルユーザインターフェース（図示せず）が、ディスプレイ 1230 上に表示され、ユーザ制御部 1248 によって制御される。ユーザ制御部 1248 は、本発明に従った実施形態において、電話番号をダイアルするための専用プッシュボタン（例えば、電話キーパッド）、モード（例えば、“電話”モード、“カレンダー”モード、“カメラ”モード）を設定するための制御具、4方向制御具（上、下、左、右）と中央のプッシュボタン“OK”又は“選択”スイッチとを含むジョイスティックコントローラを含む。

40

【0043】

ドック 1250 は、デジタルカメラ電話 1202 内の電池（図示せず）を再充電する。ドック 1250 は、ドックインターフェース 1252 を介して、デジタルカメラ電話 1202 をコンピューティング装置 1204 に接続する。ドックインターフェース 1252 は、本

50

発明に従った一実施形態において、例えばU S B インタフェースなどの有線インターフェースとして実装される。代替的に、本発明に従った他の実施形態においては、ドックインターフェース1252は、例えばBlue tooth又はIEEE802.11b無線インターフェースなどの無線インターフェースとして実装される。ドックインターフェース1252は、メモリ1206からコンピューティング装置1204に画像をダウンロードするために使用される。ドックインターフェース1252はまた、コンピューティング装置1204からデジタルカメラ電話1202内のメモリ1206にカレンダー情報を転送するために使用される。

【0044】

本発明をその具体的な実施形態を参照して説明した。しかしながら、認識されるように、当業者は本発明の範囲を逸脱することなく変形及び変更を為すことができる。例えば、画素500又は画素600は、ドーパント型を逆にしてnMOS画素として実現されることができる。画素構成は、図5及び6に示したものに対して、更なる、より少ない、あるいは異なる構成要素を含むことが可能である。イメージセンサは、CMOSイメージセンサ、又は電荷結合デバイス(CCD)イメージセンサとして実現されてもよい。また、基板502は、エピタキシャル層を有しないバルクウェハとして実現されてもよい。

【0045】

また、光検出器512は、本発明に従った他の実施形態において、代替的な構造又は導電型を用いて実現されてもよい。光検出器512は、本発明に従った他の一実施形態において、p型エピタキシャル層内のn-ウェル内に形成されたピン止め型でないp型ダイオードとして実現されてもよい。本発明に従った他の実施形態において、光検出器512は、n型基板内のp-ウェル内に形成されたピン止め型又は非ピン止め型のn型ダイオードを含み得る。さらに、図5及び6には単純な非共有型の画素構造が示されているが、本発明に従った他の一実施形態においては、共有アーキテクチャが用いられる。米国特許第6107655に共有アーキテクチャの一例が開示されている。

【符号の説明】

【0046】

100	光検出器
102	画素
104	転送ゲート
106	フローティングディフュージョン
108	ソースフォロワトランジスタ
110	ロー選択トランジスタ
112	リセットトランジスタ
114	電源(VDD)
200	画素
202	光検出器
204	ピン止め層
206	収集領域
208	ウェル
210	エピタキシャル層
300	ジャンクション
302	ジャンクション
304	空乏領域
306	空乏領域の境界
400	空乏層深さ
402	シンク深さ
500	画素
502	基板
504	基板

10

20

30

40

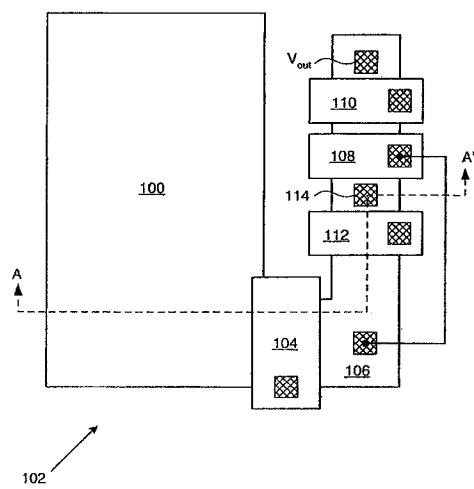
50

5 0 6	エピタキシャル層	
5 0 6	エピタキシャル層の領域	
5 0 8	埋め込み層	
5 1 0	ウェル	
5 1 2	光検出器	
5 1 4	収集領域	
6 0 0	画素構造	
6 0 2	ウェル	
7 0 0	ピン止め層のドーピングプロファイル	
7 0 2	収集領域のドーピングプロファイル	10
7 0 4	ウェルのドーピングプロファイル	
7 0 6	エピタキシャル層のドーピングプロファイル	
7 0 8	収集領域のドーピングプロファイルの拡張されたテイル	
8 0 0	空乏層深さ	
8 0 2	シンク深さ	
9 0 0	ジャンクション	
9 0 2	ジャンクション	
9 0 4	空乏領域	
9 0 6	空乏領域の境界	
1 0 0 0	イメージセンサ	20
1 0 0 2	撮像領域	
1 0 0 4	コラムデコーダ	
1 0 0 6	ローデコーダ	
1 0 0 8	デジタルロジック	
1 0 1 0	出力回路	
1 1 0 0	第2導電型のドーパントでのドーピングを表す矢印	
1 1 0 2	マスク	
1 1 0 4	第2導電型のドーパントでのドーピングを表す矢印	
1 1 0 6	シャロー・トレーニング・アイソレーション	
1 1 0 8	ゲート	30
1 1 1 0	マスク	
1 1 1 2	第1導電型のドーパントでのドーピングを表す矢印	
1 1 1 4	マスク	
1 1 1 6	第2導電型のドーパントでのドーピングを表す矢印	
1 2 0 0	撮像システム	
1 2 0 2	カメラ電話	
1 2 0 4	コンピューティング装置	
1 2 0 6	メモリ	
1 2 0 8	レンズ	
1 2 1 0	イメージセンサアレイ	40
1 2 1 2	アクティブピクセルセンサ	
1 2 1 4	タイミング発生器	
1 2 1 6	フラッシュ	
1 2 1 8	アナログ・デジタル変換器	
1 2 2 0	バッファメモリ	
1 2 2 2	デジタルプロセッサ	
1 2 2 4	ファームウェアメモリ	
1 2 2 6	クロック	
1 2 2 8	R A Mメモリ	
1 2 3 0	ディスプレイ	50

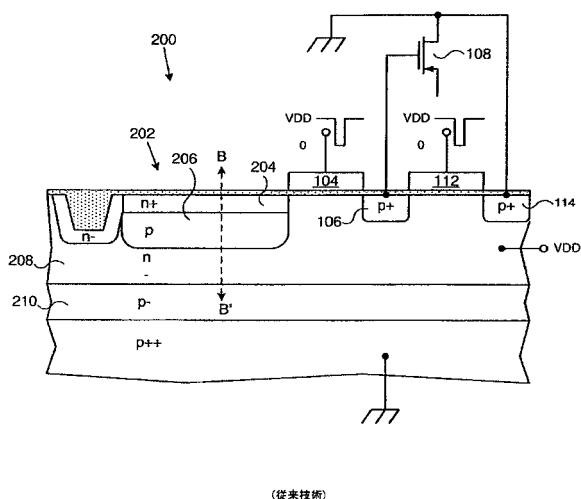
1 2 3 2 音声コーデック
 1 2 3 4 マイク
 1 2 3 6 スピーカ
 1 2 3 8 移動電話ネットワーク
 1 2 4 0 無線モデム
 1 2 4 2 RF チャネル
 1 2 4 4 写真サービスプロバイダ
 1 2 4 6 インターネット
 1 2 4 8 ユーザ制御部
 1 2 5 0 ドック
 1 2 5 2 ドックインターフェース

10

【図1】

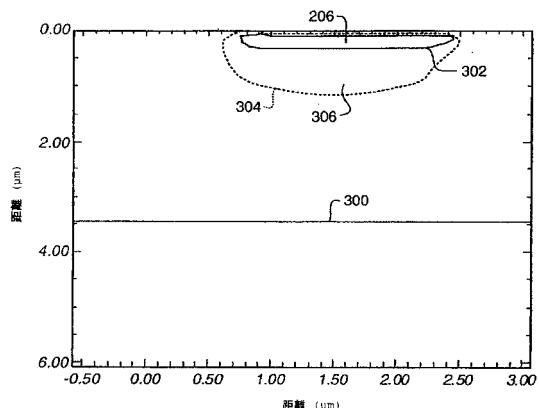


【図2】



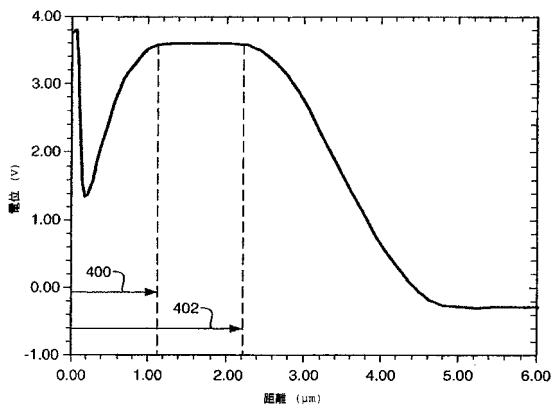
(従来技術)

【図3】



(従来技術)

【図4】



(従来技術)

【図5】

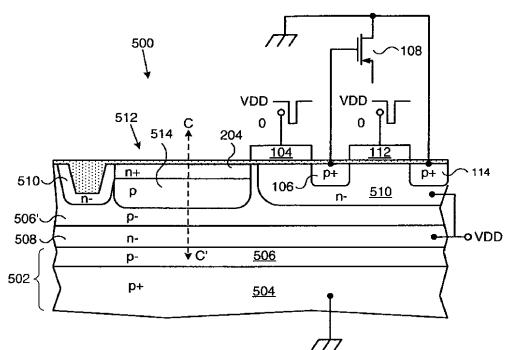


FIG. 5

【図6】

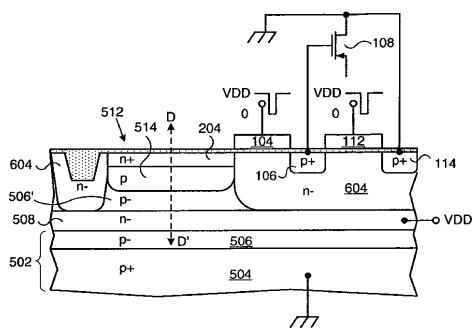
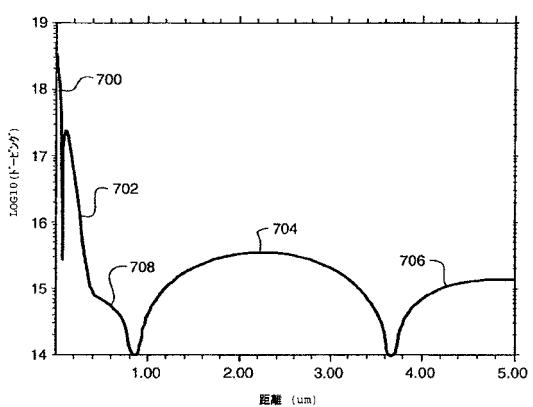
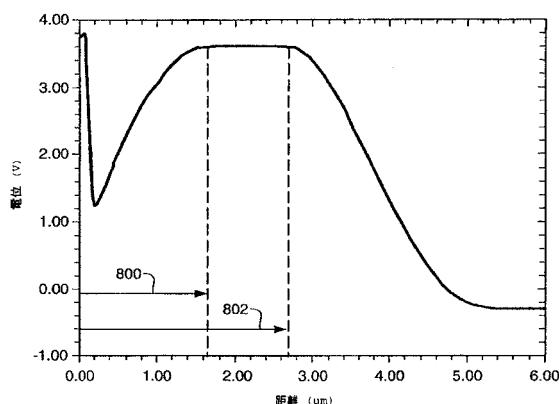


FIG. 6

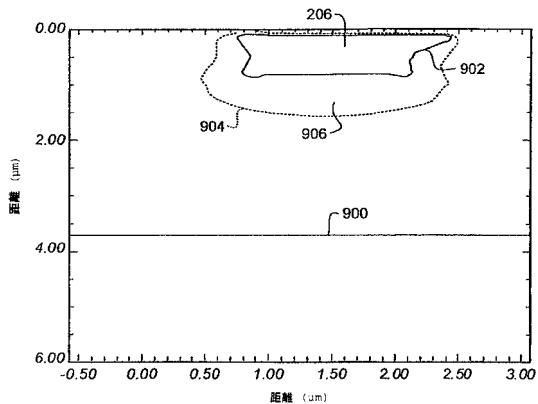
【図7】



【図 8】



【図 9】



【図 10】

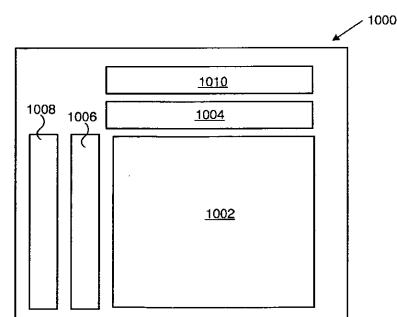


FIG. 10

【図 11(A)】

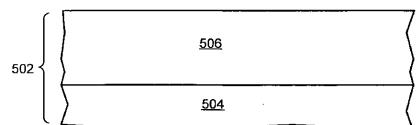


FIG. 11(A)

【図 11(B)】

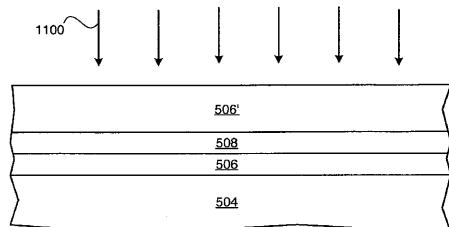


FIG. 11(B)

【図 11(C)】

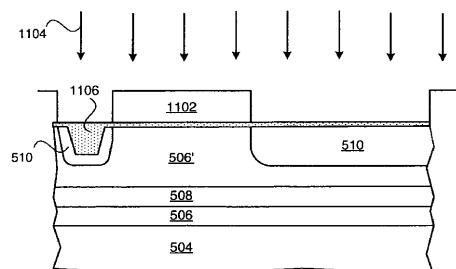


FIG. 11(C)

【図 11(D)】

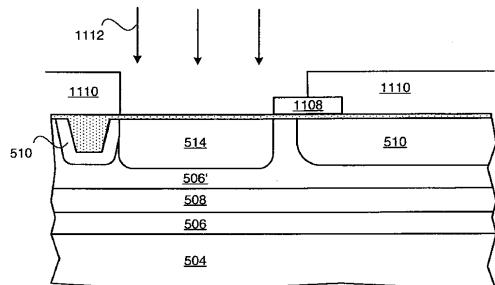


FIG. 11(D)

【図 11(E)】

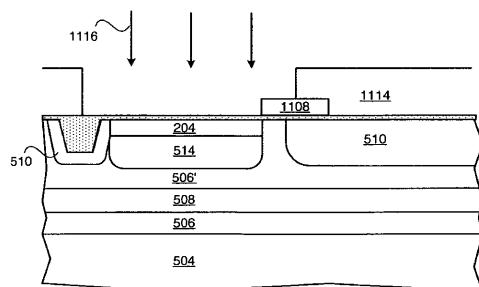
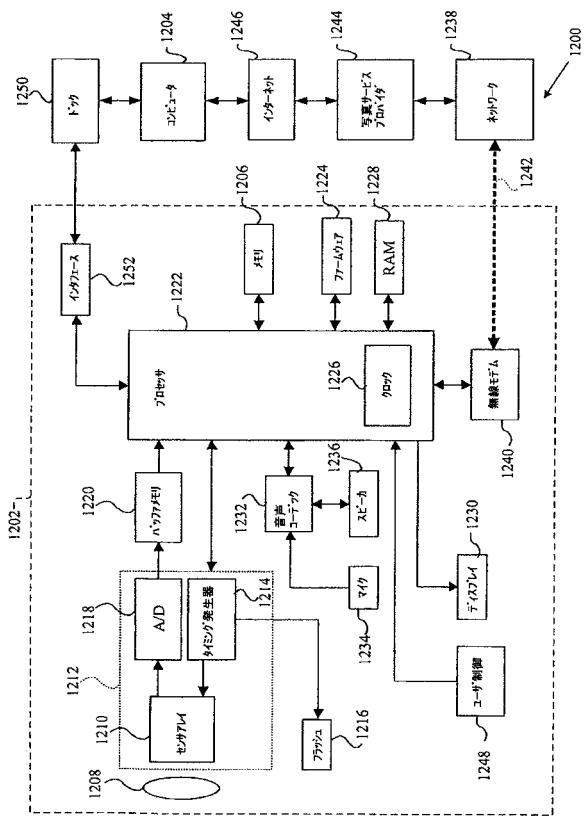


FIG. 11(E)

【図12】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2009/001835

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L27/146

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2006/244020 A1 (LEE DUCK-HYUNG [KR]) 2 November 2006 (2006-11-02) paragraph [0026] - paragraph [0038] paragraph [0070] - paragraph [0071] figures 1-4,18	1-15
X	US 2002/125513 A1 (INOUE IKUKO [JP]) 12 September 2002 (2002-09-12) paragraph [0040] - paragraph [0045] paragraph [0050] paragraph [0087] - paragraph [0088] figures 2,12	1-15 -/-

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search

Date of mailing of the International search report

7 July 2009

03/08/2009

Name and mailing address of the ISA/
European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Kostrzewska, Marek

INTERNATIONAL SEARCH REPORT

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2009/001835

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2006/226438 A1 (KATSUNO MOTONARI [JP] ET AL) 12 October 2006 (2006-10-12) paragraph [0010] – paragraph [0014] paragraph [0052] paragraph [0108] – paragraph [0110] figures 9,12	1-15
X	US 2006/145202 A1 (SAWASE KENSUKE [JP] ET AL) 6 July 2006 (2006-07-06) paragraph [0077] – paragraph [0109] paragraph [0173] figures 1-3	1-15
X	EP 1 028 470 A (SONY CORP [JP]) 16 August 2000 (2000-08-16) paragraph [0025] – paragraph [0031] paragraph [0035] – paragraph [0046] figures 1,4,11	1-15
X	US 2001/006237 A1 (ABE HIDESHI [JP]) 5 July 2001 (2001-07-05) paragraph [0071] – paragraph [0079] figure 6	1-15

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/US2009/001835

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 2006244020	A1	02-11-2006	KR 20060112975 A	02-11-2006
US 2002125513	A1	12-09-2002	NONE	
US 2006226438	A1	12-10-2006	CN 1848444 A JP 2006294871 A	18-10-2006 26-10-2006
US 2006145202	A1	06-07-2006	CN 1762055 A WO 2005001939 A1 KR 20060022709 A	19-04-2006 06-01-2005 10-03-2006
EP 1028470	A	16-08-2000	DE 60034389 T2 JP 2000299453 A KR 20000057977 A US 6423993 B1	03-01-2008 24-10-2000 25-09-2000 23-07-2002
US 2001006237	A1	05-07-2001	JP 2001185711 A KR 20010062769 A	06-07-2001 07-07-2001

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,SE,SI,S,K,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,K,E,KG,KM,KN,KP,KR,KZ,LA,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,ST,SV,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(特許庁注：以下のものは登録商標)

- 1 . G S M
- 2 . B l u e t o o t h

(72)発明者 ドアン, ユン コック

アメリカ合衆国 ニューヨーク州 14650 ロチェスター ステイト・ストリート 343

(72)発明者 ウウ, ショウ - グー

台湾 シンチュー 300-77 リー - シン ロード ファースト 25

(72)発明者 チャン, チュン - ウェイ

台湾 シンチュー 300-77 リー - シン ロード ファースト 25

F ターム(参考) 4M118 AA05 AA10 AB01 BA14 CA04 DD09 DD12 EA06 EA07 EA14

FA06 FA13 FA27 FA28 FA33