



(12) 发明专利申请

(10) 申请公布号 CN 104584134 A

(43) 申请公布日 2015. 04. 29

(21) 申请号 201380043908. 4

(74) 专利代理机构 上海专利商标事务所有限公司 31100

(22) 申请日 2013. 08. 15

代理人 陈炜

(30) 优先权数据

13/589, 315 2012. 08. 20 US

(51) Int. Cl.

G11C 11/16(2006. 01)

(85) PCT国际申请进入国家阶段日

G11C 11/56(2006. 01)

2015. 02. 16

(86) PCT国际申请的申请数据

PCT/US2013/055171 2013. 08. 15

(87) PCT国际申请的公布数据

W02014/031442 EN 2014. 02. 27

(71) 申请人 高通股份有限公司

地址 美国加利福尼亚州

(72) 发明人 K·李 T·金 J·P·金 S·H·康

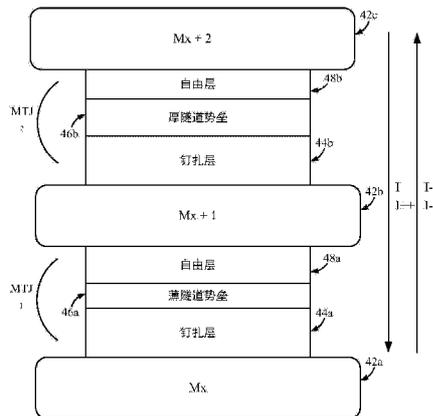
权利要求书2页 说明书13页 附图6页

(54) 发明名称

使用具有不同氧化镁 (MgO) 厚度的多个磁性隧道结的多级存储器单元

(57) 摘要

公开了使用具有不同厚度的一层或多层的多个磁性隧道结 (MTJ) 结构 (MTJ1、MTJ2) 的多级存储器单元 (MLC)。垂直堆叠并按串联安排的多个 MTJ 结构 (MTJ1、MTJ2) 可具有基本相同的面积尺寸以最小化制造成本,因为可使用一个掩模来形成多个 MTJ 结构 (MTJ1、MTJ2)。此外,改变与一层或多层相关联的厚度可提供具有不同切换电流密度的多个 MTJ 结构 (MTJ1、MTJ2),从而增加存储器密度并改进读写操作。在一个实施例中,具有不同厚度的各层可包括与多个 MTJ 结构 (MTJ1、MTJ2) 相关联的隧道势垒或氧化镁层 (46a、46b、56a、56b) 和 / 或与多个 MTJ 结构 (MTJ1、MTJ2) 相关联的自由层 (48a、48b、58a、58b)。



1. 一种用于形成多级存储器设备的方法,包括:

使用单个掩模来形成第一磁性隧道结 (MTJ) 元件和第二 MTJ 元件,其中第一 MTJ 元件被形成在第一金属层和第二金属层之间,而第二 MTJ 元件被形成在第二金属层和第三金属层之间;

提供导电层以使电流流过所述第一 MTJ 元件和所述第二 MTJ 元件;以及

制造所述第一 MTJ 元件和所述第二 MTJ 元件,使得所述第一 MTJ 元件的第一势垒层和所述第二 MTJ 元件的第二势垒层具有不同的厚度。

2. 如权利要求 1 所述的方法,其特征在于,进一步包括:

制造所述第一 MTJ 元件和所述第二 MTJ 元件,使得所述第一 MTJ 元件的第一势垒层和所述第二 MTJ 元件的第二势垒层具有基本相同的面积尺寸;以及

制造所述第一 MTJ 元件和所述第二 MTJ 元件,使得所述第一 MTJ 元件的第一自由层和所述第二 MTJ 元件的第二自由层具有不同的厚度以及基本相同的面积尺寸。

3. 如权利要求 2 所述的方法,其特征在于:

所述第二金属层由多个电互连的金属层形成,

所述多级存储器设备具有串联连接的三个或更多个 MTJ 元件,包括至少所述第一 MTJ 元件和所述第二 MTJ 元件,

所述第一势垒层和所述第二势垒层由氧化镁 (MgO) 形成,以及

所述第一自由层和所述第二自由层由不同材料形成。

4. 如权利要求 1 所述的方法,其特征在于,还包括调整所述第一势垒层和所述第二势垒层的不同厚度,使得当所述第一 MTJ 元件和所述第二 MTJ 元件具有对称状态时,所述第一和第二势垒层中较厚的一个势垒层的电阻大致为所述第一和第二势垒层中较薄的一个势垒层的电阻的两倍。

5. 如权利要求 1 所述的方法,其特征在于,所述第一势垒层和所述第二势垒层之一被置于第一钉扎层上并在第一自由层下,且所述第一势垒层和所述第二势垒层之一被置于第二钉扎层下并在第二自由层上。

6. 一种多级存储器设备,包括:

置于第一金属层和第二金属层之间的第一磁性隧道结 (MTJ) 元件,其中所述第一 MTJ 元件包括具有第一厚度的第一势垒层;以及

置于所述第二金属层和第三金属层之间的第二 MTJ 元件,其中所述第二 MTJ 元件包括具有不同于所述第一势垒层的第一厚度的第二厚度的第二势垒层。

7. 如权利要求 6 所述的多级存储器设备,其特征在于,所述第一 MTJ 元件的第一势垒层和所述第二 MTJ 元件的第二势垒层具有基本相同的面积尺寸,且其中所述第一 MTJ 元件的第一自由层和所述第二 MTJ 元件的第二自由层具有不同的厚度和基本相同的面积尺寸。

8. 如权利要求 7 所述的多级存储器设备,其特征在于:

所述第二金属层由多个电互连的金属层形成,

所述多级存储器设备具有串联连接的三个或更多个 MTJ 元件,包括至少所述第一 MTJ 元件和所述第二 MTJ 元件,

所述第一势垒层和所述第二势垒层由氧化镁 (MgO) 形成,以及

所述第一自由层和所述第二自由层由不同材料形成。

9. 如权利要求 6 所述的多级存储器设备,其特征在于,所述第一势垒层的第一厚度和所述第二势垒层的第二厚度彼此不同,使得当所述第一 MTJ 元件和所述第二 MTJ 元件具有对称状态时,所述第一和第二势垒层中较厚的一个势垒层的电阻大致为所述所述第一和第二势垒层中较薄的一个势垒层的电阻的两倍。

10. 如权利要求 6 所述的多级存储器设备,其特征在于,所述第一势垒层和所述第二势垒层之一被置于第一钉扎层上并在第一自由层下,且所述第一势垒层和所述第二势垒层之一被置于第二钉扎层下并在第二自由层上。

11. 一种用于形成多级存储器设备的设备,其特征在于,所述设备包括用于执行根据权利要求 1 到 5 中任一项所述的方法的装置。

12. 一种存储计算机可执行指令的计算机可读存储介质,所述指令用于写入多级存储器设备,所述多级存储器设备具有置于第一金属层和第二金属层之间的第一磁性隧道结(MTJ)元件,和置于所述第二金属层和第三金属层之间的第二 MTJ 元件,其中所述第一 MTJ 元件包括具有第一厚度的第一势垒层,且其中所述第二 MTJ 元件包括具有不同于所述第一势垒层的第一厚度的第二厚度的第二势垒层,其中在处理器上执行所述计算机可执行指令使得所述处理器:

确定所述多级存储器设备的目标状态;以及

使一个或多个电流流过所述第一 MTJ 元件和所述第二 MTJ 元件以建立所述目标状态。

13. 如权利要求 12 所述的计算机可读存储介质,其特征在于:

如果目标状态为逻辑‘00’或逻辑‘11’,则所述一个或多个电流包括足以将所述第一 MTJ 元件和所述第二 MTJ 元件切换到对称磁取向的一个电流,以及

如果所述目标状态为逻辑‘01’或逻辑‘10’,则所述一个或多个电流包括足以将所述第一 MTJ 元件和所述第二 MTJ 元件切换到对称磁取向的第一电流,以及小于所述第一电流的、足以进一步切换所述第一 MTJ 元件或所述第二 MTJ 元件中的仅一个的第二电流。

14. 如权利要求 12 所述的计算机可读存储介质,其特征在于,所述第一 MTJ 元件的第一堆叠与所述第二 MTJ 元件的第二堆叠反转。

15. 如权利要求 14 所述的计算机可读存储介质,其特征在于:

如果目标状态为逻辑‘01’或逻辑‘10’,则所述一个或多个电流包括足以将所述第一 MTJ 元件和所述第二 MTJ 元件切换到非对称磁取向的一个电流,以及

如果所述目标状态为逻辑‘00’或逻辑‘11’,则所述一个或多个电流包括足以将所述第一 MTJ 元件和所述第二 MTJ 元件切换到非对称磁取向的第一电流,以及小于所述第一电流的、足以进一步切换所述第一 MTJ 元件或所述第二 MTJ 元件中的仅一个的第二电流。

## 使用具有不同氧化镁 (MgO) 厚度的多个磁性隧道结的多级存储器单元

[0001] 公开领域

[0002] 本申请一般涉及使用多个磁性隧道结 (MTJ) 结构的多级存储器单元 (MLC), 尤其涉及改变与多个 MTJ 结构中的一层或多层相关联的厚度以便在增加存储器密度的同时最小化制造 MLC 的成本并改进读和 / 写 MLC 的操作。

[0003] 背景

[0004] 磁性随机存取存储器 (MRAM) 是通过对磁性隧道结 (MTJ) 进行编程来在其中存储数据的非易失性存储器。MRAM 的优势在于 MTJ 甚至可在电源关闭时被用于存储信息。数据在 MTJ 中被存储为小磁性元素 (例如, 磁性状态) 而非电荷或电流, 且所存储的数据可通过测量与 MTJ 相关联的电阻来感测而不会干扰磁性状态。示例性的 MTJ 10 在图 1 中解说。数据根据自由层 12 和钉扎层 14 之间的磁取向来被存储在 MTJ 10 中, 这些层是由铁磁材料形成的磁性极化片。钉扎层 14 是设定为特定极性的永磁体, 而自由层 12 的极性将改变以匹配足够强的外场的极性。MTJ 10 根据常规的“下旋阀”配置来配置, 其中钉扎层 14 被置于自由层 12 下方。自由层 12 和钉扎层 14 被由薄的非磁性介电层形成的隧道结或势垒 16 隔开。自由层 12 和钉扎层 14 甚至可在磁 H 场由于 MTJ 10 的磁滞回线 18 而为‘0’时存储信息。如果在耦合到 MTJ 10 各端上的两个电极 20 和 22 之间施加偏置电压, 则电子可隧穿隧道势垒 16。隧穿电流取决于自由层 12 和钉扎层 14 的相对取向。当使用自旋转移矩 (STT) MTJ 时, 隧穿电流随自由层 12 和钉扎层 14 的自旋排列在平行 (P) 和反平行 (AP) 状态间切换的差被称为隧道磁阻比率 (TMR)。

[0005] 当自由层 12 和钉扎层 14 的磁取向是相对极性时 (在图 1 被示出为 MTJ 10'), 反平行 (AP) 状态存在 (例如, 逻辑‘1’)。另一方面, 当自由层 12 和钉扎层 14 的磁取向是相同极性时 (在图 1 被示出为 MTJ 10''), 平行 (P) 状态存在 (例如, 逻辑‘0’)。通过测量当电流流过 MTJ 10 时导致的电阻, 自由层 12 和钉扎层 14 的磁取向可被感测以读取存储在 MTJ 10 中的数据, 其中当 P 状态存在时电阻将为低, 而当 AP 状态存在时电阻将较高。还可通过施加磁场以将自由层 12 的磁取向改为相对于钉扎层 14 的 P 或 AP 磁取向, 来将数据写入并存储到 MTJ 10 中。换言之, 如上所述, 自由层 12 的磁取向可被改变, 但是钉扎层 14 的磁取向是固定的。

[0006] 图 2 解说了具有类似于图 1 所示并如上所述的 MTJ 10 的设计的 STT MTJ 23 (本文中被称为“MTJ 23”)。MTJ 23 被作为 MRAM 位单元 24 的一部分来提供以存储非易失性数据。MRAM 位单元 24 可被提供在存储器阵列中, 并用作用于需要电子存储器的任何类型的系统 (诸如举例来说计算机处理单元 (CPU) 或基于处理器的系统) 的存储器存储。金属氧化物半导体 (通常为 n 型 MOS, 即 NMOS) 存取晶体管 26 被提供以控制对 MTJ 23 的读和写。存取晶体管 26 具有耦合到 MTJ 23 的下电极 22 的漏极 (D), 下电极 22 被耦合到钉扎层 14。字线 ( $V_{wl}$ ) 被耦合到存取晶体管 26 的栅极 (G), 而存取晶体管 26 的源极 (S) 被耦合到电压源 ( $V_s$ )。位线 ( $V_{bl}$ ) 被耦合到 MTJ 23 的上电极 20, 上电极 20 被耦合到自由层 12。

[0007] 当读取存储在 MTJ 23 中的数据时, 为存取晶体管 26 激活位线 ( $V_{bl}$ ) 以允许电流在

上电极 20 和下电极 22 之间流过 MTJ 23。如上所述,如由施加在位线 ( $V_{BL}$ ) 上的电压除以流过 MTJ 23 的电流所测得的低电阻与自由层 12 和钉扎层 14 之间的 P 取向相关联,而较高电阻与自由层 12 和钉扎层 14 之间的 AP 取向相关联。由此,由于隧穿磁阻效应,MRAM 位单元 24 的电阻取决于自由层 12 和钉扎层 14 的极性之间的相对取向而变化,由此测量当位线 ( $V_{BL}$ ) 被激活时流过 MTJ 23 的电流可指示 MRAM 位单元 24 的电阻以及自由层 12 和钉扎层 14 的极性之间的相对取向。

[0008] 当向 MTJ 23 写数据时,字线 ( $V_{WL}$ ) 被激活以激活存取晶体管 26 的栅极 (G)。在位线 ( $V_{BL}$ ) 和源线 ( $V_S$ ) 之间施加电压差。因此,在漏极 (D) 和源极 (S) 之间生成写电流 (I)。为使 MTJ 23 从 AP 状态改为 P 状态,生成从上电极 20 流到下电极 22 的写电流 ( $I_{AP-P}$ ),该电流诱发自由层 12 处的 STT 以将自由层 12 的磁取向改为相对于钉扎层 14 的 P。为使 MTJ 23 的磁取向从 P 状态改为 AP 状态,生成从下电极 22 流到上电极 20 的写电流 ( $I_{P-AP}$ ),在这种情况下,在自由层 12 处诱发的 STT 将自由层 12 的磁取向改为相对于钉扎层 14 的 AP。

[0009] 由于与单独的存储器相比具有不那么苛刻的要求(包括高密度、高速度性能、高耐久、小单元尺寸等),因而 MRAM 具有用于嵌入式系统、移动系统和其它存储器市场的有前途的存储器解决方案的潜力。然而,仅具有一个 MTJ(例如,如图 1 和 2 所示)的 MRAM 位单元通常不具有大到足以与诸如静态或动态 RAM 之类的现有存储器解决方案竞争的存储容量。由此,已经提出了包括多个 MTJ 结构的多级存储器单元 (MLC) 以在采用 MRAM 的电路、应用或其它系统中提供更大的存储器密度。例如,图 3 解说了使用多个 MTJ 结构的示例性现有技术多级存储器单元 (MLC) 34,这些 MTJ 结构在图 3 中被表示为串联堆叠的 MTJ<sub>1</sub>33a 和 MTJ<sub>2</sub>33b。通过使 MTJ<sub>1</sub>33a 和 MTJ<sub>2</sub>33b 串联堆叠(如电路图 36 中所示),MLC 34 可被配置成通过组合与 MTJ<sub>1</sub>33a 和 MTJ<sub>2</sub>33b 中的每一个相关联的可能的磁取向而具有四个不同的电阻状态。具体地,MTJ<sub>1</sub>33a 和 MTJ<sub>2</sub>33b 可各自具有平行 (P) 或反平行 (AP) 状态,使得 MLC 34 可组合与 MTJ<sub>1</sub>33a 和 MTJ<sub>2</sub>33b 中的每一个相关联的可能的 P 或 AP 状态以实现四个可能的状态。

[0010] 例如,如电路图 38 中所示,四个可能的状态可包括逻辑 '00' (即,当 MTJ<sub>1</sub>33a 和 MTJ<sub>2</sub>33b 均具有 P 状态时)、逻辑 '10' (即,当 MTJ<sub>1</sub>33a 具有 AP 状态而 MTJ<sub>2</sub>33b 具有 P 状态时)、逻辑 '01' (即,当 MTJ<sub>1</sub>33a 具有 P 状态而 MTJ<sub>2</sub>33b 具有 AP 状态时) 以及逻辑 '11' (即,当 MTJ<sub>1</sub>33a 和 MTJ<sub>2</sub>33b 均具有 AP 状态时)。然而,为了实现四个可能的状态,串联堆叠的 MTJ<sub>1</sub>33a 和 MTJ<sub>2</sub>33b 必须具有不同的阈值电流和电阻变化以便允许 MTJ<sub>1</sub>33a 和 MTJ<sub>2</sub>33b 之间的单独切换。为了实现这一目的,图 3 中所示出的现有技术 MLC 34 包括一种设计,凭借这一设计,MTJ<sub>1</sub>33a 的面积是 MTJ<sub>2</sub>33b 的面积的一半,并因此 MTJ<sub>1</sub>33a 中的电阻将是 MTJ<sub>2</sub>33b 的电阻的一半,而流过 MTJ<sub>1</sub>33a 的电流将是流过 MTJ<sub>2</sub>33b 的电流的两倍。然而,这种设计有各种缺点和缺陷,包括决定存储器系统的成本的最重要因素之一是制造工艺,而更多的掩模工艺导致总制造成本增加。由此,图 3 中所示的 MLC 34 可能会大幅增加制造成本,因为由于 MTJ<sub>1</sub>33a 和 MTJ<sub>2</sub>33b 的不同面积而需要不同的掩模来制造它们。相应地,因为工艺成本在实现集成电路器件中的功能部件时是重要的考虑因素,所以存在对 MRAM 设计和工艺流程进行改进的需求,这是因为消除对甚至一个掩模和相关联工艺的需求即可节省显著的制造成本。

[0011] 概述

[0012] 以下给出一个或多个方面的简要概述以提供对这些方面的基本理解。此概述不是所有构想到方面的详尽综览,并且既非旨在标识出所有方面的关键性或决定性要素亦非试图界定任何或所有方面的范围。其唯一的目的是要以简化形式给出一个或多个方面的一些概念以作为以下给出的更加详细的描述之序。

[0013] 示例性实施例针对包括具有不同厚度的一层或多层的多个磁性隧道结 (MTJ) 结构的多级存储器单元 (MLC)。根据一个实施例,可在磁性随机存取存储器 (MRAM) 位单元中采用使用多个 MTJ 结构的 MLC 以提供磁性数据存储,这些 MTJ 结构可串联连接并安排在垂直堆叠内。在一个实施例中,在垂直堆叠中安排多个 MTJ 结构可减少多个 MTJ 结构在 MLC 中占据的面积,这可减少管芯成本、增加存储器密度并允许使用低量电压来执行写操作,低量电压通常在嵌入式应用中可用而无需任何泵电路或升压电路。多个 MTJ 结构可各自包括相应的钉扎层、相应的隧道势垒和相应的自由层。在一个实施例中,与多个 MTJ 结构相关联的钉扎层、隧道势垒和自由层可具有基本上相同的面积尺寸(例如,长和宽尺寸),但是与多个 MTJ 结构相关联的隧道势垒和/或自由层可具有不同的厚度以确保多个 MTJ 结构具有不同的切换电流密度(例如,将 MTJ 结构切换到平行和反平行状态所需的电流)。相应地,改变与隧道势垒和/或自由层相关联的厚度可最小化制造 MLC 的成本,因为单个掩模可被用于形成全部多个 MTJ 结构,而掩模成本往往是决定存储器制造和制作成本的最重要的因素之一。

[0014] 根据一个实施例,一种用于形成 MLC 或另一合适的多级存储器设备的方法可包括提供导电层以使电流流过第一 MTJ 元件和第二 MTJ 元件等,第一和第二 MTJ 元件可按照串联配置来安排。第一 MTJ 元件和第二 MTJ 元件可使用单个掩模来形成(即,同一掩模可用于形成两个 MTJ 元件),其中第一 MTJ 元件可形成在第一金属层和第二金属层之间,而第二 MTJ 元件可形成在第二金属层和第三金属层之间。第一 MTJ 元件和第二 MTJ 元件可被制造成使得第一 MTJ 元件的第一势垒层和第二 MTJ 元件的第二势垒层具有不同的厚度。在一个实施例中,当第一 MTJ 元件和第二 MTJ 元件具有对称状态时(例如,当第一 MTJ 元件和第二 MTJ 元件均具有平行磁取向或当第一 MTJ 元件和第二 MTJ 元件均具有反平行磁取向时),第一势垒层和第二势垒层的厚度可被调整,使得第一势垒层具有大致为第二势垒层的电阻的两倍的电阻(或相反,这取决于哪个势垒层更厚)。在一个实施例中,第一 MTJ 元件和第二 MTJ 元件可被制造,使得第一 MTJ 元件和第二 MTJ 元件的势垒层具有基本相同的面积尺寸。此外,第一 MTJ 元件的第一自由层和第二 MTJ 元件的第二自由层可具有基本相同的面积尺寸,而且可具有不同的厚度和/或由不同的材料形成。在某些实施例中,第一和第二 MTJ 元件可具有相应的膜堆叠,其中与之相关联的势垒层被置于钉扎层上并且在自由层下,或者其中势垒层被置于钉扎层下并且在自由层上,或其任何合适的组合。

[0015] 根据一个实施例,一种 MLC 即多级存储器设备可包括置于第一金属层和第二金属层之间的第一 MTJ 元件以及置于第二金属层和第三金属层之间的第二 MTJ 元件,其中第一 MTJ 元件包括具有第一厚度的第一势垒层,而第二 MTJ 元件包括具有不同于第一势垒层的第一厚度的第二厚度的第二势垒层。在一个实施例中,第二金属层可由多个电互连的金属层形成,而与第一和第二 MTJ 元件相关联的相应的势垒层可由氧化镁 (MgO) 形成。此外,与第一和第二 MTJ 元件相关联的相应的势垒层可具有基本相同的面积尺寸,由此当第一 MTJ 元件和第二 MTJ 元件具有对称状态时,第一势垒层和第二势垒层的不同厚度可使得第一势

垒层具有大致为第二势垒层的电阻的两倍的电阻（或相反，这取决于哪个势垒层更厚）。在一个实施例中，第一 MTJ 元件的第一自由层和第二 MTJ 元件的第二自由层还可具有基本相同的面积尺寸，但具有不同的厚度和 / 或由不同的材料形成。在一个实施例中，第一 MTJ 元件和第二 MTJ 元件可具有采用相同配置的相应的膜堆叠，其中与之相关联的势垒层被置于钉扎层上并且在自由层下。在一个实施例中，与第一 MTJ 元件和 / 或第二 MTJ 元件相关联的膜堆叠可被反转，使得势垒层被置于钉扎层下并且在自由层上。

[0016] 根据一个实施例，一种用于形成 MLC 或另一合适的多级存储器设备的设备可包括用于提供导电层以使电流流过第一 MTJ 元件和第二 MTJ 元件的装置，第一和第二 MTJ 元件可按照串联配置来安排。此外，该设备可包括用于使用单个掩模来形成第一 MTJ 元件和第二 MTJ 元件的装置，以及用于制造第一 MTJ 元件和第二 MTJ 元件使得第一 MTJ 元件的第一势垒层和第二 MTJ 元件的第二势垒层具有不同的厚度的装置。在一个实施例中，该设备还可包括用于当第一 MTJ 元件和第二 MTJ 元件具有相同或以其它方式对称的状态时调整第一势垒层和第二势垒层的厚度使得第一势垒层具有大致为第二势垒层的电阻的两倍的电阻（或相反，这取决于哪个势垒层更厚）的装置。在一个实施例中，制造装置还可被配置成制造第一 MTJ 元件和第二 MTJ 元件，使得第一 MTJ 元件和第二 MTJ 元件的势垒层和自由层具有基本相同的面积尺寸。然而，在一个实施例中，第一自由层和第二自由层可具有不同的厚度和 / 或由不同的材料形成。在一个实施例中，第一 MTJ 元件和第二 MTJ 元件可被制造成具有采用相同配置的膜堆叠，其中与之相关联的势垒层被置于钉扎层上并且在自由层下，或者其中与之相关联的势垒层被置于钉扎层下并且在自由层上。在另一实施例中，第一 MTJ 元件和 / 或第二 MTJ 元件可具有采用不同（例如，反向）配置的膜堆叠，使得与 MTJ 元件之一相关联的势垒层被置于钉扎层上并且在自由层下，而与另一 MTJ 元件相关联的势垒层被置于钉扎层下并且在自由层上。

[0017] 根据一个实施例，一种用于写入在上述实施例中概述的多级存储器设备的方法可包括确定多级存储器设备的目标状态，并使得一个或多个电流流过第一 MTJ 元件和第二 MTJ 元件以建立目标状态。例如，如果目标状态为逻辑 ‘00’（其中第一 MTJ 元件和第二 MTJ 元件均具有平行 (P) 磁取向）、或逻辑 ‘11’（其中第一 MTJ 元件和第二 MTJ 元件均具有反平行 (AP) 磁取向），则流过的电流可包括足以将第一 MTJ 元件和第二 MTJ 元件切换到适当的磁取向的单个电流，其中该单个电流流过第一 MTJ 元件和第二 MTJ 元件的方向可基于目标状态是逻辑 ‘00’ 还是逻辑 ‘11’ 而变化。然而，如果目标状态是逻辑 ‘01’（其中第一 MTJ 元件和第二 MTJ 元件分别具有 P 和 AP 磁取向）或逻辑 ‘10’（其中第一 MTJ 元件和第二 MTJ 元件分别具有 AP 和 P 磁取向），则流过的电流可包括在相反方向上顺序流过的两个电流。具体地，这两个顺序电流可包括足以将第一 MTJ 元件和第二 MTJ 元件两者切换到对称磁取向 (P 或 AP) 的第一电流以及小于第一电流且足以进一步仅切换第一 MTJ 元件或第二 MTJ 元件中的一个而不进一步切换另一 MTJ 元件的第二电流，从而建立适当的逻辑状态。此外，顺序电流流动的方向可基于目标状态是逻辑 ‘01’ 还是逻辑 ‘10’ 而变化。

[0018] 根据一个实施例，一种替换方法可被用于当第一 MTJ 元件的第一膜堆叠与第二 MTJ 元件的第二膜堆叠反转时（即，当第一 MTJ 元件和第二 MTJ 元件的钉扎层和自由层在垂直堆叠中相对于势垒层不同地安置时）写入多级存储器设备。在这种情况下，如果目标状态为逻辑 ‘01’ 或逻辑 ‘10’，则流过第一 MTJ 元件和第二 MTJ 元件的一个或多个电流可包括

足以将第一 MTJ 元件和第二 MTJ 元件切换至非对称磁取向（例如，MTJ 元件之一具有 P 磁取向而另一个 MTJ 元件具有 AP 磁取向）的第一电流。然而，如果目标状态为逻辑‘00’或逻辑‘11’，则附加的电流可流过第一 MTJ 元件和第二 MTJ 元件，其中附加的电流小于第一电流且足以进一步切换第一 MTJ 元件或第二 MTJ 元件之一而不进一步切换另一 MTJ 元件。

[0019] 根据一个实施例，一种用于写入多级存储器设备的设备可包括用于确定多级存储器设备的目标状态的装置，以及用于使得一个或多个电流流过第一 MTJ 元件和第二 MTJ 元件以建立目标状态的装置。例如，如上所述，如果目标状态为逻辑‘00’或逻辑‘11’，则一个或多个电流可包括单个电流，而如果目标状态为逻辑 01 或逻辑 10，则一个或多个电流可包括顺序流过的大电流和小电流。或者，如果第一 MTJ 元件和第二 MTJ 元件具有彼此反转的相应的膜堆叠，则在目标状态为逻辑‘01’或逻辑‘10’的情况下一个或多个电流可包括单个电流，而在目标状态为逻辑‘00’或逻辑‘11’的情况下一个或多个电流可包括顺序流过的大电流和小电流。

[0020] 根据一个实施例，一种计算机可读存储介质可存储计算机可执行指令，这些指令用于写入多级存储器设备，其中在处理器上执行计算机可执行指令使得处理器确定多级存储器设备的目标状态，并使得一个或多个电流流过第一 MTJ 元件和第二 MTJ 元件以建立目标状态。例如，在一个实施例中，如果目标状态为逻辑‘00’或逻辑‘11’则一个或多个电流可包括单个电流，或者如果目标状态为逻辑‘01’或逻辑‘10’则一个或多个电流可包括顺序流过的大电流和小电流。在其中第一 MTJ 元件和第二 MTJ 元件具有按照相对于彼此反转的配置来安排的膜堆叠的另一实施例中，如果目标状态为逻辑‘01’或逻辑‘10’则一个或多个电流可包括单个电流，或如果目标状态为逻辑‘00’或逻辑‘11’则一个或多个电流可包括顺序流过的大电流和小电流。

[0021] 基于附图和详细描述，与本文公开的涉及使用具有不同 MgO 厚度的多个 MTJ 元件的 MLC 的各实施例相关联的其它目标和优点对本领域的技术人员而言是显而易见的。

[0022] 附图简述

[0023] 提供附图以协助示例性实施例的描述并仅提供用于实施例的解说而非对其限制。

[0024] 图 1 解说了处于平行 (P) 和反平行 (AP) 状态两者的示例性现有技术磁性隧道结 (MTJ) 结构。

[0025] 图 2 解说了采用常规 MTJ 设计的示例性现有技术磁性随机存取存储器 (MRAM) 位单元。

[0026] 图 3 解说了使用具有不同面积的多个 MTJ 结构的示例性现有技术多级存储器单元 (MLC)。

[0027] 图 4 解说了根据一个示例性实施例的使用具有不同厚度的一层或多层的多个 MTJ 结构的示例性 MLC。

[0028] 图 5 解说了根据一个示例性实施例的使用具有不同厚度的一层或多层的多个 MTJ 结构的另一示例性 MLC。

[0029] 图 6 解说了根据一个示例性实施例的示例性无线通信系统，该系统可采用如本文所公开的使用具有不同厚度的一层或多层的多个 MTJ 结构的 MLC。

[0030] 详细描述

[0031] 在以下描述和相关附图中公开的各方面示出了对应于使用具有不同厚度的一层

或多层的多个磁性隧道结 (MTJ) 结构的多级存储器单元 (MLC) 的各个示例性实施例的特定示例。替换实施例在相关领域的技术人员阅读本公开之后可以是显而易见的,且可被构造并实施,而不背离本文公开的示例性方面和实施例的范围或精神。另外,众所周知的元素不被详细描述或将被省去以便不模糊本文公开的示例性方面和实施例的相关细节。

[0032] 措辞“示例性”在本文中用于表示“用作示例、实例或解说”。本文中描述为“示例性”的任何实施例不必被解释为优于或胜过其他实施例。同样,术语“实施例”并不要求所有实施例都包括所讨论的特征、优点、或工作模式。

[0033] 提供本文使用的术语以仅描述特定实施例,而不旨在限制本文公开的任何示例性方面或实施例。如本文所使用的,单数形式的“一”、“一个”和“该”旨在也包括复数形式,除非上下文另有明确指示并非如此。还将理解,术语“包括”、“具有”、“包含”和 / 或“含有”在本文中使用时指定所陈述的特征、整数、步骤、操作、要素、和 / 或组件的存在,但并不排除一个或多个其他特征、整数、步骤、操作、要素、组件和 / 或其群组的存在或添加。

[0034] 本文使用的术语“多级存储器单元”(MLC)和“磁性隧道结”(MTJ)可指的是一个或多个存储元件、寄存器等,或表示经由在一个或多个处理器、控制器等上操作的计算机可执行指令实现的一个或多个结构。MLC和相关联的MTJ结构可被纳入一个或多个磁性随机存取存储器(MRAM)位单元,磁性随机存取存储器(MRAM)位单元可与诸如微处理器之类的逻辑电路系统一起操作,或者可被集成到采用微处理器的设备中。例如,MRAM位单元可以是通信设备的一部分。当然,MRAM位单元可包括其它类型的电路系统或与其它类型的电路系统一起使用,而不背离本公开的范围和精神。此外,纳入多个MTJ结构的MRAM位单元是自旋转移矩(STT)MRAM位单元,与之相关联的MLC可缩放成较小的尺寸,且提供与纳米尺寸制造的兼容性以便以较低成本以及较高设备密度制造STT MRAM存储器芯片。相应地,如本文所使用地,术语“MRAM”或“MRAM位单元”可指的是STT MRAM、STT MRAM位单元或根据所公开的实施例可采用使用多个MTJ结构的MLC设计的任何其它合适的存储器设备。

[0035] 根据一个示例性实施例,图4解说了使用具有不同厚度的一层或多层的多个MTJ结构的示例性MLC,其中多个MTJ结构可经由图4中所示的参考字符 $MTJ_1$ 和 $MTJ_2$ 来表示。在一个实施例中,使用多个MTJ结构(例如,MTJ结构 $MTJ_1$ 和 $MTJ_2$ )的MLC可在合适的MRAM位单元中采用以提供磁性数据存储,其中MLC可包括控制对MLC的读和写的存取晶体管(未示出)。MLC还可按照垂直堆叠来安排 $MTJ_1$ 和 $MTJ_2$ 结构,其中 $MTJ_1$ 和 $MTJ_2$ 结构包括相应的钉扎层44a-b、隧道势垒46a-b和自由层48a-b,这些在本文中可被统称为钉扎层44、隧道势垒46和自由层48。一个或多个级间介电层42a-b可将 $MTJ_1$ 与 $MTJ_2$ 隔开,并提供垂直堆叠的 $MTJ_1$ 和 $MTJ_2$ 之间的串联连接。如图4中所示,垂直堆叠的 $MTJ_1$ 和 $MTJ_2$ 可各自在其相应的隧道势垒46a-b和上级级间介电层42b-c之间安排其相应的自由层48a-b,使得相应的自由层48a-b被置于相应的钉扎层44a-b上。在一个实施例中,钉扎层44a可被耦合到MLC的下电极(例如,级间介电层42a),MLC的下电极可被耦合到存取晶体管的漏极。字线( $V_{wl}$ )可被耦合到存取晶体管的栅极,而电压源( $V_s$ )可被耦合到存取晶体管的源极。自由层48b可被耦合到MLC的上电极(例如,级间介电层42c),MLC的上电极可被耦合到位线( $V_{bl}$ )。在一个实施例中,级间介电层42c替换地可将 $MTJ_2$ 与一个或多个附加MTJ结构(未示出)隔开,这些附加MTJ结构垂直地堆叠在级间介电层42c上并与 $MTJ_1$ 和 $MTJ_2$ 串联安排。由此,按照垂直堆叠来安排 $MTJ_1$ 和 $MTJ_2$ 结构(和 / 或附加的MTJ结构)可减少 $MTJ_1$ 和 $MTJ_2$ 结

构（和 / 或附加 MTJ 结构）在 MLC 中占据的面积，这可减少管芯成本而同时增加存储器密度。此外，写操作可使用相对较低的电压（例如，在典型的嵌入式应用中可用而无需任何泵电路或升压电路的电压）来执行。

[0036] 在一个实施例中，如图 4 中所示，与  $MTJ_1$  和  $MTJ_2$  两者相关联的钉扎层 44a-b、隧道势垒 46a-b 和自由层 48a-b 可具有基本相同的长度和宽度尺寸，使得  $MTJ_1$  和  $MTJ_2$  具有基本相同的面积。然而，为确保不同的切换电流可被用于在平行 (P) 和反平行 (AP) 状态之间切换  $MTJ_1$  和  $MTJ_2$ ，从而使得 MLC 能够具有四个可能的状态，隧道势垒 46a 和隧道势垒 46b 可具有不同的厚度。例如，如图 4 中所示，隧道势垒 46a 可比隧道势垒 46b 薄，这可导致薄的隧道势垒 46a 具有较小的电阻（较多电流）而厚的隧道势垒 46b 具有较大电阻（较少电流）。以此方式，在图 4 中示出的 MLC 可具有最小的掩模成本，因为同一掩模可被用于形成  $MTJ_1$  和  $MTJ_2$ 。此外，在一个实施例中，与自由层 48a 和自由层 48b 相关联的厚度可被改变以调整与  $MTJ_1$  和  $MTJ_2$  相关联的固有切换密度 ( $J_c$ )，从而调谐写余量以使得 MLC 达成四个可能的状态。在一个实施例中，可任选的包覆层可被插入  $MTJ_1$  和 / 或  $MTJ_2$  中，且与之相关联的厚度可被改进以调谐写余量以便达成每一个可能的状态。

[0037] 在一个实施例中，为形成  $MTJ_1$ ，各层的堆叠可经由喷镀、离子束沉积、或另一合适的制造机制而被置于或以其它方式沉积在第一级间介电层 42a 上，其中层的堆叠可包括钉扎层 44a、隧道势垒 46b 和自由层 48a。例如，在一个实施例中，钉扎层 44a 可包括置于或沉积在第一级间介电层 42a 上面以将钉扎层 44a 的磁矩保持或“钉扎”在固定方向上的一个或多个反铁磁层，其中反铁磁层可由任何合适的反铁磁材料形成，反铁磁材料的示例包括铂 - 锰 (PtMn) 和铱 - 锰 (IrMn)。此外，钉扎层 44a 可包括一个或多个铁磁层，这些铁磁层可由包括铁的合金形成，或钉扎层 44a 可包括由任何合适的铁磁材料形成的单个钉扎铁磁层。在每一情况中，钉扎层 44a 可具有预定义的厚度。

[0038] 接着，薄介电材料可被置于或沉积在钉扎层 44a 上以形成隧道势垒 46a，隧道势垒 46a 可由任何合适的介电材料形成，合适的介电材料的示例包括氧化镁 (MgO)、氧化铝 ( $AlO_x$ ) 和氧化钛 ( $TiO_x$ )。自由层 48a 然后可被置于或沉积在隧道势垒 46a 上并在第二级间介电层 42b 下，其中自由层 48a 可由任何合适的铁磁材料形成，合适的铁磁材料的示例包括钴 - 铁 - 硼 (CoFeB)、钴 - 铁 (CoFe) 和镍 - 铁 (NiFe)。自由层 48a 还可包括复合铁磁层。如上所述，与隧道势垒 46a 和自由层 48a 相关联的厚度可被改变以调整与  $MTJ_1$  相关联的固有切换密度 ( $J_c$ )。相应地，与喷镀、离子束沉积或用于放置或沉积隧道势垒 46a 和自由层 48b 的其它制造机制相关联的氧化时间可被改变，这可允许与隧道势垒 46a 和自由层 48a 相关联的厚度被控制在大致 1 埃或更少之内。此外，如上所述，包覆层可任选地被插入  $MTJ_1$  中，在这种情况下包覆层可被形成，且其厚度按照与如上关于隧道势垒 46a 和自由层 48a 描述的方式基本类似的方式来控制。

[0039] 在一个实施例中，可按照与以上关于  $MTJ_1$  描述的方式基本类似的方式来形成  $MTJ_2$ ，从而与形成  $MTJ_2$  相关联的许多细节出于简明的目的将不被重复。然而，用于形成  $MTJ_2$  的工艺可在与隧道势垒 46b 和自由层 48b（和 / 或可被插入其中的任何可任选包覆层）相关联的厚度方面有所变化。例如，如图 4 中所示，与  $MTJ_2$  相关联的隧道势垒 46b 的厚度大于与  $MTJ_1$  相关联的隧道势垒 46a 的厚度，其中较长的氧化时间可导致较厚的层，而较短的氧化时间可导致较薄的层。由此，在一个实施例中，放置或以其它方式沉积隧道势垒 46b 和自

由层 48b(和 / 或被插入其中的可任选包覆层)的氧化时间可被合适地改变以调整与隧道势垒 46b 和自由层 48b(和 / 或可任选包覆层)相关联的厚度。此外,在一个实施例中,各个级间介电层 42a-c(统称为级间介电层 42)可具有与  $MTJ_1$  和  $MTJ_2$  结构相比较小、相同或较大的面积。然而,当在嵌入式系统或具有小尺寸的设备中使用 MLC 时,如果级间介电层 42 具有比  $MTJ_1$  和  $MTJ_2$  结构大的面积,则与使级间介电层 42 与使用单个掩模形成的  $MTJ_1$  和  $MTJ_2$  结构对齐有关的挑战基本上不值一提。

[0040] 在一个实施例中,自由层 48a 具有对于钉扎层 44a 的磁矩或者为 P 或者为 AP 的磁矩,而自由层 48b 类似地具有对于钉扎层 44b 的磁矩或者为 P 或者为 AP 的磁矩。具体地,自由层 48a 和 48b 的磁矩可响应于外部磁场而改变,且自由层 48a-b 和钉扎层 44a-b 之间的磁矩的相对取向确定隧穿电流从而确定相应的隧道势垒 46a 和 46b 的电阻。当读取存储在图 4 中所示的 MLC 中的数据时,位线 ( $V_{BL}$ ) 被激活以允许电流流过 MLC,其中如由施加在位线 ( $V_{BL}$ ) 上的电压除以测得的电流所测得的  $MTJ_1$  和  $MTJ_2$  中的低电阻和高电阻分别与 P 取向和 AP 取向相关联。因此, $MTJ_1$  和  $MTJ_2$  各自具有两个可能的状态(或者为 P 或者为 AP),且 MLC 因此取决于与  $MTJ_1$  和  $MTJ_2$  相关联的状态的特定组合而具有四个可能的状态。

[0041] 例如,将  $MTJ_1$  在 P 状态和 AP 状态之间切换的隧穿电流的差可定义第一隧道磁阻比率 ( $TMR_1$ ),而将  $MTJ_2$  在 P 状态和 AP 状态之间切换的隧穿电流的差可定义第二隧道磁阻比率 ( $TMR_2$ )。由此,当  $MTJ_1$  中的自由层 48a 具有对于  $MTJ_1$  中的钉扎层 44a 的磁矩为 P 的磁矩时, $MTJ_1$  可具有由变量  $R_{p1}$  表示的第一电阻值,而当与  $MTJ_1$  中的自由层 48a 相关联的磁矩对于  $MTJ_1$  中的钉扎层 44a 的磁矩为 AP 时, $MTJ_1$  可具有由  $R_{p1} * (1 + TMR_1)$  给出的第二电阻值。类似地,当  $MTJ_2$  中的自由层 48b 具有对于  $MTJ_2$  中的钉扎层 44b 的磁矩为 P 的磁矩时, $MTJ_2$  可具有由变量  $R_{p2}$  表示的第一电阻值,而当与  $MTJ_2$  中的自由层 48b 相关联的磁矩对于  $MTJ_2$  中的钉扎层 44b 的磁矩为 AP 时, $MTJ_2$  可具有由  $R_{p2} * (1 + TMR_2)$  给出的第二电阻值。

[0042] 此外, $MTJ_2$  中的隧道势垒 46b 的厚度大于  $MTJ_1$  中的隧道势垒 46a 的厚度,使得  $R_{p2} = k * R_{p1}$ ,其中 k 是相对于隧道势垒 46a 来缩放隧道势垒 46b 的电阻的常数。在一个实施例中,可为常数 k 选择一值以确保与 MLC 的四个可能的状态相关联的电阻之间的间隔是相同的,使得  $TMR_1$  和  $TMR_2$  大致相等且各自可被简单地表示为 TMR。在一个实施例中,如下表中所示(假定  $R_{p1} = 2.5k\Omega$  且  $TMR = 1$ (即 100%)),当  $k = 2$  时,与 MLC 的四个可能的状态相关联的电阻之间的间隔将是相同的:

[0043]

逻辑状态	MTJ <sub>1</sub> 状态	MTJ <sub>2</sub> 状态	阻抗公式	阻抗值
'00'	P	P	$R_{PI} * (1 + k)$	7.5 kOhm
'01'	P	AP	$R_{PI} * (1 + TMR + k)$	10.0 kOhm
'10'	AP	P	$R_{PI} * (1 + k * TMR + k)$	12.5 kOhm
'11'	AP	AP	$R_{PI} * (1 + TMR) * (1 + k)$	15.0 kOhm

[0044] 相应地,当  $k = 2$  时,与 MLC 的四个可能的状态相关联的电阻之间的间隔将为  $R_{PI} * TMR$ ,由此当  $R_{PI} = 2.5kOhm$  且  $TMR = 100\%$  时每一状态之间的间隔变为  $2.5kOhm$ 。由此,存储在 MLC 中的数据可通过如下方式来读取:激活位线 ( $V_{BL}$ ) 以允许电流流过 MLC 并且然后将施加在位线 ( $V_{BL}$ ) 上的电压除以流过 MLC 的电流以测量 MTJ<sub>1</sub> 和 MTJ<sub>2</sub> 的组合电阻 (该组合电阻可指示与 MLC 相关联的逻辑状态)。

[0045] 当向 MLC 写数据时,可首先确定与之相关联的现有的逻辑状态,其中如果现有的逻辑状态匹配与写操作相关联的目标逻辑状态,则写操作是不必要的。另一方面,如果与 MLC 相关联的现有的逻辑状态不匹配目标逻辑状态,则可执行一个或多个写操作以改变与 MTJ<sub>1</sub> 和 / 或 MTJ<sub>2</sub> 相关联的磁取向。具体地,为改变与 MTJ<sub>1</sub> 和 / 或 MTJ<sub>2</sub> 相关联的磁取向并且由此在 MLC 中存储新数据,可在字线 ( $V_{WL}$ ) 上施加电压以激活存取晶体管的栅极并在存取晶体管的漏极和源极之间生成写电流。在一个实施例中,电流然后可以或者从 MLC 的上电极流到下电极 (例如,从级间介电层 42c 到级间介电层 42a) 或从 MLC 的下电极流到上电极 (例如,从级间介电层 42a 到级间介电层 42c)。在任一情况中,由于与 MTJ<sub>1</sub> 和 MTJ<sub>2</sub> 相关联的串联连接,同一电流可流过 MTJ<sub>1</sub> 和 MTJ<sub>2</sub>。由此,在一个实施例中,在一个或多个写操作中产生的特定电流可取决于目标逻辑状态。

[0046] 例如,如上所述,MTJ<sub>2</sub> 中的隧道势垒 46b 的厚度可大于 MTJ<sub>1</sub> 中的隧道势垒 46a 的厚度,由此 MTJ<sub>2</sub> 可具有比 MTJ<sub>1</sub> 小的切换电流密度。由此,在一个实施例中,与自由层 48a 和 48b (和 / 或任何可任选的包覆层) 相关联的厚度可被调谐,以确保 MTJ<sub>2</sub> 具有比 MTJ<sub>1</sub> 足够小的切换电流密度,使得 MTJ<sub>2</sub> 可比 MTJ<sub>1</sub> 更容易地在 P 和 AP 状态之间切换,其中保护这些写余量的最简单的方式可以是增加 MTJ<sub>1</sub> 中的自由层 48a 的厚度。或者 (或另外),MTJ<sub>1</sub> 中的自由层 48a 和 MTJ<sub>2</sub> 中的自由层 48b 可由不同的材料形成,以合适地控制与 MTJ<sub>1</sub> 和 MTJ<sub>2</sub> 相关联的切换电流密度,使得 MTJ<sub>2</sub> 比 MTJ<sub>1</sub> 更容易地在状态之间切换。因此,由于与 MTJ<sub>2</sub> 相关联的较小的切换电流密度 (这可通过调整自由层 48a 和 48b (和 / 或任何可任选的包覆层) 的厚度或材料来实现),在任一方向上流过 MLC 的较小电流将仅切换 MTJ<sub>2</sub> 而不切换 MTJ<sub>1</sub>,而在任一方向上流过 MLC 的较大电流将切换 MTJ<sub>1</sub> 和 MTJ<sub>2</sub> 两者。具体地,从 MLC 的上电极流到下电极的大电流  $I^{++}$  可将 MTJ<sub>1</sub> 和 MTJ<sub>2</sub> 两者切换到 P (即逻辑状态 '00'),而从 MLC 的下电极流到上电极的大电流  $I^{--}$  可将 MTJ<sub>1</sub> 和 MTJ<sub>2</sub> 两者切换到 AP (即,逻辑状态 '11')。

[0047] 然而,为了建立不对称状态(逻辑状态‘01’或‘10’),可执行两个写周期。具体地,为了将 $MTJ_1$ 切换到P并将 $MTJ_2$ 切换到AP(即逻辑状态‘01’),可首先产生从上电极流到下电极的大电流 $I^{++}$ 以将 $MTJ_1$ 和 $MTJ_2$ 两者切换到P(即逻辑状态‘00’),然后可产生从下电极流到上电极的小电流 $I^-$ 以将 $MTJ_2$ 切换到AP而不进一步切换 $MTJ_1$ ,由此建立逻辑状态‘01’。类似地,为了将 $MTJ_1$ 切换到AP并将 $MTJ_2$ 切换到P(即逻辑状态‘10’),可首先产生从下电极流到上电极的大电流 $I^-$ 以将 $MTJ_1$ 和 $MTJ_2$ 两者切换到AP(即逻辑状态‘11’),然后可产生从上电极流到下电极的小电流 $I^+$ 以将 $MTJ_2$ 切换到P而不进一步切换 $MTJ_1$ ,由此建立逻辑状态‘10’。相应地,在一个或多个写操作中产生以实现目标逻辑状态的电流如下表中所示:

[0048]

目标 状态	$MTJ_1$ 状态	$MTJ_2$ 状态	写操作 1	写操作 2
‘00’	P	P	$I^{++}$	无
‘01’	P	AP	$I^{++}$	$I^-$
‘10’	AP	P	$I^-$	$I^+$
‘11’	AP	AP	$I^-$	无

[0049] 根据一个示例性实施例,图5解说了使用具有不同厚度的一层或多层的多个 $MTJ$ 结构的另一示例性MLC。在一个实施例中,图5中所示的MLC可具有与以上关于图4中所示并在以上描述的MLC所描述的特征和性质基本上类似的特征和性质,从而与图5中所示的MLC相关联的许多细节将出于简明的目的而不必重复。例如,图5中所示的MLC可包括所安排的各个级间介电层52a-c,它们具有与图4中所示并在以上更详细描述级间介电层42a-c基本上相似的特征,而且,图5中所示的MLC中的 $MTJ_1$ 可包括膜堆叠,该膜堆叠具有所安排的钉扎层54a、隧道势垒层56a和自由层58a,这些层具有与在图4中所示并在以上更详细描述 $MTJ_1$ 相关联的钉扎层44a、隧道势垒层46a和自由层48a基本相似的特征。然而,将注意到,图5中所示的MLC与图4中所示的MLC的区别在于,与 $MTJ_2$ 相关联的膜堆叠被反转,使得钉扎层54b被置于隧道势垒56b上,而自由层58b被置于隧道势垒56b下,而图4中所示的MLC具有置于隧道势垒46b下的钉扎层44b以及置于隧道势垒46b上的自由层48b。因此,图5中所示的MLC相对于图4中所示的MLC之间的另一区别可涉及恰适地反转用于放置或以其它方式沉积钉扎层54b和自由层58b的制造工艺。

[0050] 此外,反转与 $MTJ_2$ 相关联的膜堆叠,使得钉扎层54b置于隧道势垒56b上而自由层58b置于隧道势垒56b下,可改变写操作被执行以将MLC编程为目标逻辑状态的方式,这在其中 $MTJ_1$ 和 $MTJ_2$ 之间的非对称性对写余量具有很大影响或其中在其它方面需要较大写余量的某些情况中可以是有利的。然而,还将注意,反转与 $MTJ_2$ 相关联的膜堆叠不会影响或以其它方式改变数据从MLC读取的方式,读取数据的方式可与以上关于图4中所示的MLC所述的方式基本相同的方式执行。

[0051] 在一个实施例中,数据可按照与以上关于图4中所示的MLC所描述的方式大体类似的方式被写入图5中所示的MLC,除了由于与 $MTJ_2$ 相关联的反转膜堆叠,在任一方向上

流过 MLC 的较大电流将  $MTJ_1$  和  $MTJ_2$  切换成非对称状态（即，逻辑状态 ‘01’ 或 ‘10’）。具体地，可产生从 MLC 的上电极流到下电极的大电流  $I^{++}$  以将  $MTJ_1$  切换到 P 并将  $MTJ_2$  切换到 AP（即逻辑状态 ‘01’），而可产生从 MLC 的下电极流到上电极的大电流  $I^-$  以将  $MTJ_1$  切换到 AP 并将  $MTJ_2$  切换到 P（即，逻辑状态 ‘10’）。然而，为了建立对称状态（逻辑状态 ‘00’ 或 ‘11’），可执行两个写周期。具体地，为了将  $MTJ_1$  和  $MTJ_2$  均切换到 P（即逻辑状态 ‘00’），可首先产生从上电极流到下电极的大电流  $I^{++}$  以将  $MTJ_1$  切换到 P 并将  $MTJ_2$  切换到 AP（即逻辑状态 ‘01’），然后可产生从下电极流到上电极的小电流  $I^-$  以将  $MTJ_2$  切换到 P 而不进一步切换  $MTJ_1$ ，从而建立逻辑状态 ‘00’。类似地，为了将  $MTJ_1$  和  $MTJ_2$  均切换到 AP（即逻辑状态 ‘11’），可首先产生从下电极流到上电极的大电流  $I^-$  以将  $MTJ_1$  切换到 AP 并将  $MTJ_2$  切换到 P（即逻辑状态 ‘10’），然后可产生从上电极流到下电极的小电流  $I^+$  以将  $MTJ_2$  切换到 AP 而不进一步切换  $MTJ_1$ ，从而建立逻辑状态 ‘11’。相应地，下表示出在一个或多个写操作中产生的以实现图 5 中所示的 MLC 中的目标逻辑状态的电流：

[0052]

目标 状态	$MTJ_1$ 状态	$MTJ_2$ 状态	写操作 1	写操作 2
‘00’	P	P	$I^{++}$	$I^-$
‘01’	P	AP	$I^{++}$	无
‘10’	AP	P	$I^-$	无
‘11’	AP	AP	$I^-$	$I^+$

[0053] 此外，将领会，与  $MTJ_1$  相关联的膜堆叠而不是与  $MTJ_2$  堆叠相关联的膜堆叠可被反转，在这种情况下，在一个或多个写操作中产生的用以实现图 5 中所示的 MLC 中的目标逻辑状态的电流可被适当地修改。此外，尽管图 4 和 5 中所示且在以上所述的 MLC 包括两个 MTJ 结构（即， $MTJ_1$  和  $MTJ_2$ ），相关领域的技术人员将领会，本文公开的设计和技术可在具有多个 MTJ 结构的任何合适的 MLC（例如，具有两个、三个或更多个 MTJ 结构的 MLC）中使用。

[0054] 根据一个示例性实施例，图 6 解说了示例性无线通信系统 600，该系统 600 可采用如以下进一步详细公开的使用具有不同厚度的一层或多层的多个 MTJ 结构的 MLC。图 6 解说了可采用本文所述的示例性缓冲分配技术的示例性无线通信系统 600。为解说的目的，图 6 示出了三个远程单元 620、630 和 650 和两个基站 640。相关领域的技术人员将认识到，根据本文所述的示例性实施例的其它无线通信系统可具有更多或更少的远程单元和 / 或基站，而不背离本文所述的示例性实施例的范围或精神。在一个实施例中，远程单元 620、630 和 650 可包括相应的 MRAM 和 / 或 STT MRAM 存储器设备 625、635 和 655，其中 MRAM 和 / 或 STT MRAM 存储器设备 625、635 和 655 可包括本文描述的使用具有不同厚度的一层或多层的多个 MTJ 结构的 MLC。在一个实施例中，如图 6 中所示，可使用一个或多个前向链路信号 680 来将数据从基站 640 传达到远程单元 620、630 和 650，并可使用一个或多个反向链路信号 690 来将数据从远程单元 620、630 和 650 传达到基站 640。

[0055] 在图 6 中所示的示例性实施例中，远程单元 620 可包括移动电话，远程单元 630 可包括便携式计算机，而远程单元 650 可包括无线本地环路系统中的固定位置远程单元（例

如,抄表装备)。然而,在各个实施例中,远程单元 620、630 和 650 中的一个或多个可包括可合适地存储、检索、传达或以其它方式处理数据和 / 或计算机可执行指令的移动电话、手持式个人通信系统单元、便携式数据单元、个人数据助理、个人数字助理、导航设备(例如,启用 GPS 或知晓位置的设备)、机顶盒、音乐播放器、视频播放器、娱乐单元、固定位置数据单元、计算机、或任何其它设备或设备的组合。尽管图 6 解说了根据本文公开的教导和实施例的远程单元 620、630 和 650,但相关领域的技术人员将理解,本公开不应被限于这些示例性解说的远程单元 620、630 和 650。相应地,各个实施例可在具有诸如 MRAM 或 STT MRAM 之类的磁存储器的任何合适的设备中被合适地采用或以其它方式实现。

[0056] 相关领域技术人员将领会,可使用各种不同技术和技艺中的任何一种来表示信息和信号。例如,在以上描述中通篇被述及的数据、计算机可执行指令、命令、信息、信号、位、码元、和芯片可由电压、电流、电磁波、磁场或磁粒子、光场、粒子、或其任何组合来表示。此外,许多实施例可根据将由例如计算设备的元件执行的动作序列来描述。将认识到,本文中所述的各种动作能由专用电路(例如,专用集成电路)、由一个或多个处理器执行的计算机可执行指令、或由其任何组合来执行。另外,本文所描述的这些动作序列可被认为是完全实施在任何形式的计算机可读存储介质内,其内存储有一经执行就将使相关联的处理器执行本文所描述的功能性的相应计算机可执行指令集。因此,本文公开的各个示例性方面可以用数种不同形式来实施,所有这些都已被构想成落在所要求保护的主体内容的范围或精神内。另外,对于本文描述的每个实施例,任何此类实施例的对应形式可在本文被描述为例如“被配置成执行所描述的动作的逻辑”。

[0057] 此外,相关领域技术人员将领会,结合本文中公开的实施例描述的各种说明性逻辑块、模块、电路、算法和步骤可实现为电子硬件、计算机软件、或其任何合适的组合。为清楚地解说硬件与软件的这一可互换性,各种解说性组件、块、模块、电路、算法和步骤在上面是按照其一般功能来描述的。这样的功能是以硬件还是软件实现取决于特定的应用和设计约束,相关领域的技术人员可按照各种方式实现所描述的功能以适应每一特定的应用,但是这样的实现决策不应被解释为导致背离本文公开的示例性方面和实施例的范围或精神。

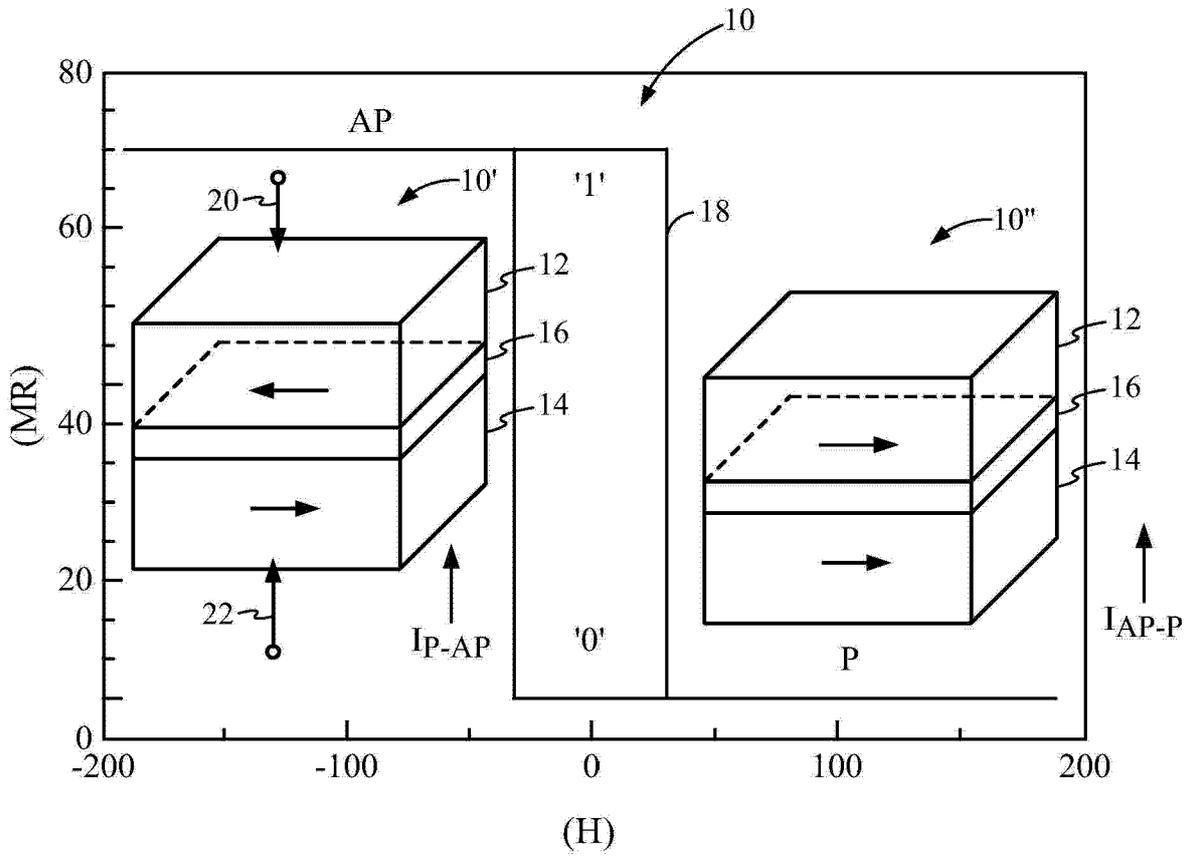
[0058] 结合本文中公开的实施例描述的方法、序列和 / 或算法可直接在硬件中、在由处理器执行的软件模块中、或在其任何合适组合中体现。软件模块可驻留在存储器控制器、DDR 存储器、RAM 存储器、闪存、ROM 存储器、EPROM 存储器、EEPROM 存储器、寄存器、硬盘、可移动盘、CD-ROM、或任何其它已知或将来开发的存储介质中。示例性存储介质被耦合到处理器,以使得处理器能从 / 向该存储介质读取 / 写入信息。替换地,存储介质可以被整合到处理器。

[0059] 相应地,一个示例性实施例可包括体现计算机可执行指令的计算机可读介质,这些指令执行一种用于形成多级存储器设备、写入多级存储器设备的方法或本文公开或以其它方式启用的任何其它合适的方法。相应地,本文公开的示例性方面和实施例并不限于所解说的示例,且任何用于执行本文所描述的功能的手段均被包括在本文所公开的示例性方面和实施例中。

[0060] 上文所公开的方法可被设计并可被配置成 GDSII、GERBER 或其它合适的计算机文件,这些文件可被存储在计算机可读介质上。这些计算机文件又可被提供给制造处理器者,后

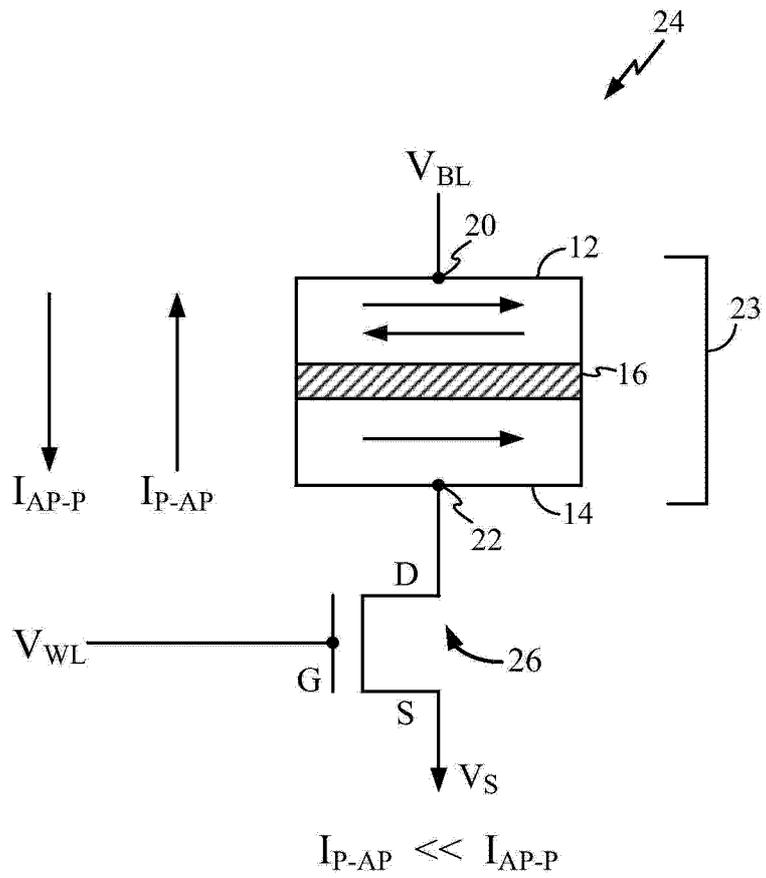
者基于这些文件制造设备,其中得到的产品是半导体晶片,半导体晶片然后可被切割成半导体管芯并封装成半导体芯片,其中半导体管芯或半导体芯片可集成、对应于、或在其中采用、或以其它方式与上述 MLC 关联使用。而且,如公开中所述的 MRAM 和多存储器单元可与微处理器或其它合适的逻辑电路系统一起操作,其中本文所述的 MRAM 和多存储器单元可被集成到采用微处理器或其它合适的逻辑电路系统的设备中。例如,MRAM 和多存储器单元可以是通信设备的一部分。当然,MRAM 和多存储器单元可包括其它类型的电路系统,而不背离本公开的范围和精神。

[0061] 尽管上述公开展示了使用具有不同厚度的一层或多层的多个 MTJ 结构的 MLC 的解说性实施例,但相关领域的技术人员将领会,可在此进行各种改变和修改,而不背离本文公开的示例性方面和实施例的范围或精神,如所附权利要求书所定义的。根据本文所公开的示例性方面和实施例的方法权利要求的功能、步骤、操作和 / 或动作不必按任何特定次序来执行。此外,尽管本文所公开的示例性方面和实施例的要素可能是以单数来描述或主张权利的,但是复数也是已构想了的,除非显式地声明了限定于单数。



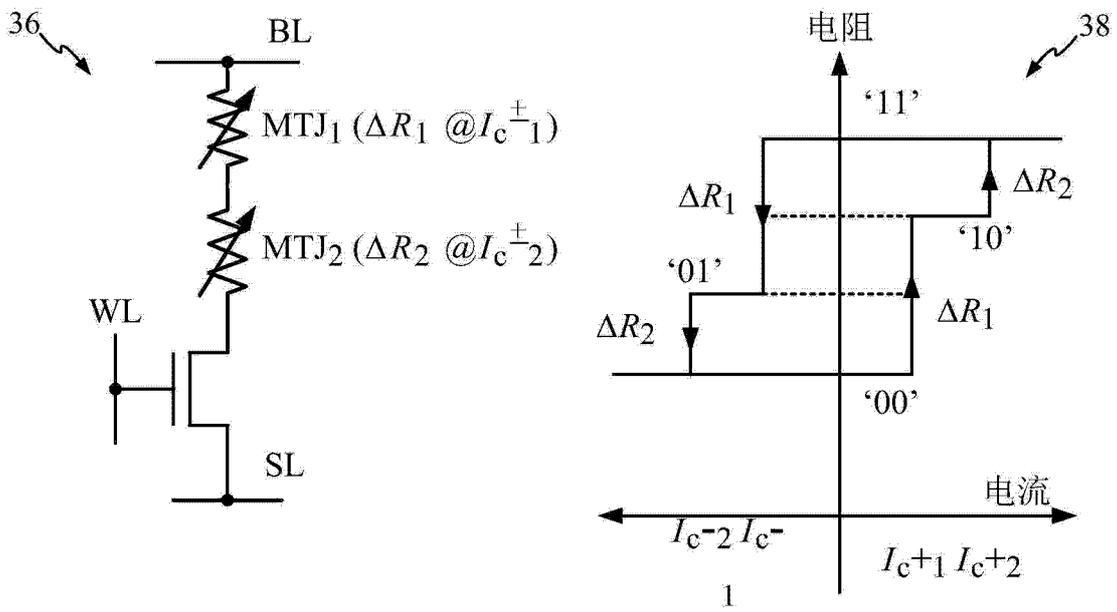
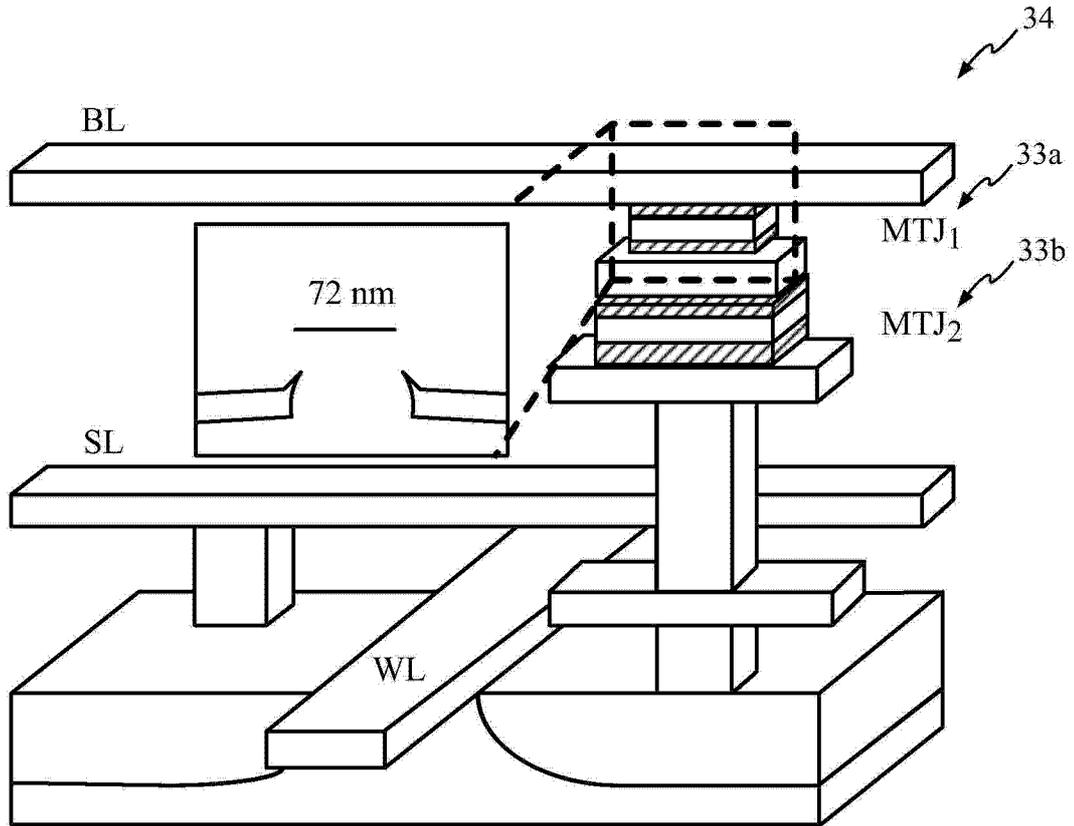
(现有技术)

图 1



(现有技术)

图 2



(现有技术)

图 3

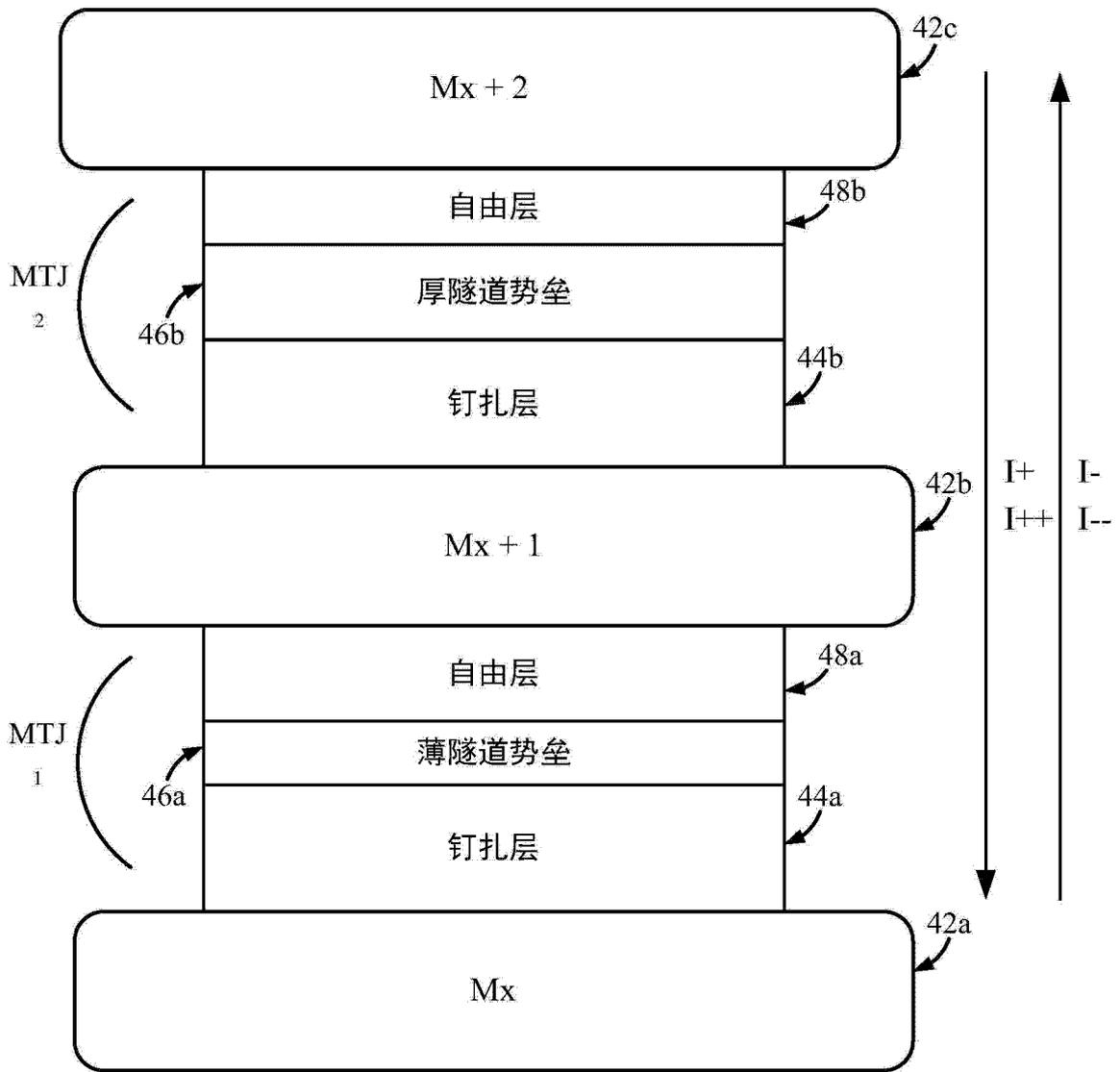


图 4



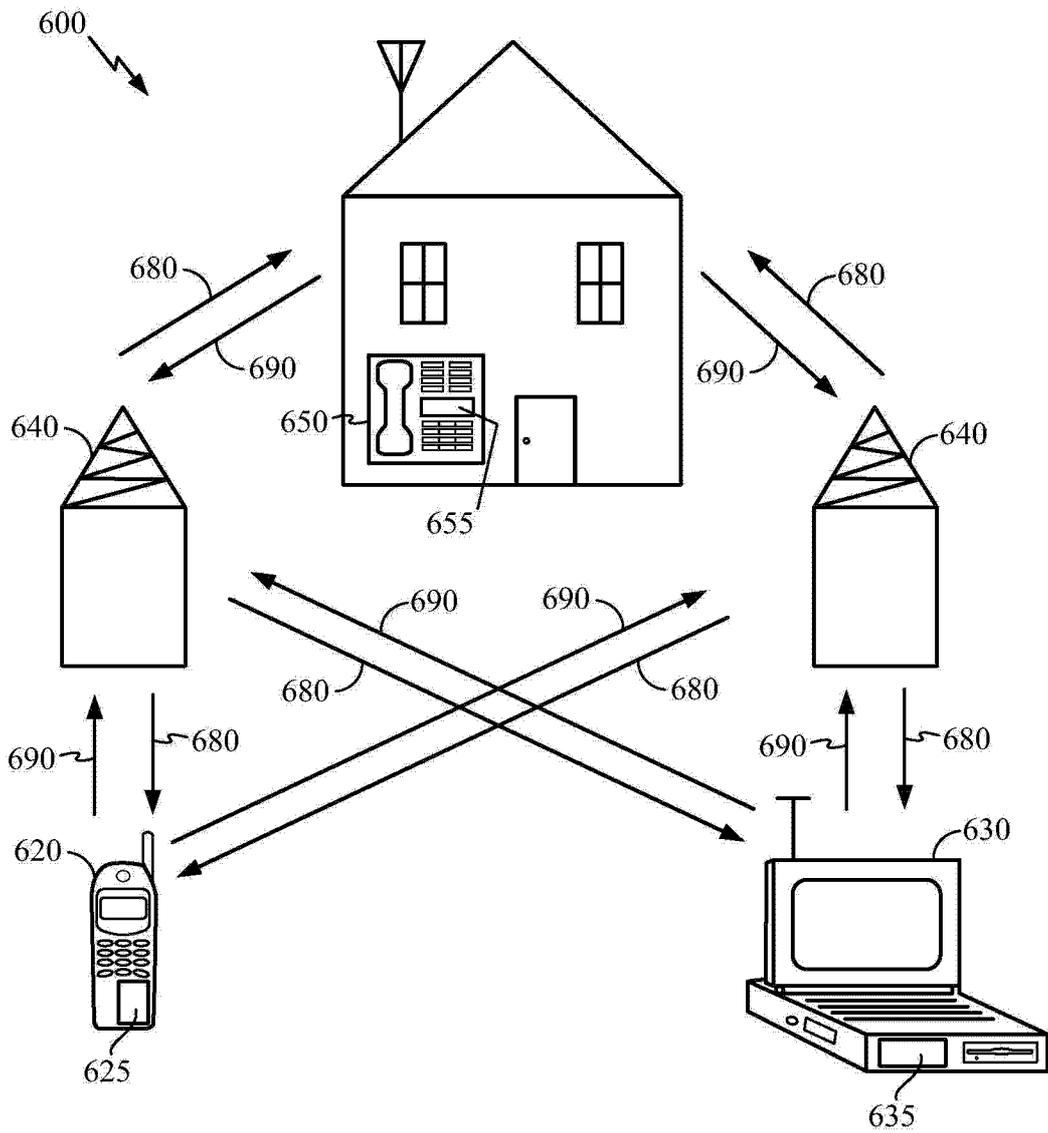


图 6