

(19)



SUOMI - FINLAND

(FI)

PATENTTI- JA REKISTERIHALLITUS

PATENT- OCH REGISTERSTYRELSEN

FINNISH PATENT AND REGISTRATION OFFICE

(10) **FI 822030 A7**

(12) **JULKISEKSI TULLUT PATENTTIHAKEMUS
PATENTANSÖKAN SOM BLIVIT OFFENTLIG
PATENT APPLICATION MADE AVAILABLE TO THE
PUBLIC**

(21) Patentihakemus - Patentansökan - Patent application 822030

(51) Kansainvälinen patenttiluokitus - Internationell patentklassifikation -
International patent classification
H03F

(22) Tekemispäivä - Ingivningsdag - Filing date 08.06.1982

(23) Saapumispäivä - Ankomstdag - Reception date 08.06.1982

(41) Tullut julkiseksi - Blivit offentlig - Available to the public 16.12.1982

(43) Julkaisupäivä - Publiceringsdag - Publication date 12.06.2019

(32) (33) (31) Etu oikeus - Prioritet - Priority

15.06.1981 US 273,325

(71) Hakija - Sökande - Applicant

1 • RCA Corporation, 30 Rockefeller Plaza, New York, NY 10020, AMERIKAN YHDYSVALLAT, (US)

(72) Keksijä - Uppfinnare - Inventor

1 • Harford, Jack Rudolph, USA, AMERIKAN YHDYSVALLAT, (US)

(74) Asiamies - Ombud - Agent

Kolster Oy Ab, Salmisaarenaukio 1, 00180 Helsinki

(54) Keksinnön nimitys - Uppfinningens benämning - Title of the invention

Integroitu ylikuormitussuojapiiri.

Integrerad Överbelastningssydsrets.

Integroitu ylikuormitussuojapiiri^{LAITE}

Esillä oleva keksintö liittyy integroituun ylikuormitussuojalaitteeseen, joka käsittää ensimmäistä johtavuustyyppiä olevan puolijohdealustan, alustaa kattavan toista johtavuustyyppiä olevan puolijohdekerroksen, ensimmäistä johtavuustyyppiä olevan ensimmäisen runsasseosteisen alueen, joka ulottuu mainitun kerroksen läpi alustaan ja ympäröi täysin kerroksen osan, jolloin kyseisen kerroksen osa on erotettu kerroksen muusta osasta, ensimmäistä johtavuustyyppiä olevan lähdealueen, joka osittain ulottuu erotettuun kerroksen osaan sen pinnasta, toista johtavuustyyppiä olevan toisen runsasseosteisen alueen, joka ulottuu erotettuun kerroksen osaan sen pinnasta ja jonka kerroksen osat erottavat lähdealueesta, toista johtavuustyyppiä olevan kolmannen runsasseosteisen alueen, joka ulottuu lähdealueeseen sen pinnasta ja jota lähdealueen osat ympäröivät, ja toista johtavuustyyppiä olevan neljännen runsasseosteisen alueen, joka ulottuu kerroksen erotetun osan ja alustan väliin ja sijaitsee ainakin toisen ja kolmannen runsasseosteisen osan alla.

Kun integroitua yhteisemitterikytkettyä vahvistinta ohjataan sisääntulosignaaleilla, ulostulosignaalin polaarisuus invertoituu sisääntulosignaalin suhteen. Kuviossa 1 on esitettynä tekniikan tason mukaisen tunnetun tyyppisen yhteisemitterikytketyn vahvistinpiirin kytkentäkaavio. Tyypillisessä rakenteessa yhteisemitterikytketty vahvistin sisältää NPN-transistorin Q. Transistorin Q kollektori on kytketty teholähteen positiiviseen napaan +V kuormitusvastuksen R_L kautta. Transistorin Q emitteri on kytketty maahan emitterivastuksen R_E kautta. Sisääntulosignaali v_i on kytketty transistorin Q kannalle sisääntulovastuksen R_S kautta. Tuloksena oleva kantasisääntulovirta aikaansaa kollektorivirran, joka on beta kertainen kantasisääntulovirran suhteen. Vastaavasti ulostulojännite v_o , mitattuna transistorin Q

kollektorin ja maan välistä, tulee olemaan sisääntulojännitteen v_i vahvistettu ja invertoitu versio.

Yhteisemitterikytketyn vahvistimen emitterijännite, joka käyttää emitterivastusta R_E , yrittää seurata sisääntulojännitettä niin sanottuna "emitteriseuraajana". Siten, vaikka ulostulosignaalia v_o ohjataan alas sisääntulosignaalin v_i kasvaessa, emitterijännite kasvaa. Riippuen piirielementtien keskinäisistä arvoista ja käytettävissä olevan sisääntulo-ohjauksen määrästä, $Q:n$ on mahdollista kyllästyä ja ohjausta voi olla riittävästi, jotta emitterijännite dominoi kollektorijännitettä sisääntulohuippujen aikana. Siten vaikka sisääntulosignaalin (sisääntulon viereinen kiinteä viiva), joka on esitetty kuviossa 1, tulisi johtaa esitettyyn ulostulosignaaliin (ulostulon viereinen kiinteä viiva), on mahdollista että ulostulosignaalin negatiivisin osuus korvautuu osuudella, joka on kuvattu katkoviivalla. Tällainen tulos tapahtuu helpoimmin olosuhteissa, joissa R_s on pieni ja suuri ohjaussignaali on läsnä.

Negatiivisesti takaisinkytketyn vahvistimen tapauksessa, jossa osa ulostulosignaalista syötetään takaisin sisääntuloon vahvistimen siirto-ominaiskäyrän lineaarisoinnin helpottamiseksi, on mahdollista ylikuormitustilanteessa, että vahvistin toimii positiivisesti takaisinkytkettynä vahvistimena. Televisiopiireissä käytettyä tyyppiä olevissa videovahvistimissa videovahvistimen ylioheus, joka vahvistin edeltää automaattista vahvistuksensäätöpiiriä (AGC), voi johtaa ilmiöön, joka tunnetaan "lukittumisen pettämisenä" johtaen vääristyneeseen kuvaan. Tulisi kuitenkin havaita, että yllä kuvattu ongelma on yleinen useille yhteisemitterikytketyille vahvistimille mukaanlukien ne, joita käytetään differentiaali- ja operaatiovahvistimina. Vastaavasti suojapiiri, joka estäisi tämän ilmiön esiintymisen, olisi erittäin toivottava.

Keksinnön mukaiselle integroidulle ylikuormituslaitteelle on tunnusomaista, että ensimmäistä johtavuustyyppiä

oleva viides runsasseosteinen alue ulottuu lähdealueen ja kerroksen välisen leikkausalueen läpi lähdekerroksen pinnalta ja se on runsaammin seostettu kuin lähdealue, ja kolmas runsasseosteinen alue sijaitsee toisen runsasseosteisen alueen ja viidennen runsasseosteisen alueen välissä mainitun pinnan suunnasta tarkasteltaessa.

Piirustuksessa

kuvio 1 on tekniikan tason mukaisen tunnetun tyyppisen yhteisemitterikytketyn vahvistinpiirin kytkentäkaavio yhdessä esimerkinomaisten sisääntulo- ja ulostulosignaalin kanssa,

kuvio 2 on suojatun vahvistinpiirin kytkentäkaavio, johon sisältyy esillä olevan keksinnön suojauspiiri,

kuvio 3 on kuva päältä esillä olevan keksinnön suojauslaitteen suositeltavasta suoritusmuodosta, ja

kuvio 4 on poikkileikkaus esillä olevan keksinnön suojauslaitteen suositeltavasta suoritusmuodosta.

Piirustusten kuviossa 2 on esitetty piirikaavio vahvistinpiiristä 12, joka on suojattu esillä olevan keksinnön edullisen suoritusmuodon avulla. Vahvistinpiiri 12 koostuu NPN vahvistintransistorista Q1, joka on kytketty tavanomaiseen yhteisemitterikytkentään. Kuten alalla hyvin tiedetään, yhteisemitterikytkettyä vahvistinta ohjataan usein resistiivisesta lähteestä, jota on kuvattu vastuksilla R_s ja R_p , joita käytetään kytkemään sisääntulosignaali v_i transistorin Q1 kannalle. Esillä oleva keksintö sisältää toisen transistorin Q2, jonka kanta on kytketty transistorin Q1 kollektorille ja sen emitteri on kytketty transistorin Q1 kannalle suojausvastuksen R_p kautta. Transistorin Q2 kollektori on kytketty maahan tässä suoritusmuodossa, koska Q1, vahvistintransistori, on NPN transistori ja Q2, suojaustransistori, on PNP transistori. Jos Q1 olisi ollut PNP transistori niin Q2 olisi valittu olemaan NPN transistori ja Q2:n kollektori olisi kytketty teholähteen positiiviseen potentiaaliin +V.

- Keksinnön esillä olevassa suoritusmuodossa kuormitusvastus R_L on kytketty teholähteen positiiviseen napaan +V ja Q2:n kollektori on kytketty teholähteen vastakkaiseen napaan, nimittäin maahan. Vaihtoehtoisesti, jos Q1 olisi
- 5 ollut PNP transistori, Q2:n kollektori olisi ollut kytketty teholähteen positiiviseen napaan. Toiminnan aikana, kun Q1 saturoituu, transistori Q2 siirtyy johtavuustilaan ja lukittuu kantaohjaussignaalin potentiaaliin, joka on aivan hivenen Q1:n alkuperäisen kyllästymisjännitteen yläpuolella
- 10 estäen siten ulostulosignaalin v_o inversion. Jotta esillä oleva piiri toimisi kunnolla estäen tehokkaasti yllä mainitun "lukittumisen pettämisen" on tarpeen että suojaustransistorin Q2 betalla on suhteellisen korkea arvo ja että suojausvastuksella R_p on suhteellisen korkea impedanssiarvo.
- 15 Edullisesti suojaustransistorin Q2 betan arvo on suurempi kuin 15. Samalla tavoin, jos transistorien tyypit olisivat vastakkaiset tässä kuvattuihin nähden, transistorin Q1 ulostulon ei sallittaisi mennä alemmaksi kuin alkuperäinen saturaatiojännite.
- 20 Kuvioissa 3 ja 4 on esitetty pääli- ja poikkileikkauskuvat esillä olevan keksinnön laitteesta 20. Esillä olevan keksinnön mukaisesti laite 20 on integroitu yhtä tyyppiä oleva vahvistintransistori, johon on yhdistetty vastakkaisytyppinen suojaustransistori. Siten NPN vahvistintransistoriin on yhdistetty PNP suojaustransistori.
- 25 Keksinnön edullisessa suoritusmuodossa, laite 20 on muodostettu puolijohdealustalle 22, joka tyypillisesti muodostuu P tyyppin piistä. P tyyppin alustalle 22 on muodostettu N tyyppin pintakerros 24. Osa pintakerroksesta 24 on erotettu pintakerroksen tasapainotilasta runsasseosteisella P+
- 30 tyyppin erotusalueella 38, joka ympäröi sen täysin. P+ tyyppin erotusalue 38 toimii myös PNP suojaustransistorin Q2 kollektorina. P tyyppin lähdealue 26 ulottuu N tyyppin pintakerrokseen 24. P tyyppin lähdealue toimii vahvistintransistorin Q1 kantena. Samalla tavoin N+ tyyppin alue 28, joka
- 35

myös ulottuu N tyyppin pintakerrokseen 24, toimii vahvistin-transistorin Q1 kollektorina. Pintakerroksen 24 erotettu N tyyppin osa toimii suojaustransistorin Q2 kantana. Runsasseosteinen syvä P+ tyyppin alue 30 on sisällytetty laitteeseen 20 suojaustransistorin Q2 betan lisäämiseksi. P+ alue 30 ulottuu P lähteen 26 läpi pintakerrokseen 24 ja toimii suojaustransistorin Q2 emitterinä.

Runsasseosteinen N tyyppin alue 32 toimii vahvistin-transistorin Q1 emitterinä. Runsasseosteinen N tyyppin tasku 34 ulottuu P tyyppin alustaan 22 alustan 22 ja pintakerroksen 24 välissä ja sitä käytetään pienentämään transistorin Q1 emitterin ja kollektorin välistä vastusta. Tasku 34 sijaitsee N tyyppin alueiden 28 ja 32 alla.

Viitaten erityisesti kuvioon 3 P tyyppin alue 26 sisältää edullisesti (päältä katsottuna) kapean alueen 36. Kapean alueen 36 tarkoituksena on muodostaa suojausvastus R_p , kuten on esitetty kuviossa 2 ja jolla on suhteellisen korkea impedanssiarvo. Resistanssiarvo on seurausta lähdemateriaalin resistanssista kapeassa alueessa 36.

Esillä olevan keksinnön valmistus on toteutettu vakiovalmistusvaiheiden avulla, jotka tunnetaan hyvin alalla. Keksinnön etuna on erityisesti, että ei ole tarpeen muuttaa mitään tavanomaisia fotolitografia-, kerrostamis- ja diffuusiovalmistusvaiheita keksinnön rakentamiseksi monoliittiseksi integroiduksi piiriksi. Vastaavasti alan asiantuntijat ymmärtävät, että esillä oleva keksintö on valmistettu diffundoimalla runsasseosteinen N tyyppin alue 34 P tyyppin piii-alustaan 22. N tyyppin taskun 34 tyyppillinen resistiivisyys on luokkaa 40 ohmia/neliö.

Seuraavaksi N tyyppin pintakerros 24, jonka tyyppillinen resistiivisyys on luokkaa 1000 ohmia/neliö, on kasvatettu P tyyppin alustan pinnalle. N tyyppin pintakerroksen osa, johon keksintö muodostetaan on erotettu pintakerroksen tasapainotilasta runsasseosteisella P tyyppin erotusdiffuusiolla 38. Seuraavaksi määritetään ja muodostetaan runsasseos-

teinen P tyypin kantaliitos 30. Seuraavaksi määritetään ja muodostetaan P lähde 26.

5 Laitteen 20 valmistuksen seuraava vaihe on runsasseosteisten N tyypin alueiden 28, 32 muodostaminen. Myös nämä muodostetaan vakiomenettelyjä käyttäen.

Lopuksi muodostetaan suojaava oksidi (ei esitetty) laitteen pinnalle, kontaktiaukot (ei esitetty) muodostetaan suojaavaan oksidiin ja johtava liitosaine syötetään, rajataan ja muovataan.

10 Alaa tuntevat havaitsevat, että edellä mainitut vaiheet suoritetaan kaikki tavanomaisia hyvin tunnettuja fotolitografisia-, kerrostamis-, diffuusio- ja etsausmenetelmiä käyttäen.

15 Alaa tunteville on myös ilmeistä, että koska NPN vahvistintransistoria on kuvattu PNP suojaustransistorin yhteydessä kääntämällä kunkin kuvioissa 3 ja 4 esitetyn alueen johtavuus, voitaisiin valmistaa PNP vahvistintransistori, jossa on NPN suojaustransistori.

Patenttivaatimukset

1. Integroitu ylikuormitussuojalaite, joka käsit-

5 ensimmäistä johtavuustyyppiä olevan puolijohdealustan (22),

alustaa (22) kattavan toista johtavuustyyppiä olevan puolijohdekerroksen (24),

10 ensimmäistä johtavuustyyppiä olevan ensimmäisen runsasseosteisen alueen (38), joka ulottuu mainitun kerroksen (24) läpi alustaan (22) ja ympäröi täysin kerroksen osan, jolloin kyseisen kerroksen (24) osa on erotettu kerroksen muusta osasta,

15 ensimmäistä johtavuustyyppiä olevan lähdealueen (26), joka osittain ulottuu erotettuun kerroksen (24) osaan sen pinnasta,

20 toista johtavuustyyppiä olevan toisen runsasseosteisen alueen (28), joka ulottuu erotettuun kerroksen (24) osaan sen pinnasta ja jonka kerroksen osat erott^Ayvät lähdealueesta (26),

toista johtavuustyyppiä olevan kolmannen runsasseosteisen alueen (32), joka ulottuu lähdealueeseen (26) sen pinnasta ja jota lähdealueen osat ympäröivät, ja

25 toista johtavuustyyppiä olevan neljännen runsasseosteisen alueen (34), joka ulottuu kerroksen (24) erotetun osan ja alustan (22) väliin ja sijaitsee ainakin toisen (28) ja kolmannen (32) runsasseosteisen osan alla, t u n n e t -
t u siitä, että ensimmäistä johtavuustyyppiä oleva viides runsasseosteinen alue (30) ulottuu lähdealueen (26) ja kerroksen (24) välisen leikkausalueen läpi lähdekerroksen (26)
30 pinnalta ja se on runsaammin seostettu kuin lähdealue (26), ja kolmas runsasseosteinen alue (32) sijaitsee toisen runsasseosteisen alueen (28) ja viidennen runsasseosteisen alueen (30) välissä mainitun pinnan suunnasta tarkasteltaessa.
35

2. Patenttivaatimuksen 1 mukainen integroitu yli-
kuormitussuojalaite, t u n n e t t u siitä, että puolijoh-
dealusta (22) on P johtavuustyyppiä ja neljäs runsasseos-
teinen alue (34) ei ulotu viidennen runsasseosteisen alueen
5 (30) alle, jolloin toinen runsasseosteinen alue (28) muo-
dostaa NPN transistorin (Q1) kollektorin, kolmas runsasse-
osteinen alue (32) muodostaa NPN transistorin (Q1) emitte-
rin, lähdealue (26) muodostaa NPN transistorin (Q1) kannan
ja viides runsasseosteinen alue (30) muodostaa liitännän
10 NPN transistorin (Q1) kannalle.

3. Patenttivaatimuksen 2 mukainen integroitu yli-
kuormitussuojalaite, t u n n e t t u siitä, että lähdealue
(26) edelleen käsittää mainitun pinnan päältä tarkasteltuna
kapean alueen (36), joka sijaitsee kolmannen runsasseostei-
15 sen alueen (32) ja neljännen runsasseosteisen alueen (30)
välissä.

4. Patenttivaatimuksen 3 mukainen integroitu yli-
kuormitussuojalaite, t u n n e t t u siitä, että neljäs
runsasseosteinen alue (34) ulottuu toisen ja kolmannen run-
20 sasseosteisen alueen (28, 32) alle ja vain osittain lähde-
alueen (26) kapean alueen (36) alle.

Patentkrav

1. Integrerad överbelastningsskyddsanordning, som omfattar

5 ett halvledar substrat (22) av en första ^{LEDNINGSS} ~~konduktans-~~ typ,

ett substratet (22) täckande halvledarskikt (24) av en andra ^{LEDNINGSS} ~~konduktans~~ typ,

10 ett första högdopat område (38) av den första ^{LEDNINGSS} ~~kon-~~ ~~duktans~~ typen, som sträcker sig genom nämnda skikt (24) till substratet (22) och omger helt en del av skiktet, varvid nämnda del av nämnda skikt (24) är isolerad från skiktets återstående del,

15 ett källområde (26) av den första ^{LEDNINGSS} ~~konduktans~~ typen, som delvis sträcker sig in i skiktets (24) isolerade del från en yta därav,

20 ett andra högdopat område (28) av den andra ^{LEDNINGSS} ~~konduk-~~ ~~tans~~ typen, som sträcker sig in i skiktets (24) isolerade del från en yta därav och som delar av skiktet skiljer från källområdet (26),

ett tredje högdopat område (32) av den andra ^{LEDNINGSS} ~~konduk-~~ ~~tans~~ typen, som sträcker sig in i källområdet (26) från en yta därav och som omges av delar av källområdet, och

25 ett fjärde högdopat område (34) av den andra ^{LEDNINGSS} ~~konduk-~~ ~~tans~~ typen, som sträcker sig mellan skiktets (24) isolerade del och substratet (22) och ligger åtminstone under det andra (28) och tredje (32) högdopade området, k ä n n e - t e c k n a d därav, att ett femte högdopat område (30) av den första ^{LEDNINGSS} ~~konduktans~~ typen sträcker sig genom skärningsområdet mellan källområdet (26) och skiktet (24) från en yta av källområdet (26) och är mera högdopat än källområdet (26), och det tredje högdopade området (32) ligger mellan det andra högdopade området (28) och det femte högdopade området sett från nämnda yta.

35 2. Integrerad överbelastningsskyddsanordning enligt

patentkravet 1, k ä n n e t e c k n a d därav, att halv-
 ledarsubstratet (22) är av P ^{LEDNING}konduktanstyp och det fjärde
 högdopade området (34) inte sträcker sig under det femte
 högdopade området (30), varvid det andra högdopade området

- 5 (28) bildar kollektorn av en NPN transistor (Q1), det tred-
 je högdopade området (32) bildar NPN transistorns (Q1) emit-
 ter, källområdet (26) bildar NPN transistorns (Q1) bas och
 det femte högdopade området (30) bildar anslutningen till
^{NPN}
~~PNP~~ transistorns (Q1) bas.

- 10 3. Integrerad överbelastningsskyddsanordning enligt
 patentkravet 2, k ä n n e t e c k n a d därav, att källom-
 rådet (26) vidare omfattar ett ovanifrån nämnda yta sett
 smalt område (36), som ligger mellan det tredje högdopade
 området (32) och det fjärde högdopade området (30).

- 15 4. Integrerad överbelastningsskyddsanordning, k ä n-
 n e t e c k n a d därav, att det fjärde högdopade området
 (34) sträcker sig under det andra och tredje högdopade om-
 rådet (28, 32) och endast delvis under det smala området
 (36) i källområdet (26).

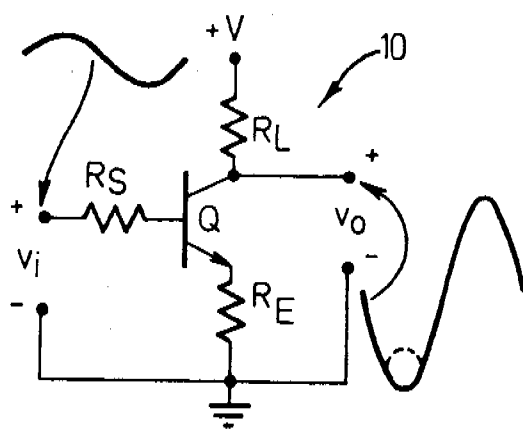


FIG. 1. Tunnettu rakenne

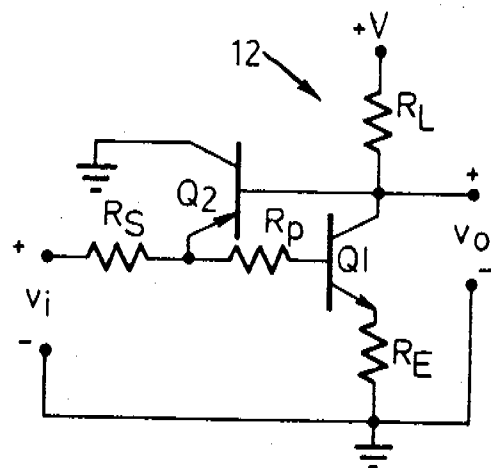


FIG. 2.

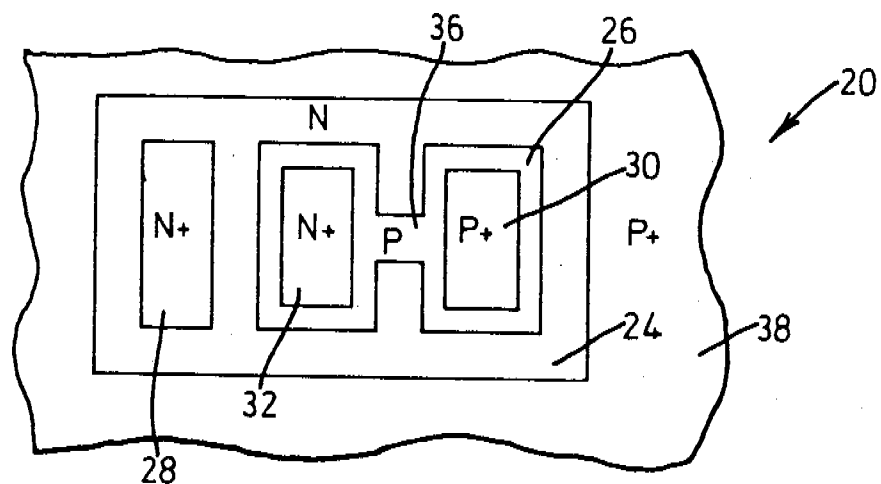


FIG. 3.

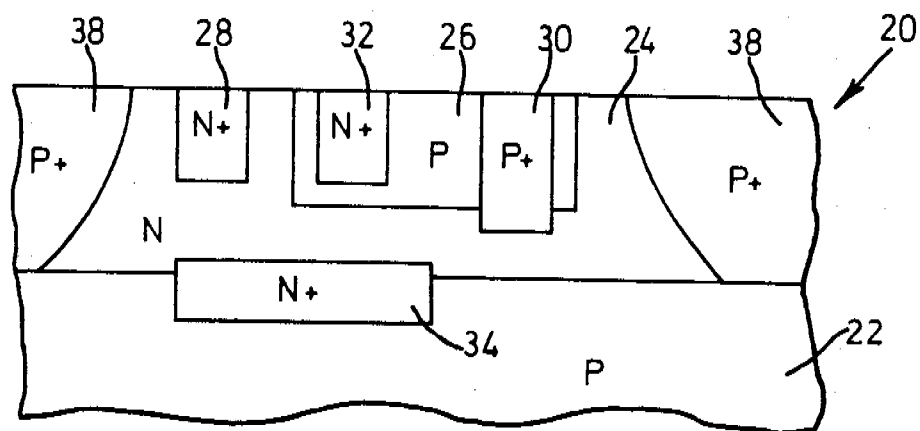


FIG. 4.

Viitejulkaisuja - Anförda publikationer

Julkisia suomalaisia patenttihakemuksia: - Offentliga finska patentansökningar:

Hakemus-, kuulutus- ja patenttijulkaisuja: - Ansökningspublikationer, utläggnings- och patentskrifter:

FI

CH

DE

DK

FR

GB

NO

SE

US 3 482 111 H03K 19/24

4 160 788 H01L 27/04

Merkitse hakemusjulkaisun (esim. saksal. Offenlegungsschrift) numeron eteen H ja vastaavasti kuulutus- ja patenttijulkaisun numeron eteen K ja P.

MI H 29 538 HOIC 27/08

WO

Muita julkaisuja: - Andra publikationer:

Allekirjoitus