



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I476889 B

(45)公告日：中華民國 104 (2015) 年 03 月 11 日

(21)申請案號：099128670

(22)申請日：中華民國 99 (2010) 年 08 月 26 日

(51)Int. Cl. : H01L23/50 (2006.01)

H01L21/768 (2006.01)

(30)優先權：2009/10/19 美國

61/252,865

2010/05/04 美國

12/773,340

(71)申請人：考文森智財管理公司 (加拿大) CONVERSANT INTELLECTUAL PROPERTY MANAGEMENT INC. (CA)

加拿大

(72)發明人：舒茲 羅蘭 SCHUETZ, ROLAND (CA)

(74)代理人：李宗德

(56)參考文獻：

TW 200826175

TW 200933839

US 2007/0024319A1

US 2009/0015322A1

審查人員：趙芝婷

申請專利範圍項數：26 項 圖式數：9 共 30 頁

(54)名稱

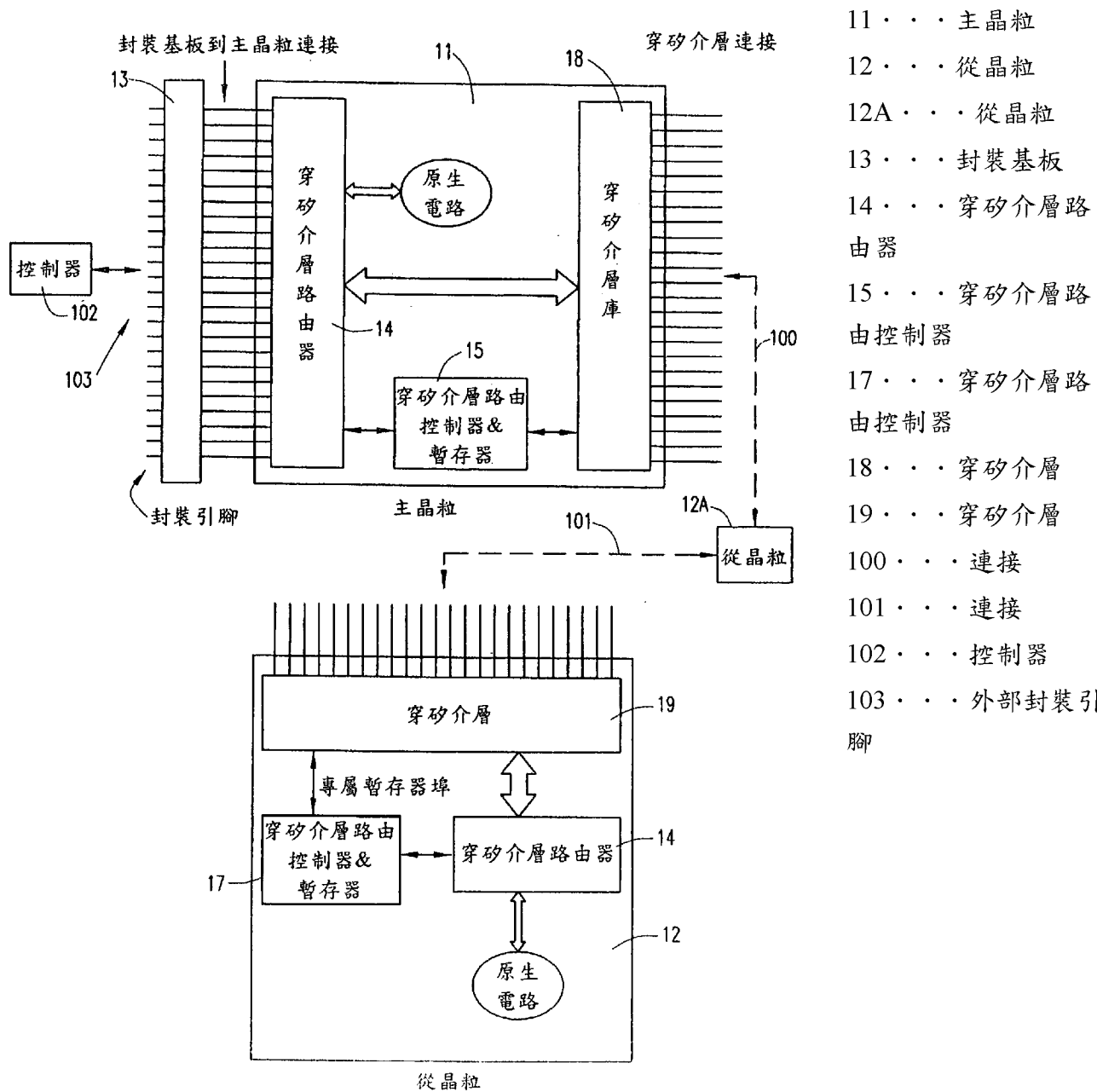
在堆疊多晶片封裝中穿矽介層之重組態

RECONFIGURING THROUGH SILICON VIAS IN STACKED MULTI-DIE PACKAGES

(57)摘要

控制在堆疊多晶粒積體電路封裝中之穿矽介層(TSV)，而在封裝於正常任務模式之現場操作時，顯露不同的連接組態。可重新組態穿矽介層連接，而以不同於例如晶粒工廠預設連接之方式，來連接受影響的晶粒。可改變穿矽介層與晶粒原生電路之輸入及/或輸出的連接。晶粒可與互連堆疊中多個晶粒之介面中斷連接，或可將原本與此類介面不連接之晶粒連接到此介面。

Through silicon vias (TSVs) in a stacked multi-die integrated circuit package are controlled to assume different connection configurations as desired during field operation of the package in its normal mission mode. TSV connections may be reconfigured to connect an affected die in a manner different from, for example, a factory default connection of that die. TSV connections to the inputs and/or outputs of a die's native circuitry may be changed. A die may be disconnected altogether from an interface that interconnects dice in the stack, or a die that was originally disconnected from such an interface may be connected to the interface.



- 11 . . . 主晶粒
- 12 . . . 從晶粒
- 12A . . . 從晶粒
- 13 . . . 封裝基板
- 14 . . . 穿矽介層路由
- 15 . . . 穿矽介層路由控制器
- 17 . . . 穿矽介層路由控制器
- 18 . . . 穿矽介層
- 19 . . . 穿矽介層
- 100 . . . 連接
- 101 . . . 連接
- 102 . . . 控制器
- 103 . . . 外部封裝引腳

圖 1

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：99128670

※ 申請日：99 年 08 月 26 日

※IPC 分類：

H01L 23/50

H01L 23/50

H01L 21/768

H01L 21/768

一、發明名稱：(中文/英文)

在堆疊多晶片封裝中穿矽介層之重組態

RECONFIGURING THROUGH SILICON VIAS IN STACKED MULTI-DIE
PACKAGES

二、中文發明摘要：

控制在堆疊多晶粒積體電路封裝中之穿矽介層(TSV)，而在封裝於正常任務模式之現場操作時，顯露不同的連接組態。可重新組態穿矽介層連接，而以不同於例如晶粒工廠預設連接之方式，來連接受影響的晶粒。可改變穿矽介層與晶粒原生電路之輸入及/或輸出的連接。晶粒可與互連堆疊中多個晶粒之介面中斷連接，或可將原本與此類介面不連接之晶粒連接到此介面。

三、英文發明摘要：

Through silicon vias (TSVs) in a stacked multi-die integrated circuit package are controlled to assume different connection configurations as desired during field operation of the package in its normal mission mode. TSV connections may be reconfigured to connect an affected die in a manner different from, for example, a factory default connection of that die. TSV connections to the

inputs and/or outputs of a die's native circuitry may be changed. A die may be disconnected altogether from an interface that interconnects dice in the stack, or a die that was originally disconnected from such an interface may be connected to the interface.

四、指定代表圖：

(一)本案指定代表圖為：圖 1。

(二)本代表圖之元件符號簡單說明：

11	主晶粒
12	從晶粒
12A	從晶粒
13	封裝基板
14	穿矽介層路由器
15	穿矽介層路由控制器
17	穿矽介層路由控制器
18	穿矽介層
19	穿矽介層
100	連接
101	連接
102	控制器
103	外部封裝引腳

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無。

六、發明說明：

【相關申請案參照】

本案主張 2009 年 10 月 19 日申請之美國臨時申請案 61/252,865 號的優先權，其結合於此做為參考。

【發明所屬之技術領域】

本發明關於半導體積體電路裝置，且特別是關於由穿矽介層互連之堆疊式組態的多積體電路晶粒之封裝配置。

【先前技術】

傳統技術針對堆疊多晶粒封裝提供由穿矽介層互連的相鄰晶粒。針對冗餘目的，在各晶粒可提供一些備用的穿矽介層，藉此可替換任何製造時辨識出的故障穿矽介層。在完成初始製造程序後，就用不到晶粒上的備用穿矽介層。

因此，希望提供堆疊多晶粒封裝中備用穿矽介層的利用。

【發明內容】

因此，本發明實施例之一目的在於提供利用堆疊多晶粒封裝中備用穿矽介層的裝置、方法、以及系統。

根據本發明實施例之一廣泛觀點，提供一種積體電路晶粒裝置，包含複數介層，延伸穿過裝置，以提供對裝置之訊號的外部存取；以及路由器，耦接該些介層，路由器組態成造成該些介層顯露複數載訊組態之一所選載訊組態，其中於所選載訊組態中，該些介層之至少其中之一載有相關的至少一訊號，係

至少一介層在該些載訊組態的另一載訊組態中並未載有的。

較佳地，該些介層之至少另一個介層載有該些載訊組態的另一載訊組態中相關的至少一訊號。

有利地，本裝置包含控制器，耦接路由器，以提供指示所選載訊組態之控制訊號給路由器。

此外，控制器組態成用於接收指示所選載訊組態之資訊，以及因應此資訊提供控制訊號。

便利地，控制器耦接一組的該些介層，以經由該組的介層接收來自裝置之外部來源的資訊。

較佳地，路由器組態成用於從該組的介層路由資訊到控制器。

便利地，外部來源為另一積體電路晶粒裝置，係具有另外的複數介層延伸穿過以提供對此另一裝置之訊號的外部存取。

此外，該組的介層用於連接另一組的該些另外的複數介層，以接收資訊。

有利地，控制器用於自選擇所選載訊組態之外部控制器接收資訊。

有益地，控制器包含暫存器，用於儲存控制訊號。

此外，該組的介層耦接控制器，而從控制器到另一積體電路晶粒裝置之另一控制器，轉移指示由另外的複數介層可顯露的複數載訊組態之所選載訊組態之資訊，另外的複數介層係延伸穿過另一裝置，並提供對另一裝置之訊號的外部存取。

較佳地，本裝置包含原生(native)電路，耦接路由器，且其中於該些載訊組態之各個中，路由器將個別訊號從原生電路之個別部分路由到該些介層中的同一個。

根據本發明另一廣泛觀點，提供一種積體電路晶粒操作之方法，包含造成延伸穿過晶粒並提供對晶粒之訊號的外部存取之複數介層，顯露第一載訊組態；以及造成該些介層顯露第二載訊組態，其中於第一載訊組態中，該些介層之至少其中之一載有相關的至少一訊號，係至少一介層在第二載訊組態中並未載有的。

較佳地，第一載訊組態及第二載訊組態分別將訊號從晶粒之原生電路之個別部分路由(route)到該些介層的同一個。

根據本發明又另一廣泛觀點，提供一種堆疊的積體電路裝置，包含複數積體電路晶粒裝置，各積體電路晶粒裝置包含複數介層，延伸穿過以提供對積體電路晶粒裝置之訊號的外部存取，複數積體電路晶粒裝置係堆疊配置，而使各積體電路晶粒裝置之該些介層分別連接相鄰積體電路晶粒裝置之該些介層；

以及各積體電路晶粒裝置包含路由器，耦接相關的該些介層，並組態成造成相關的該些介層顯露出一訊號連接組態，其中相關的積體電路晶粒裝置之原生電路藉由相關的該些介層之所選介層連接，以與相鄰的積體電路晶粒裝置訊號相通，各路由器更組態成造成相關的該些介層顯露出一訊號中斷組態，其中相關的積體電路晶粒裝置之原生電路並未連接成與相鄰的積體電路晶粒裝置訊號相通。

較佳地，本裝置包含封裝基板，耦接一個積體電路晶粒裝置。

根據本發明另一廣泛觀點，提供一種堆疊的積體電路裝置，包含複數積體電路晶粒裝置；各積體電路晶粒裝置包含複數介層，延伸穿過以提供對積體電路晶粒裝置之訊號的外部存取，複數積體電路晶粒裝置係堆疊配置，而使各積體電路晶粒裝置之該些介層分別連接相鄰積體電路晶粒裝置之該些介層，各積體電路晶粒裝置包含路由器，耦接相關的該些介層，並組態成造成相關的該些介層顯露複數載訊組態之一所選載訊組態，其中於所選載訊組態中，相關的該些介層之至少其中之一載有相關的至少一訊號，係至少一介層在該些載訊組態的另一載訊組態中並未載有的。

較佳地，本裝置包含封裝基板，耦接一個積體電路晶粒裝置。

根據本發明另一廣泛觀點，提供一種操作複數堆疊的積體

電路晶粒裝置之方法，其中各積體電路晶粒裝置包含複數介層，延伸穿過以提供對積體電路晶粒裝置之訊號的外部存取，以及其中各積體電路晶粒裝置之該些介層分別連接相鄰積體電路晶粒裝置之該些介層，本方法包含：造成一個積體電路晶粒裝置之該些介層顯露出一訊號連接組態，其中該個積體電路晶粒裝置之原生電路藉由該些介層之所選介層連接，以與相鄰的積體電路晶粒裝置訊號相通；以及造成該個積體電路晶粒裝置之該些介層顯露出一訊號中斷組態，其中該個積體電路晶粒裝置之原生電路並未連接成與相鄰的積體電路晶粒裝置訊號相通。

有利地，第一次提及的造成，導致一個積體電路晶粒裝置連接到介面，該介面係互連至少一些其餘的積體電路晶粒裝置，且在第一次提及的造成之前，該個積體電路晶粒裝置係不連接該些其餘的積體電路晶粒裝置。

便利地，第二次提及之造成，導致至少一些其餘的積體電路晶粒裝置其中之一與介面不連接。

較佳地，最後提及之造成，導致該個積體電路晶粒裝置與介面不連接，該介面係互連至少一些其餘的積體電路晶粒裝置。

根據本發明另一廣泛觀點，提供一種系統，包含堆疊的積體電路裝置，包含複數積體電路晶粒裝置，各積體電路晶粒裝置包含複數介層，延伸穿過以提供對積體電路晶粒裝置之訊號的外部存取，複數積體電路晶粒裝置係堆疊配置，而使各積體電路晶粒裝置之該些介層分別連接相鄰積體電路晶粒裝置之該

些介層，各積體電路晶粒裝置包含路由器，耦接相關的該些介層，並組態成造成相關的該些介層顯露複數載訊組態之一所選載訊組態，其中於所選載訊組態中，相關的該些介層之至少其中之一載有相關的至少一訊號，係至少一介層在該些載訊組態的另一載訊組態中並未載有的；以及電子電路，提供於堆疊的積體電路裝置之外部，並耦接而與其通訊。

較佳地，堆疊的積體電路裝置實施資料處理功能及資料儲存功能其中之一，且電子電路可與資料處理功能及資料儲存功能其中之一合作。

根據本發明又另一廣泛觀點，提供一種系統，包含堆疊的積體電路裝置，包含複數積體電路晶粒裝置，各積體電路晶粒裝置包含複數介層，延伸穿過以提供對積體電路晶粒裝置之訊號的外部存取，複數積體電路晶粒裝置係堆疊配置，而使各積體電路晶粒裝置之該些介層分別連接相鄰積體電路晶粒裝置之該些介層，各該積體電路晶粒裝置包含路由器，耦接相關的該些介層，並組態成造成相關的該些介層顯露出一訊號連接組態，其中相關的積體電路晶粒裝置之原生電路藉由相關的該些介層之所選介層連接，以與相鄰的積體電路晶粒裝置訊號相通，各路由器更組態成造成相關的該些介層顯露出一訊號中斷組態，其中相關的積體電路晶粒裝置之原生電路並未連接成與相鄰的積體電路晶粒裝置訊號相通；以及電子電路，提供於堆疊的積體電路裝置之外部，並耦接而與其通訊。

有利地，堆疊的積體電路裝置實施資料處理功能及資料儲

存功能其中之一，且電子電路可與資料處理功能及資料儲存功能其中之一合作。

應注意，針對本發明實施例目的，路由器包含切換器、多工器、或任何此領域所知用於選擇性將複數輸入之一連接到輸出埠的手段。

【實施方式】

提供本發明範例實施例，其利用可由可程式化暫存器控制的路由器，造成堆疊多晶粒封裝中之穿矽介層根據所需顯露不同連接組態。於各種實施例中，重新組態晶粒間或晶粒與基板間的連接。藉由改變儲存於暫存器中的值，在封裝於正常任務模式之現場操作時，使用者可以不同於例如工廠預設連接之方式，來連接受影響的晶粒。舉例而言，穿矽介層與晶粒原生電路之輸入及/或輸出(I/O)的連接可改變，晶粒可完全與堆疊中斷連接，或可連接在工廠預設組態下原本與堆疊不連接的晶粒。

圖 1 概略顯示根據本發明範例實施例含有堆疊積體電路晶粒之多晶片封裝。主晶粒 11 連接封裝的外部端子(例如封裝引腳)。一個或更多的從晶粒可堆疊於主晶粒 11 頂上。(雖然於圖 1 之概略圖中並未明確顯示實體堆疊，但熟此技藝者應會了解。)圖 1 明確顯示從晶粒(slave die)12，其定位於堆疊中並與主晶粒(master die)11 實體相對。中介堆疊從晶粒 12 總括地表示於 12A。虛線 100 表示主晶粒 11 之穿矽介層以及與主晶粒 11 相鄰之從晶粒 12 的個別軸向對準穿矽介層之間的連接。虛線 101 表示從晶粒 12 之穿矽介層以及與從晶粒 12 相鄰之從晶粒之個別

軸向對準穿矽介層之間的連接。並未明確顯示於 12A 相鄰之中介堆疊從晶粒之間的連接。積體電路晶粒與各對彼此電連接之相鄰晶粒之個別軸向對準穿矽介層的封裝堆疊為熟此技藝者所知的。

典型地，在各晶粒上製造一些穿矽介層，並延伸穿過晶粒，而連接分別在晶粒相對側之相鄰晶粒的穿矽介層。藉由設計選擇穿矽介層子組，而供堆疊中晶粒之間的訊號及/或電源連接。本發明範例實施例利用既不是分配用於晶片設計又不是用於替換故障穿矽介層之剩餘(備用)穿矽介層。這些備用穿矽介層在未來適合用於建立不同的連接組態。

圖 1 中的主晶粒 11 經由封裝基板 13(於一些實施例中為印刷電路板)連接封裝的多晶粒堆疊之外部端子。主晶粒 11 包含穿矽介層 18、穿矽介層路由器 14、穿矽介層路由控制器 15、以及施行主晶粒 11 正常功能性的原生電路。從晶粒 12 包含穿矽介層 19、穿矽介層路由器 14、穿矽介層路由控制器 17、及其本身的原生電路。

圖 2 概略更詳細顯示根據本發明範例實施例之穿矽介層路由器 14。路由器 14 包含預設埠，係連接到晶片設計所指派之晶粒的穿矽介層，以載送堆疊多晶粒封裝要執行操作所需的訊號及電源。這些穿矽介層於此亦稱為預設穿矽介層。此設計亦可分配預設穿矽介層，以透過晶粒轉移訊號及/或電源，而供在晶粒相對側上的相鄰晶粒使用。路由器 14 更包含原生電路埠，用以與晶粒的原生電路介接。於原本製造晶粒時的初始預設組態

中，路由器 14 在預設埠及原生電路埠之間實施適當的連接，而根據需要將預設穿矽介層連接到原生電路。

應注意，為了本發明實施例目的，路由器包含切換器、多工器、或任何此領域所知用於選擇性將複數輸入之一連接到輸出埠的手段。

迄今，除了在初始製造時剩餘的備用穿矽介層可用於冗餘目的來替換製造程序期間辨識出的故障穿矽介層，剩餘的備用穿矽介層尚未被使用。根據本發明實施例，路由器 14 包含連接備用穿矽介層的重分配埠。因此，在堆疊多晶粒封裝於正常任務模式之現場操作時，這些備用穿矽介層可用於堆疊多晶粒封裝內的重組態連接及/或組態新的連接。

圖 2 亦顯示於各種實施例中，路由控制器(見圖 1 的 15 及 17)可經由路由器 14(見虛線)或藉由專屬連接 21 連接相關晶粒的預設穿矽介層。於控制器中的可程式化暫存器可經由穿矽介層存取，並用於經由控制連接 22 控制路由器 14，而針對重新連接或中斷已經連接的訊號，或建立先前並未存在的連接，來分配備用穿矽介層。

圖 3 顯示主晶粒 11 及數個從晶粒 12(亦表示為從晶粒 1-n)，其路由控制器經由包含互連晶粒的穿矽介層之專屬鏈結而互連。於一些實施例，專屬鏈結可為從主控制器 15 到各從控制器 17 的個別分開的連接形式。此由圖 3 的虛線連接所表示。於一些實施例，單一並聯鏈結將主控制器連接到共享匯流排 31 上

的所有從控制器。於具有分離控制器互連的虛線實施例中，主控制器 11 具有一些分別的埠，各個針對一個從控制器 17。因此，這些實施例僅容納該些數量的從晶粒。另一方面，共享匯流排實施例容納像位址識別為從晶粒一樣多的從晶粒。因此，可支援的從晶粒的數量僅根據共享匯流排 31 所支援的裝置位址場的寬度而定。

一些實施例藉由以對應破壞既存連接及/或建立新的連接之特定值，程式化相關路由控制器之一個或更多暫存器，來重新分配晶粒的穿矽介層。一般而言，使用者程式化連接值到堆疊中之晶粒(例如主晶粒)之路由控制器的暫存器，而影響堆疊中其他晶粒的對應暫存器。以此方式，可協調在堆疊中所有晶粒間的穿矽介層連接組態。

參考圖 3，於一些實施例中，使用者使用指定的命令來重新程式化主晶粒 11 的適當路由控制器暫存器，其連接到外部封裝引腳 103，以自外部控制器 102(亦參見圖 1)接收使用者命令。於一些實施例，於 103 的連接是經由主晶粒 11 的穿矽介層、封裝基板、以及外部封裝端子。於主晶粒上，原生電路具有連接到路由控制器 15 的埠 38，並用於對其中暫存器的讀取/寫入存取。於一些實施例，穿矽介層控制器 15 使用穿矽介層路由控制器鏈結(例如共享匯流排 31)，而將新寫入的暫存器值(或所希望的穿矽介層組態所需的對應值)，複製到涉及穿矽介層連接所需重組態之任何從晶粒(晶粒群)的路由控制器暫存器。主晶粒 11 的路由控制器 15 從命令中所含的資訊來決定應寫入其暫存器及受影響的從晶粒控制器 17 的暫存器的適當值，以實現堆疊所需

的穿矽介層組態。

圖 4 顯示根據本發明範例實施例既存連接的重新組態。圖 4 的上部顯示晶粒堆疊，其具有在製造時全部可用的在役(in-service)穿矽介層子組(圖 4 粗黑的在役穿矽介層線)。有時於用於任務模式時，可重新組態晶粒堆疊的備用穿矽介層連接，以使用除了圖 4 下部中原本的在役穿矽介層(如不同粗黑在役穿矽介層線所示)。一般而言，發出命令給一個或更多的路由控制器之程式暫存器，然後造成相關的穿矽介層路由器重新指派相關的連接。此在一些實施例中以獨特的命令進行，例如圖 5 所示。命令具有需要的裝置位址(DA)以及命令資訊(CMD)。於一些實施例中，暫存器可如圖 5a 相關說明般讀取，或如圖 5b 相關說明般寫入。針對暫存器寫入(程式化)操作，一些實施例成對供應暫存器位址及其對應寫入資料。藉由供應目標暫存器位址及資料，控制器不必像其他可寫入暫存器類型所需般針對暫存器群組織所有現場發出正確資料。因此，控制器避免開銷(overhead)，例如維持所有既存暫存器值的地圖，或針對後續重新程式化而讀取暫存器值。

圖 5a 顯示根據本發明範例實施例用於讀取穿矽介層分配暫存器的命令。於一些實施例，命令封包遵循習知的協定。具體而言，命令選通輸入(command strobe input(CSI))為高，驅動裝置位址，接著命令位元組、以及暫存器位址位元組到匯流排(例如圖 3 的共享匯流排 31)。藉此引發目標裝置去讀取穿矽介層分配暫存器，其係從命令封包中所給的位置的暫存器開始。

過了預定時間後(於典型裝置資料表中通常稱 tCDS)，控制器宣告資料選通輸入(DSI)，其發訊通知目標裝置以目前暫存器資料驅動匯流排，其係從命令封包中所指明的位址開始。目標裝置內在遞增其位址指標，並自接續的暫存器位址驅出資料，只要 DSI 為高或直到達到暫存器位址空間的末端。如此構成品粒對命令的響應，由在 DSI 宣告後匯流排活動所示。

圖 5b 顯示根據本發明範例實施例用於改變多晶片封裝中穿矽介層分配的命令封包。於一些實施例，命令封包遵循如圖 5a 所示的習知協定，並包含裝置位址、接著命令位元組、接著是位址/資料位元組對。暫存器位址及對應資料係成對提供，且於各種實施例中長度可各為一個位元組或更多。細節係根據裝置設計參數而定，且於裝置資料表中指明。舉例而言，具有更多穿矽介層的裝置可能比利用較少穿矽介層的裝置需要更長位元組數的位址及資料欄。各位址欄表示分配暫存器集合中獨特的暫存器，其含有關於送到穿矽介層的訊號分配資訊。提供於命令封包資料欄的資料覆寫在指定分配暫存器中的資料，藉此實施新的穿矽介層/訊號分配。

連接先前並未連接的原生晶粒電路的範例實施例概略顯示於圖 6。穿矽介層可用於連接到堆疊封裝子電路(通常表示為 Cctl-Cctn)，其在預設製造組態中並未連接，或是與預設製造組態中連接的堆疊封裝所選子電路中斷連接。

圖 7 概略地顯示根據本發明範例實施例自堆疊加入/移除晶粒，或自環架構加入/移除晶粒。舉例而言，堆疊記憶體封裝可

具有其中一個晶粒從記憶體介面或環架構移除，或可含有在未來可加入介面/環的「備用」晶粒。圖 7 中的晶粒 0 可為主晶粒 11，而其餘晶粒(晶粒 1-晶粒 3)則為從晶粒 12。圖 7 顯示從圖 7a 的介面/環組態移除上面(圖 7b)或中間(圖 7c)的晶粒之狀況。於一些實施例，使用者操作外部控制器 102(亦參見圖 1 及圖 3)，以發出合適的命令，造成受影響的晶粒之穿矽介層路由器改變晶粒目前的穿矽介層組態，其係藉由從晶粒的原生電路中斷在目前組態連接到原生電路中所選擇的晶粒穿矽介層的連接。於一些實施例，外部控制器 102 因應作業系統(OS)或控制器微碼偵測到封裝的預定狀況，而自動發出命令。

圖 8a 顯示根據本發明範例實施例含有「備用」晶粒(晶粒 3)之裝置堆疊，備用晶粒可選擇性地由使用者或由自動軟體/硬體控制連接。範例應用為多晶片封裝快閃記憶體裝置，其含有一個或更多的備用快閃晶粒。若需要更多的記憶體容量，可將備用晶粒加入介面/環，如圖 8b 所示。於另一範例，當圖 8a 中的一個晶粒故障時，可移除故障晶粒並以備用晶粒替換，藉此最終達到圖 7c 所示的組態，並延長多晶片封裝的使用壽命。於各種實施例中，晶粒替換程序可藉由在特定晶粒中達到臨界值的錯誤來觸發、藉由晶粒原生電路中預定數量子電路失效來觸發、或藉由特定子電路失效來觸發。當偵測到此狀況時，合適的命令(或命令組)造成備用晶粒及失效晶粒的穿矽介層路由器，參與適當補救程序的執行，例如：(1)將備用晶粒連接到介面/環；(2)將資料從失效晶粒轉移到備用晶粒；以及(3)將失效晶粒與介面/環中斷連接。

圖 9 概略顯示根據範例實施例之系統。舉例而言，耦接多晶粒堆疊封裝 91(例如上述圖 1-圖 8b 所述的封裝)，而與外部電子電路 92 通訊。於一些實施例，封裝 91 實施資料存儲功能，例如快閃記憶體功能。於一些實施例，封裝 91 實施任何所希望的特殊應用功能，例如數位資料處理。於各種實施例中，電子電路 92 可為任何利用及/或控制封裝 91 所實施的功能的電路集合，例如與封裝 91 所實施之資料存儲功能合作的記憶體控制器，以及可實施如上述圖 1-圖 8 所述之控制器 102 的功能。

雖然已詳細說明範例實施例，但此並不用於限制本發明範疇，本發明可以各式各樣的實施例來實施。

【圖式簡單說明】

圖 1 概略顯示根據本發明範例實施例之堆疊多晶粒封裝裝置。

圖 2 概略更詳細顯示根據本發明範例實施例圖 1 之穿矽介層路由器。

圖 3 概略顯示根據本發明範例實施例在堆疊多晶粒封裝裝置之晶粒內穿矽介層路由控制器之間的通訊鏈結。

圖 4 概略顯示根據本發明範例實施例由堆疊多晶粒封裝裝置所支持的穿矽介層重分配之範例。

圖 5a 及圖 5b 為根據本發明範例實施例分別與讀取及寫入堆疊多晶粒封裝裝置之穿矽介層路由控制器中之暫存器的訊號操作之時序圖。

圖 6 概略更詳細顯示根據本發明範例實施例於堆疊多晶粒封裝裝置內之從晶粒。

圖 7a 至圖 8b 概略顯示根據本發明範例實施例於堆疊多晶粒封裝裝置中晶粒級連接的重組態範例。

圖 9 概略顯示根據本發明範例實施例包含堆疊多晶粒封裝裝置之系統。

【主要元件符號說明】

11	主晶粒
12	從晶粒
12A	從晶粒
13	封裝基板
14	穿矽介層路由器
15	穿矽介層路由控制器
17	穿矽介層路由控制器
18	穿矽介層
19	穿矽介層
21	專屬連接
22	控制連接
31	共享匯流
38	埠
91	多晶粒堆疊封裝
92	外部電子電路
100	連接
101	連接
102	外部控制器
103	外部封裝引腳

七、申請專利範圍：

1. 一種積體電路晶粒，包含：

第一複數介層，延伸穿過該晶粒，以提供對該晶粒之訊號的外部存取；以及

一路由器，耦接該第一複數介層，該路由器組態成造成該第一複數介層顯露複數載訊組態之一所選載訊組態，

其中於該所選載訊組態中，該第一複數介層之至少其中之一載有至少一訊號，係該至少一介層在該些載訊組態的另一載訊組態中並未載有的。

2. 如申請專利範圍第 1 項所述之晶粒，其中該第一複數介層之至少另一個載有該些載訊(signal-carrying)組態的該另一載訊組態中的該至少一訊號。

3. 如申請專利範圍第 1 項所述之晶粒，包含一控制器，耦接該路由器，以提供指示該所選載訊組態之一控制訊號給該路由器。

4. 如申請專利範圍第 3 項所述之晶粒，其中該控制器組態成用於接收指示該所選載訊組態之資訊，以及因應該資訊提供該控制訊號。

5. 如申請專利範圍第 4 項所述之晶粒，其中該控制器耦接第一組的該第一複數介層，以經由該第一組的介層接收來自該晶粒之一外部來源的該資訊。

6. 如申請專利範圍第 5 項所述之晶粒，其中該路由器組態成用於從該第一組的介層路由該資訊到該控制器。
7. 如申請專利範圍第 5 項所述之晶粒，其中該外部來源包含一第二積體電路晶粒，該第二積體電路晶粒具有第二複數介層延伸穿過以提供對該第二積體電路晶粒之訊號的外部存取。
8. 如申請專利範圍第 7 項所述之晶粒，其中該第一組的介層用於連接一第二組的該第二複數介層，以接收該資訊。
9. 如申請專利範圍第 4 項所述之晶粒，其中該控制器用於自選擇該所選載訊組態之一外部控制器接收該資訊。
10. 如申請專利範圍第 3 項所述之晶粒，其中該控制器包含一暫存器，用於儲存該控制訊號。
11. 如申請專利範圍第 3 項所述之晶粒，其中該第一組的該第一複數介層耦接該控制器，而從該控制器到一第二積體電路晶粒之一第二控制器，轉移指示由第二複數介層可顯露的複數載訊組態中所選載訊組態之資訊，該第二複數介層係延伸穿過該第二積體電路晶粒，並提供對該第二積體電路晶粒之訊號的外部存取。
12. 如申請專利範圍第 1 項所述之晶粒，包含原生電路，耦接該路由器，且其中於該些載訊組態之各個中，該路由器將個別訊號從該原生電路之個別部分路由到該第一複數介層之同一

個。

13. 一種積體電路晶粒操作之方法，包含：

造成延伸穿過一晶粒，並利用一路由器提供對該晶粒之訊號的外部存取之複數介層，以顯露一第一載訊組態；以及

利用該路由器造成該些介層顯露一第二載訊組態，

其中於該第一載訊組態中，該些介層之至少其中之一載有一相關的至少一訊號，係該至少一介層在該第二載訊組態中並未載有的。

14. 如申請專利範圍第 13 項所述之方法，其中該第一載訊組態及該第二載訊組態分別將訊號從該晶粒之原生電路之個別部分路由到該些介層的一個。

15. 一種堆疊的積體電路裝置，包含：

複數積體電路晶粒，各該積體電路晶粒包含：

複數介層，延伸穿過以提供對該積體電路晶粒之訊號的外部存取，該複數積體電路晶粒係堆疊配置，而使各該積體電路晶粒之介層連接一相鄰積體電路晶粒之介層；以及

一路由器，耦接相關的該些介層，並組態成：

造成相關的該些介層顯露出一訊號連接組態，其中該積體電路晶粒之原生電路藉由相關的該些介層之所選介層連接，以與該相鄰積體電路晶粒訊號相通；以及

造成相關的該些介層顯露出一訊號中斷組態，其中

該積體電路晶粒之該原生電路並未連接成與該相鄰積體電路晶粒訊號相通。

16. 如申請專利範圍第 15 項所述之裝置，包含一封裝基板，耦接該些積體電路晶粒其中之一。

17. 一種堆疊的積體電路裝置，包含：

如請求項 1 所述之複數積體電路晶粒；

該複數積體電路晶粒係堆疊配置，而使各該積體電路晶粒之介層連接一相鄰積體電路晶粒之介層。

18. 如申請專利範圍第 17 項所述之裝置，包含一封裝基板，耦接該些積體電路晶粒其中之一。

19. 一種操作複數堆疊的積體電路晶粒之方法，其中各該積體電路晶粒包含複數介層，延伸穿過以提供對該積體電路晶粒之訊號的外部存取，以及其中各該積體電路晶粒之介層分別連接一相鄰積體電路晶粒之該些介層，該方法包含：

造成至少一個積體電路晶粒之該些介層顯露出一訊號連接組態，其中該至少一積體電路晶粒之原生電路藉由該些介層之所選介層連接，以與該相鄰積體電路晶粒訊號相通；以及

造成該至少一個積體電路晶粒之該些介層顯露出一訊號中斷組態，其中該至少一個積體電路晶粒之該原生電路並未連接成與該相鄰積體電路晶粒訊號相通。

20. 如申請專利範圍第 19 項所述之方法，其中該訊號連接組態

包含一個該積體電路晶粒到一介面的連接，該介面係互連至少一些其餘的該些積體電路晶粒，且在一先前組態中，該個積體電路晶粒係從該介面中斷連接。

21. 如申請專利範圍第 20 項所述之方法，其中該訊號中斷組態包含從該介面中斷與該些其餘的積體電路晶粒至少其中之一的連接。

22. 如申請專利範圍第 19 項所述之方法，其中該訊號中斷組態包含從一介面中斷與該個積體電路晶粒的連接，該介面係互連至少一些其餘的該些積體電路晶粒。

23. 一種電子系統，包含：

如請求項 17 所述之一堆疊的積體電路裝置；以及
電子電路，提供於該堆疊的積體電路裝置之外部，並耦接而與其通訊。

24. 如申請專利範圍第 23 項所述之電子系統，其中該堆疊的積體電路裝置實施資料處理功能及資料儲存功能其中之一，且該電子電路可與該資料處理功能及該資料儲存功能其中之該一合作。

25. 一種電子系統，包含：

如請求項 15 所述之一堆疊的積體電路裝置；以及
電子電路，提供於該堆疊的積體電路裝置之外部，並耦接而與其通訊。

26. 如申請專利範圍第 25 項所述之系統，其中該堆疊的積體電路裝置實施資料處理功能及資料儲存功能其中之一，且該電子電路可與該資料處理功能及該資料儲存功能其中之一之該一合作。

八、圖式：

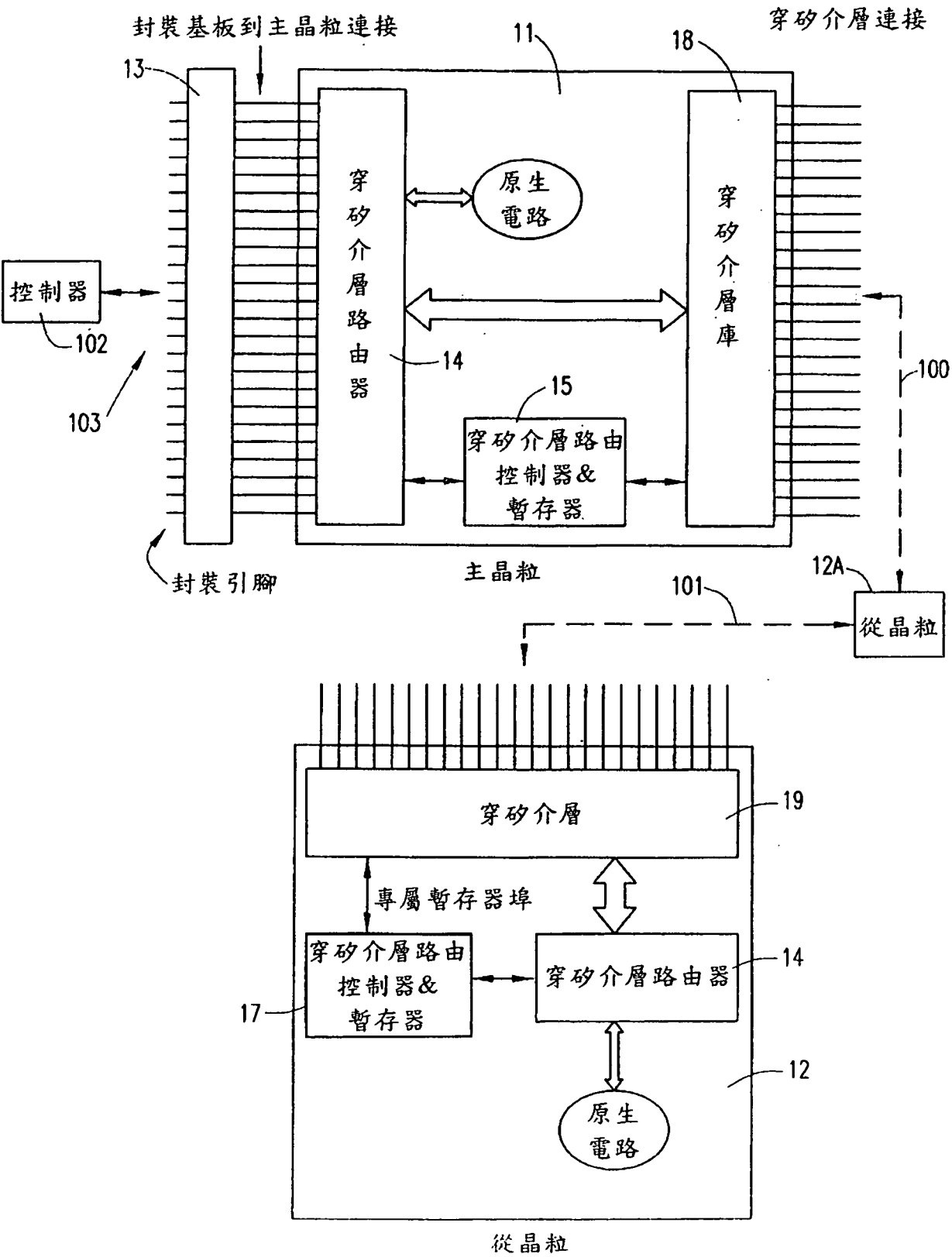


圖 1

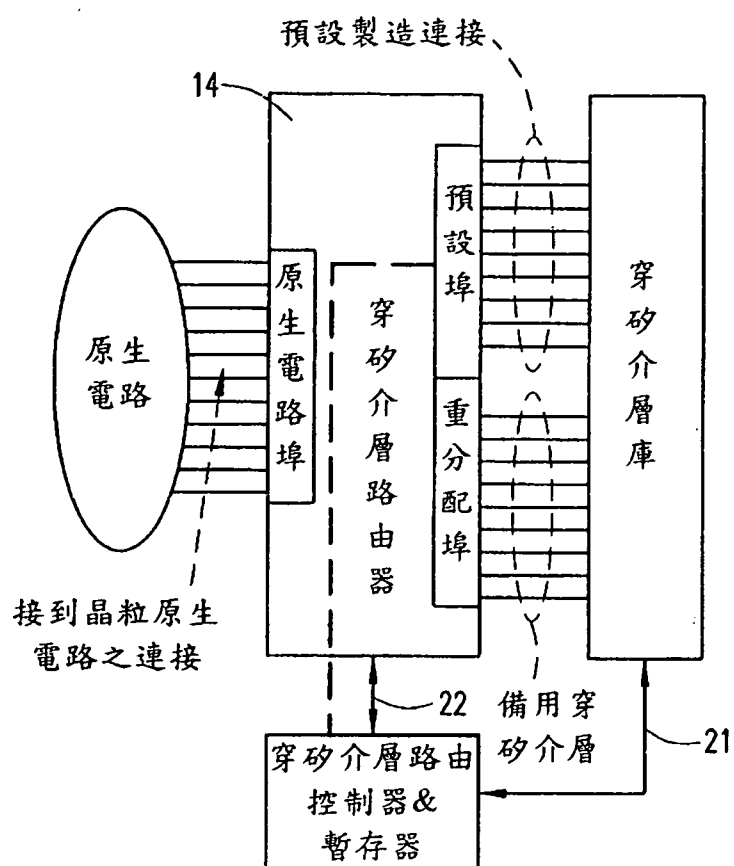


圖2

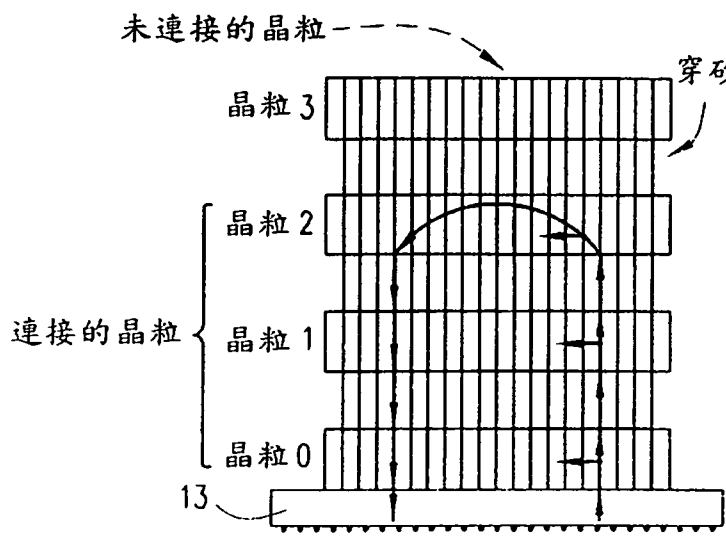


圖 8a

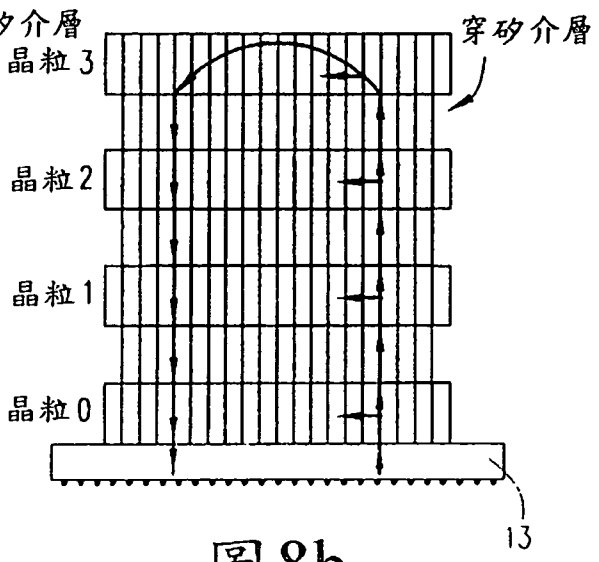


圖 8b

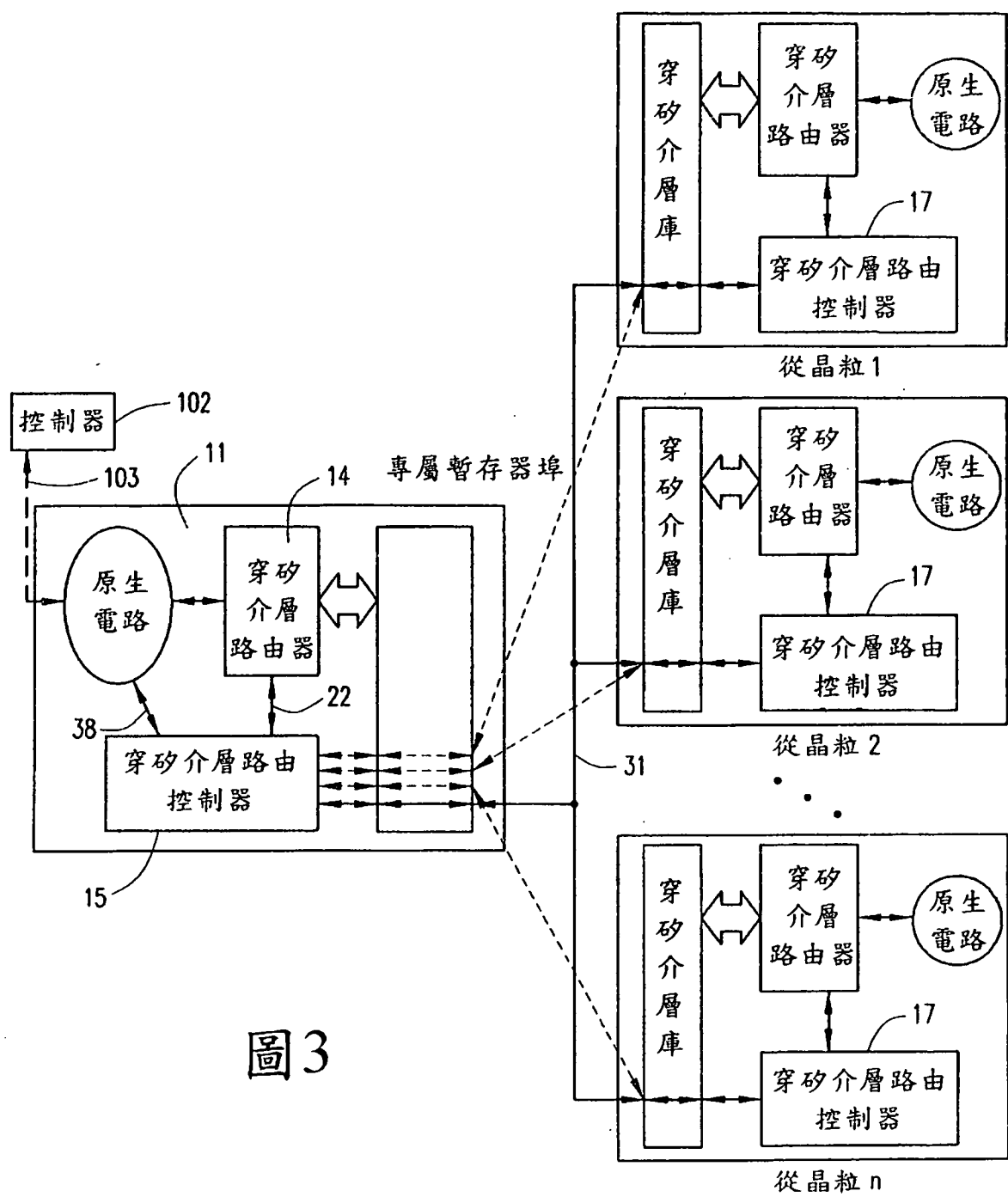


圖 3

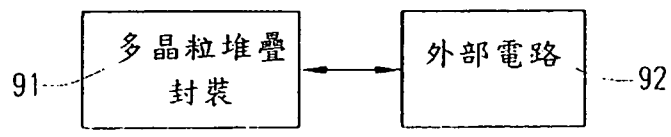


圖 9

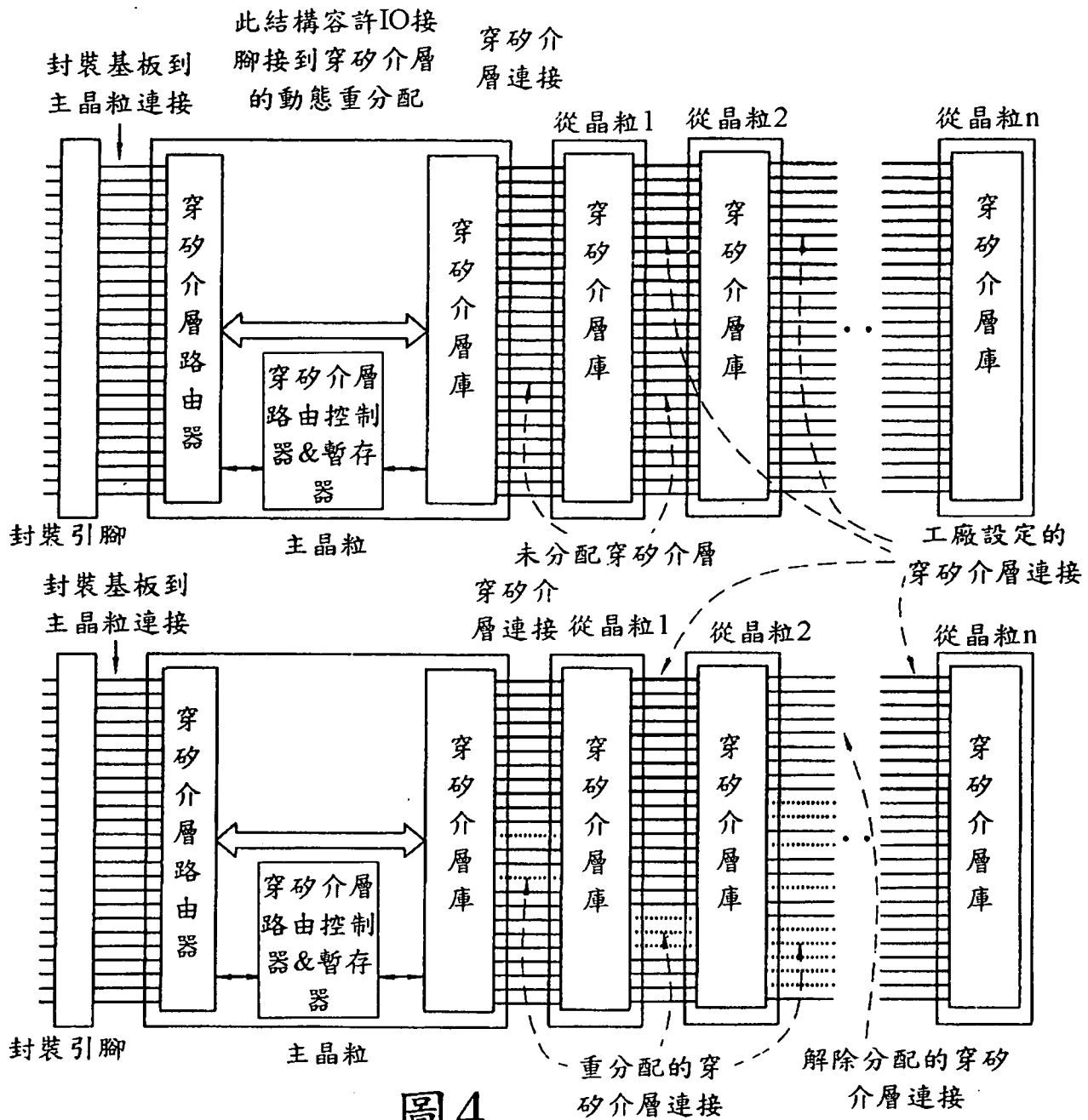


圖4

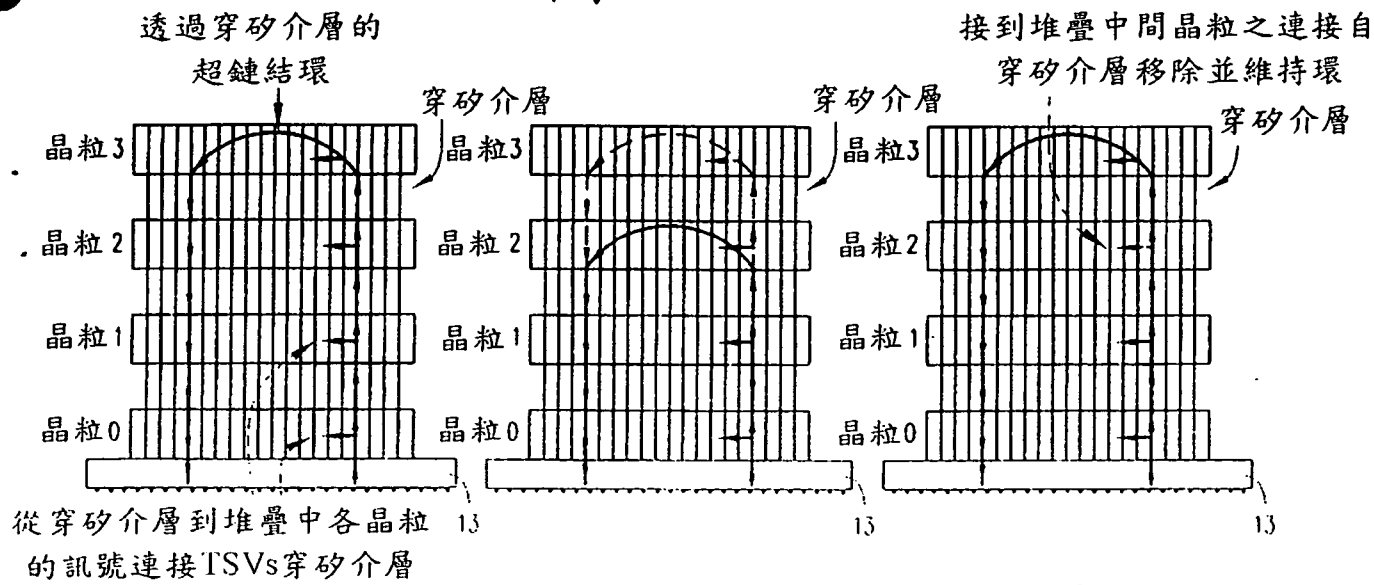


圖7a

圖7b

圖7c

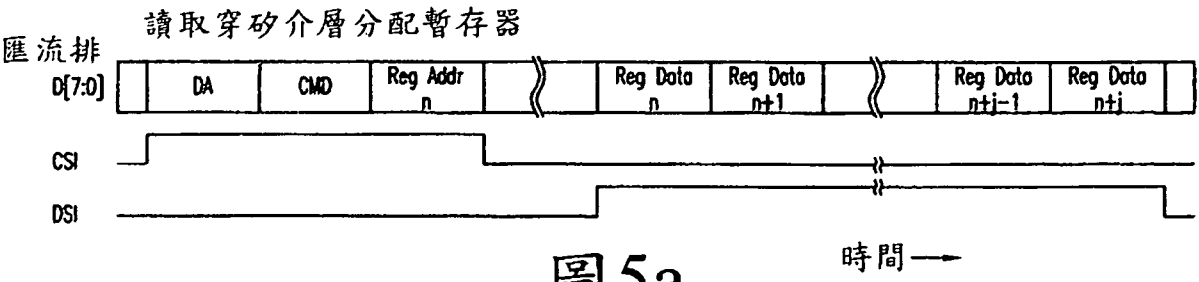


圖 5a

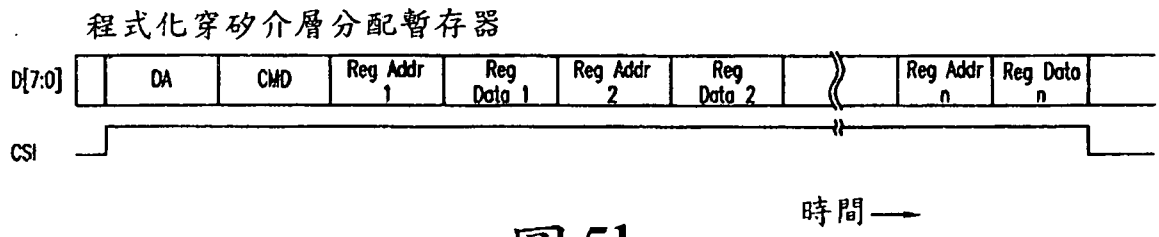


圖 5b

此結構容許動態重分配穿矽介層到晶粒上一些或全部電路

穿矽介層連接

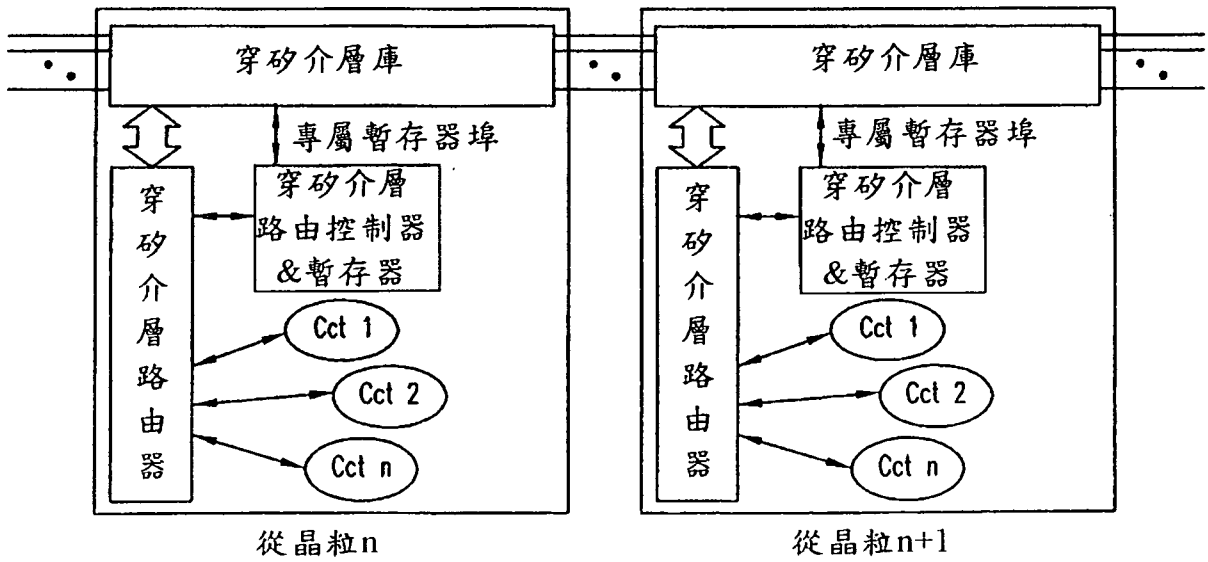


圖 6