

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-132852

(P2012-132852A)

(43) 公開日 平成24年7月12日(2012.7.12)

(51) Int. Cl.		F I			テーマコード (参考)	
GO 1 R	19/00	(2006.01)	GO 1 R	19/00	B	2 G 0 3 5
HO 1 M	10/48	(2006.01)	HO 1 M	10/48	P	5 G 5 0 3
HO 2 J	7/00	(2006.01)	HO 2 J	7/00	Q	5 H 0 3 0

審査請求 未請求 請求項の数 13 O L (全 16 頁)

(21) 出願番号	特願2010-286756 (P2010-286756)	(71) 出願人	000006220
(22) 出願日	平成22年12月22日 (2010.12.22)		ミツミ電機株式会社
			東京都多摩市鶴牧2丁目11番地2
		(74) 代理人	100070150
			弁理士 伊東 忠彦
		(72) 発明者	西澤 昭宏
			東京都多摩市鶴牧2丁目11番地2 ミツ
			ミツミ電機株式会社内
		(72) 発明者	武田 貴志
			東京都多摩市鶴牧2丁目11番地2 ミツ
			ミツミ電機株式会社内
		Fターム(参考)	2G035 AB03 AC01 AD03 AD08 AD10
			AD13 AD17 AD20 AD23 AD27
			AD28 AD44 AD61 AD65
			5G503 BA03 EA09
			5H030 AA03 AA04 AS20 FF44

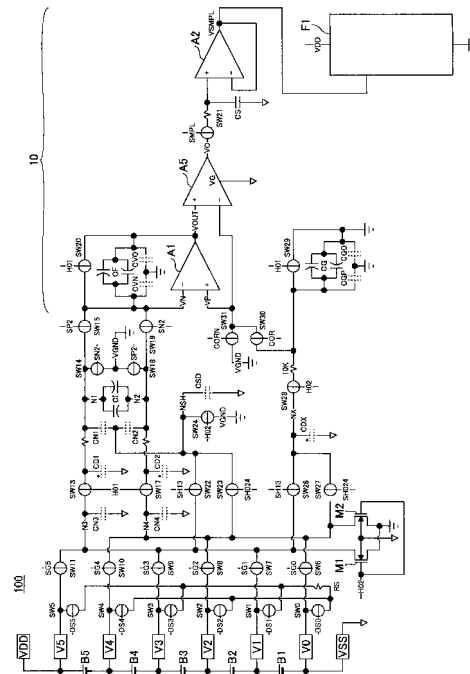
(54) 【発明の名称】 フライングキャパシタ式電圧検出回路及び電池保護用集積回路

(57) 【要約】

【課題】 寄生容量の影響を軽減し、フライングキャパシタをICに内蔵することが可能な、フライングキャパシタ式電圧検出回路を提供すること。

【解決手段】 フライングキャパシタC Iと、組電池を構成する単電池によってフライングキャパシタC Iが充電される向きを、前記単電池毎に反転させる第1のスイッチ回路と、フライングキャパシタC Iを放電させる第2のスイッチ回路と、フライングキャパシタC Iの両電極間の電位差に応じた信号を出力する出力回路10とを備える、フライングキャパシタ式電圧検出回路であって、前記両電極との間の寄生容量が均一になるように前記両電極の周りに配置されたシールド部NSHと、前記両電極とシールド部NSHとの間の電位差をフライングキャパシタC Iの充電タイミングと放電タイミングとで等しくする電位差調整回路とを備えることを特徴とする、フライングキャパシタ式電圧検出回路。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

フライングキャパシタと、

組電池を構成する単電池によって前記フライングキャパシタが充電される向きを、前記単電池毎に反転させる第 1 のスイッチ回路と、

前記フライングキャパシタを放電させる第 2 のスイッチ回路と、

前記フライングキャパシタの両電極間の電位差に応じた信号を出力する出力回路とを備える、フライングキャパシタ式電圧検出回路であって、

前記両電極との間の寄生容量が均一になるように前記両電極の周りに配置されたシールド部と、

前記両電極と前記シールド部との間の電位差を前記フライングキャパシタの充電タイミングと放電タイミングとで等しくする電位差調整回路とを備えることを特徴とする、フライングキャパシタ式電圧検出回路。

【請求項 2】

前記シールド部は、互いに電位を等しくした第 1 のシールド電極と第 2 のシールド電極とを有し、

前記フライングキャパシタの両電極は、前記第 1 のシールド電極と前記第 2 のシールド電極との間に配置された、請求項 1 に記載のフライングキャパシタ式電圧検出回路。

【請求項 3】

前記フライングキャパシタは、

前記第 1 のシールド電極に対向する第 1 のキャパシタ電極と、前記第 2 のシールド電極に対向する第 2 のキャパシタ電極とによって構成された第 1 のキャパシタと、

前記第 1 のシールド電極に対向し且つ前記第 2 のキャパシタ電極と電位を等しくした第 3 のキャパシタ電極と、前記第 2 のシールド電極に対向し且つ前記第 1 のキャパシタ電極と電位を等しくした第 4 のキャパシタ電極とによって構成された第 2 のキャパシタとを有する、請求項 2 に記載のフライングキャパシタ式電圧検出回路。

【請求項 4】

前記第 1 のシールド電極は、基板の表面に形成された拡散層であり、前記第 2 のシールド電極は、前記基板の上に形成された導体層である、請求項 2 又は 3 に記載のフライングキャパシタ式電圧検出回路。

【請求項 5】

前記シールド部は、

前記第 1 のキャパシタ電極及び前記第 3 のキャパシタ電極が形成されている層と同じ層に、前記第 1 のシールド電極及び前記第 2 のシールド電極と電位を等しくした導体層を有し、

前記第 2 のキャパシタ電極及び前記第 4 のキャパシタ電極が形成されている層と同じ層に、前記第 1 のシールド電極及び前記第 2 のシールド電極と電位を等しくした導体層を有する、請求項 4 に記載のフライングキャパシタ式電圧検出回路。

【請求項 6】

前記第 2 のスイッチ回路は、前記フライングキャパシタの両電極のいずれかを基準電位に選択的に短絡可能な第 1 の短絡回路を有し、

前記電位差調整回路は、前記シールド部を、前記単電池の負極側と前記基準電位とのいずれかに選択的に短絡可能な第 2 の短絡回路を有する、請求項 1 から 5 のいずれか一項に記載のフライングキャパシタ式電圧検出回路。

【請求項 7】

前記出力回路は、オペアンプと、該オペアンプの出力端子と反転入力端子とを結ぶ積分キャパシタとを備える積分回路を有し、

前記フライングキャパシタから前記第 2 のスイッチ回路によって放電された電荷が、前記積分キャパシタに供給される、請求項 6 に記載のフライングキャパシタ式電圧検出回路。

。

10

20

30

40

50

【請求項 8】

前記積分キャパシタの両電極の周りに、前記基準電位と電位を等しくしたシールド部を備える、請求項 7 に記載のフライングキャパシタ式電圧検出回路。

【請求項 9】

前記出力回路は、基板のグランドを基準に動作する計装アンプを有し、

前記計装アンプの非反転入力端子が前記オペアンプの出力端子に接続され、前記計装アンプの反転入力端子が前記オペアンプの非反転入力端子に接続された、請求項 7 又は 8 に記載のフライングキャパシタ式電圧検出回路。

【請求項 10】

前記積分キャパシタと電気容量が等しい付加キャパシタと、

前記フライングキャパシタに接続されるスイッチ回路の寄生容量に蓄えられる電荷に等しい電荷を前記付加キャパシタに充電可能な第 3 のスイッチ回路と、

前記付加キャパシタの電圧を前記オペアンプの非反転入力端子に印加可能な電圧印加回路とを備える、請求項 7 から 9 のいずれか一項に記載のフライングキャパシタ式電圧検出回路。

【請求項 11】

前記付加キャパシタの両電極の周りに、前記基準電位と電位を等しくしたシールド部を備える、請求項 10 に記載のフライングキャパシタ式電圧検出回路。

【請求項 12】

前記フライングキャパシタが集積化された、請求項 1 から 11 のいずれか一項に記載のフライングキャパシタ式電圧検出回路。

【請求項 13】

請求項 1 から 12 のいずれか一項に記載のフライングキャパシタ式電圧検出回路を備え、
該フライングキャパシタ式電圧検出回路の検出結果に基づいて、前記組電池を保護する、電池保護用集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フライングキャパシタ式電圧検出回路及び電池保護用集積回路に関し、より詳細には、寄生容量の影響を軽減する技術に関する。

【背景技術】

【0002】

図 1 は、従来のフライングキャパシタ式電圧検出回路の構成図である。フライングキャパシタ式電圧検出回路は、組電池を構成する単電池それぞれの電圧（典型的には、セル電圧）を検出可能な構成を備えている。

【0003】

例えば、電池 B 0 の電圧を検出するためには、まず、入力側サンプリングスイッチ S W 6 , S W 7 をオンすることによって、フライングキャパシタ C I を充電する。そして、入力側サンプリングスイッチ S W 6 , S W 7 をオフした後、出力側サンプリングスイッチ S W 1 4 , S W 1 9 をオンすることによって、フライングキャパシタ C I の電荷が積分キャパシタ C F に移動する。これにより、電池 B 0 の電圧に応じた変換電圧 V O U T (0) が、電池 B 0 の検出電圧として、オペアンプ A 1 の出力端子に発生する。

【0004】

次に、電池 B 1 の電圧を検出するためには、まず、入力側サンプリングスイッチ S W 7 , S W 8 をオンすることによって、電池 B 0 の電圧を検出する場合に対して逆向きの充電方向に、フライングキャパシタ C I を充電する。そして、入力側サンプリングスイッチ S W 7 , S W 8 をオフした後、出力側サンプリングスイッチ S W 1 8 , S W 1 5 をオンすることによって、フライングキャパシタ C I の電荷が積分キャパシタ C F に移動する。これ

により、電池 B 1 の電圧に応じた変換電圧 $V_{OUT}(1)$ が、電池 B 1 の検出電圧として、オペアンプ A 1 の出力端子に発生する。

【0005】

なお、組電池を構成する単電池それぞれの電圧を検出可能な構成を開示する先行技術文献として、例えば特許文献 1, 2 が挙げられる。

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開 2009-150867 号公報

【特許文献 2】特表 2008-538408 号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0007】

ところが、フライングキャパシタ式電圧検出回路を集積化 (IC 化) する場合、IC 内部の寄生容量がフライングキャパシタの電気容量に対して無視できない大きさになるため、検出電圧の精度がその寄生容量によって大きく影響されてしまう。

【0008】

図 1 の回路を例に挙げ、各電池 B 0 ~ B 4 の電圧を VSS 基準の電圧に変換する場合に、IC 内部の寄生容量の影響について以下に試算する。仮に、式 (1) ~ (3) に示されるように、

20

$$V_{N+1} - V_N = V_{BAT} \quad \dots (1)$$

$$CI = CF = C \quad \dots (2)$$

$$CD3 + CN3 = CD4 + CN4 = CD + CN \quad \dots (3)$$

各電池 B 0 ~ B 4 それぞれの電圧を共に V_{BAT} とし、フライングキャパシタ CI と積分キャパシタ CF の電気容量を共に C とし、ノード N 3 における寄生容量 ($CD3 + CN3$) とノード N 4 における寄生容量 ($CD4 + CN4$) を共に ($CD + CN$) とする。

【0009】

図 1 の構成の場合、寄生容量 ($CD3 + CN3$) と寄生容量 ($CD4 + CN4$) のいずれか一方は、フライングキャパシタ CI の電荷が積分キャパシタ CF に移動する際に、スイッチ SW 14 又は SW 18 によって基準電位 V_GND に放電される。そのため、寄生容量 ($CD3 + CN4$) と寄生容量 ($CD4 + CN4$) のいずれか一方だけが、積分キャパシタ CI に影響することになる。

30

【0010】

$N = 0 \sim 4$ とすると、電池 B 0 から電池 B 4 の変換電圧 $V_{OUT}(N)$ は、

$$V_{OUT}(N) = [CI \times (V_{N+1} - V_N) + (CD + CN) \times V_N] / CF \quad \dots (4)$$

によって表される。変換誤差電圧が最大となる、電池 B 4 の変換電圧 $V_{OUT}(4)$ は、

$$V_{OUT}(4) = [CI \times (V_5 - V_4) + (CD4 + CN4) \times V_4] / CF \quad \dots (5)$$

によって表される。 $V_5 - V_4 = V_{BAT}$, $V_4 = 4 \times V_{BAT}$, $CD4 + CN4 = CD + CN$ なので、 $V_{OUT}(4)$ は、

40

$$\begin{aligned} V_{OUT}(4) &= [CI \times V_{BAT} + (CD + CN) \times 4 \times V_{BAT}] / CF \\ &= V_{BAT} \times CI / CF + 4 \times V_{BAT} \times (CD + CN) / CF \quad \dots (6) \end{aligned}$$

によって表される。 $CI / CF = 1$ なので、変換電圧 $V_{OUT}(4)$ は、

$$V_{OUT}(4) = V_{BAT} + 4 \times V_{BAT} \times (CD + CN) / CF \quad \dots (7)$$

によって表される。 V_{BAT} との差分が変換誤差に相当するため、電池 B 4 の変換電圧 $V_{OUT}(4)$ の変換誤差は、

$$V_{OUT}(4) - V_{BAT} = 4 \times V_{BAT} \times (CD + CN) / CF$$

50

・・・(8)

によって表される。式(8)で表される変換誤差を例えば50mV以下にするためには、

$$4 \times V_{BAT} \times (CD + CN) / CF \leq 50 \times 10^{-3} \quad \dots (9)$$

を満足する必要があるので、例えば、 $V_{BAT} = 4.2 [V]$ 、 $CF = 10 \times 10^{-12} [F]$ とすると、

$$(CD + CN) \leq 29.8 \times 10^{-15} [F] \quad \dots (10)$$

となる。すなわち、寄生容量の値は約30[fF]以下とする必要がある。

【0011】

しかしながら、上層電極と下層電極で構成されるフライングキャパシタCIをIC基板の上に単純に形成した構成の場合、下層電極とIC基板との距離が下層電極と上層電極との電極間距離の20倍とすると、下層電極とIC基板との間の寄生容量は、フライングキャパシタCIの電気容量の約1/20(約0.5pF=500fF)となる。つまり、下層電極とIC基板との間の寄生容量(500fF)は、上記の許容値30fFを大きく超えてしまう。

【0012】

このように、フライングキャパシタ方式では寄生容量の影響が大きいので、フライングキャパシタをICに内蔵することを安易に採用することができない。

【0013】

そこで、本発明は、寄生容量の影響を軽減し、フライングキャパシタをICに内蔵することが可能な、フライングキャパシタ式電圧検出回路等の提供を目的とする。

【課題を解決するための手段】

【0014】

上記目的を達成するため、本発明に係るフライングキャパシタ式電圧検出回路は、フライングキャパシタと、

組電池を構成する単電池によって前記フライングキャパシタが充電される向きを、前記単電池毎に反転させる第1のスイッチ回路と、

前記フライングキャパシタを放電させる第2のスイッチ回路と、

前記フライングキャパシタの両電極間の電位差に応じた信号を出力する出力回路とを備える、フライングキャパシタ式電圧検出回路であって、

前記両電極との間の寄生容量が均一になるように前記両電極の周りに配置されたシールド部と、

前記両電極と前記シールド部との間の電位差を前記フライングキャパシタの充電タイミングと放電タイミングとで等しくする電位差調整回路とを備えることを特徴とするものである。

【発明の効果】

【0015】

本発明によれば、寄生容量の影響を軽減し、フライングキャパシタをICに内蔵することができる。

【図面の簡単な説明】

【0016】

【図1】従来のフライングキャパシタ式電圧検出回路の構成図である。

【図2】本発明の一実施形態であるフライングキャパシタ式電圧検出回路100の構成図である。

【図3】フライングキャパシタ式電圧検出回路100における、フライングキャパシタCI及びシールド部NSHの構造の具体例を模式的に示した断面図である。

【図4】フライングキャパシタ式電圧変換回路100に含まれる各スイッチSWの駆動信号についてのタイミングチャートである。

【図5】回路F1の第1の具体例を示した図である。

【図6】回路F1の第2の具体例を示した図である。

【図7】各スイッチSWの構成の具体例を示した図である。

10

20

30

40

50

【図 8】本発明に係るフライングキャパシタ式電圧検出回路の一実施形態を内蔵する保護 IC 250 の構成図である。

【発明を実施するための形態】

【0017】

以下、図面を参照しながら、本発明を実施するための形態の説明を行う。図 2 は、本発明の一実施形態であるフライングキャパシタ式電圧検出回路 100 の構成図である。なお、図中のスイッチ SW* は、MOSFET などのトランジスタを表し、点線で示されたキャパシタは、寄生容量を表す。また、▽は、フライングキャパシタ式電圧検出回路 100 を構成する回路要素が形成される基板のグランド VSS を表す。以下、同様である。

【0018】

フライングキャパシタ式検出回路 100 は、フライングキャパシタ C I と、組電池を構成する単電池 B 1 ~ B 5 の電圧によってフライングキャパシタ C I を充電する第 1 のスイッチ回路 SW 6 ~ SW 11, SW 13, SW 17 と、フライングキャパシタ C I を放電させる第 2 のスイッチ回路 SW 14, SW 15, SW 18, SW 19 と、フライングキャパシタ C I の一对の電極間の電位差に応じた信号を出力する出力回路 10 とを備える。

【0019】

組電池は、複数の単電池 B 1 ~ B 5 が直列接続された回路である。第 1 のスイッチ回路は、複数の単電池 B 1 ~ B 5 のうちいずれか一つの単電池の電圧によってフライングキャパシタ C I が充電される向きを、単電池毎に反転させる。すなわち、第 1 のスイッチ回路は、フライングキャパシタ C I の両端の極性が交互に反転するように単電池の両極の接続先を単電池毎に切り替える。なお、フライングキャパシタ C I は、使用されるアプリケーションによっては、複数の単電池のうち二つ以上の単電池の電圧によって充電されるようにしてもよい。

【0020】

例えば、電池 B 1 の電圧を検出するためには、まず、第 1 のスイッチ回路が、スイッチ SW 6, SW 7, SW 13, SW 17 をオンすることによって、フライングキャパシタ C I を充電し、フライングキャパシタ C I の充電後、スイッチ SW 6, SW 7, SW 13, SW 17 をオフする。次に、第 2 のスイッチ回路が、スイッチ SW 14, SW 19 をオンすることによって、フライングキャパシタ C I の電荷を放電させて積分キャパシタ C F に移動させる。これにより、電池 B 1 の電圧に応じた変換電圧 VOUT (1) が、電池 B 1 の検出電圧として、出力回路 10 のオペアンプ A 1 の出力端子に発生する。第 2 のスイッチ回路は、フライングキャパシタ C I の電荷が放電して積分キャパシタ C F に移動した後に、スイッチ SW 14, SW 19 をオフする。

【0021】

次に、電池 B 2 の電圧を検出するためには、まず、第 1 のスイッチ回路が、スイッチ SW 7, SW 8, SW 13, SW 17 をオンすることによって、電池 B 1 の電圧を検出する場合に対して逆向きの充電方向に、フライングキャパシタ C I を充電する。フライングキャパシタ C I の充電後、第 1 のスイッチ回路は、スイッチ SW 7, SW 8, SW 13, SW 17 をオフする。次に、第 2 のスイッチ回路が、スイッチ SW 18, SW 15 をオンすることによって、フライングキャパシタ C I の電荷を放電させて積分キャパシタ C F に移動させる。これにより、電池 B 2 の電圧に応じた変換電圧 VOUT (2) が、電池 B 2 の検出電圧として、出力回路 10 のオペアンプ A 1 の出力端子に発生する。第 2 のスイッチ回路は、フライングキャパシタ C I の電荷が放電して積分キャパシタ C F に移動した後に、スイッチ SW 18, SW 15 をオフする。

【0022】

フライングキャパシタ式電圧検出回路 100 は、更に、フライングキャパシタ C I の一对の電極（両電極）との間の寄生容量が均一になるようにその両電極の周りに配置されたシールド部 N S H を備えるとともに、フライングキャパシタ C I の両電極とシールド部 N S H との間の電位差をフライングキャパシタ C I の充電タイミングと放電タイミングとで等しくする電位差調整回路を備えている。図 2 には、フライングキャパシタ C I の一方の

電極とシールド部 N S H との間に生ずる寄生容量 C N 1 が示され、フライングキャパシタ C I のもう一方の電極とシールド部 N S H との間に生ずる寄生容量 C N 2 が示されている。また、図 2 には、電位差調整回路の機能を実現する回路として、スイッチ S W 2 2, S W 2 3, S W 2 4 を備える短絡回路が示されている。

【0023】

したがって、上記の構成によれば、フライングキャパシタ C I の両電極とシールド部 N S H との間の寄生容量が均一で、且つ、フライングキャパシタ C I の両電極とシールド部 N S H との間の電位差がフライングキャパシタ C I の充電タイミングと放電タイミングとで等しくなるため、充電タイミングから放電タイミングに移行する際にフライングキャパシタ C I とシールド部 N S H との間で電荷の移動が起こらない。これにより、フライングキャパシタ C I 周りの寄生容量の電荷が単電池毎に変化することに影響されることなく、精度の良い電圧変換が可能となる。つまり、フライングキャパシタ C I 周りの寄生容量が電池電圧の検出精度に与える影響を軽減することができる。

【0024】

図 3 は、フライングキャパシタ式電圧検出回路 100 における、フライングキャパシタ C I 及びシールド部 N S H の構造の具体例を模式的に示した断面図である。

【0025】

シールド部 N S H は、互いに電位を等しくしたシールド電極 L 3 とシールド電極 L 4 とを有している。フライングキャパシタ C I の両電極は、シールド電極 L 3 とシールド電極 L 4 との間に配置されている。シールド電極 L 3 は、例えば、I C 基板 S 1 の表面に形成された拡散層である。シールド電極 L 4 は、例えば、I C 基板 S 1 の上に層状に形成された導体層（典型的には、アルミニウム等のメタル配線層）である。I C 基板 S 1 の上に、図 2 に示したフライングキャパシタ式電圧検出回路 100 の各回路要素が形成される。

【0026】

フライングキャパシタ C I は、電極 L 1 1 と電極 L 2 2 によって構成された第 1 のキャパシタと、電極 L 2 1 と電極 L 1 2 によって構成された第 2 のキャパシタとによって構成されている。第 1 のキャパシタと第 2 のキャパシタは、電気容量が互いに同一になるように構成されている。電極 L 1 1 と電極 L 2 1 は、シールド電極 L 3 に対向し、電極 L 2 2 と電極 L 1 2 は、シールド電極 L 4 に対向している。電極 L 1 1 と電極 L 1 2 は、配線 W 1 によって、同電位になるように接続され、電極 L 2 1 と電極 L 2 2 は、配線 W 2 によって、同電位になるように接続されている。また、シールド電極 L 3 と L 4 も同電位になるように導体によって接続されている。

【0027】

このように接続することによって、図 2 に示した寄生容量 C N 1 は、C N 1 1 と C N 1 2 の和に相当する。C N 1 1 は、電極 L 1 1 とシールド電極 L 3 との間の寄生容量を表し、C N 1 2 は、電極 L 1 2 とシールド電極 L 4 との間の寄生容量を表す。同様に、図 2 に示した寄生容量 C N 2 は、C N 2 1 と C N 2 2 の和に相当する。C N 2 1 は、電極 L 2 1 とシールド電極 L 3 との間の寄生容量を表し、C N 2 2 は、電極 L 2 2 とシールド電極 L 4 との間の寄生容量を表す。

【0028】

そして、シールド部 N S H は、フライングキャパシタ C I の電極との寄生容量が均一になるようにフライングキャパシタ C I の周囲に配置されているので、寄生容量 C N 1 1 と寄生容量 C N 2 1 の容量値は互いに等しく、寄生容量 C N 1 2 と寄生容量 C N 2 2 の容量値は互いに等しい。

【0029】

したがって、このように構成することによって、寄生容量 C N 1 と寄生容量 C N 2 の容量値を互いに等しくすることができる。つまり、フライングキャパシタ C I の両電極とシールド部 N S H との間の寄生容量特性を均一にすることができる。

【0030】

また、フライングキャパシタ C I の両電極とシールド部 N S H との間の寄生容量特性を

10

20

30

40

50

更に均一にするためには、フライングキャパシタC Iの電極が形成されている層と同じ層にシールド電極を設けることが好適である。同じ層に設けることにより、シールド層も形成しやすい。例えば、図3に示されるように、シールド電極L 3, L 4と電位を等しくした導体層(典型的には、アルミニウム等のメタル配線層)L 5~L 8を、シールド電極として、設けるとよい。シールド電極L 5, L 7は、電極L 1 1, L 2 1と同じ層で形成され、シールド電極L 6, L 8は、電極L 2 2, L 2 1と同じ層で形成される。

【0031】

なお、図3には、フライングキャパシタC Iを容量値が互いに等しい2つのキャパシタに分割した場合を示しているが、フライングキャパシタC Iを3つ以上に分割してもよい(すなわち、フライングキャパシタC Iを3つ以上のキャパシタで構成してもよい)。

10

【0032】

次に、フライングキャパシタC Iの両電極とシールド部N S Hとの間の電位差をフライングキャパシタC Iの充電タイミングと放電タイミングとで等しくするための具体例について説明する。

【0033】

上述したように、図2に示される第2のスイッチ回路S W 1 4, S W 1 5, S W 1 8, S W 1 9は、フライングキャパシタC Iを放電させる回路である。第2のスイッチ回路は、フライングキャパシタC Iの両電極のいずれかを基準電位V G N Dに選択的に短絡可能な一対のスイッチS W 1 4, S W 1 8を備える第1の短絡回路を有している。V G N Dは、例えば、図3に示した基板S 1に形成された仮想グランドである。

20

【0034】

また、上述したように、図2のフライングキャパシタ式電圧検出回路100は、フライングキャパシタC Iの両電極とシールド部N S Hとの間の電位差をフライングキャパシタC Iの充電タイミングと放電タイミングとで等しくする電位差調整回路を備えている。この電位差調整回路は、シールド部N S Hを、組電池の中で電圧検出対象となっている単電池の負極側とV G N Dとのいずれかに選択的に短絡可能なスイッチS W 2 2, S W 2 3, S W 2 4を備える第2の短絡回路を有している。

【0035】

フライングキャパシタC Iの充電タイミング(電池電圧の取得タイミング)で、第2の短絡回路は、スイッチS W 2 3(又は、スイッチS W 2 2)をオンすることによって、シールド部N S Hを電圧検出対象電池の負極側に接続する。この充電タイミングでは、上述の通りスイッチS W 1 3, S W 1 7もオンするので、寄生容量C N 1の両端電圧は取得電池電圧(すなわち、電圧検出対象電池の電圧)になり、寄生容量C N 2の両端電圧は零になる(又は、寄生容量C N 2の両端電圧は取得電池電圧になり、寄生容量C N 1の両端電圧は零になる)。

30

【0036】

次いで、スイッチS W 2 3(又は、スイッチS W 2 2)がオフした後、フライングキャパシタC Iの放電タイミング(フライングキャパシタC Iの電荷を積分キャパシタC Fに移動するタイミング)で、第2の短絡回路は、スイッチS W 2 4をオンすることによって、シールド部N S HをV G N Dに接続する。この放電タイミングでは、上述の通りスイッチS W 1 4, S W 1 9(又は、スイッチS W 1 8, S W 1 5)もオンするので、寄生容量C N 1の両端電圧は零になり、寄生容量C N 2の両端電圧は取得電池電圧になる(又は、寄生容量C N 2の両端電圧は零になり、寄生容量C N 1の両端電圧は取得電池電圧になる)。

40

【0037】

つまり、フライングキャパシタC Iの両電極とシールド部N S Hとの間の電位差が、フライングキャパシタC Iの充電タイミングと放電タイミングとで等しくなるように動作している。

【0038】

ところで、図2に示されるように、寄生容量C N 1, C N 2とは別に、寄生容量C D 1

50

、 $C D 2$ が生ずることがある。寄生容量 $C D 1$ 、 $C D 2$ は、フライングキャパシタ $C I$ に接続されるスイッチ $S W$ （典型的には、 $M O S F E T$ 等のトランジスタ）の拡散容量である。寄生容量 $C D 1$ は、スイッチ $S W 1 3$ 、 $S W 1 4$ 、 $S W 1 5$ のフライングキャパシタ $C I$ 側の拡散部分の総容量であり、寄生容量 $C D 2$ は、スイッチ $S W 1 7$ 、 $S W 1 8$ 、 $S W 1 9$ のフライングキャパシタ $C I$ 側の拡散部分の総容量である。

【0039】

これらの拡散部分の容量のうち、積分キャパシタ $C F$ への電荷移動時にスイッチ $S W 1 4$ 又は $S W 1 8$ によって $V G N D$ に接続される拡散部分の容量は、検出電圧の誤差にほとんど影響しない。しかしながら、積分キャパシタ $C F$ への電荷移動時にスイッチ $S W 1 5$ 又は $S W 1 9$ によって積分キャパシタ $C F$ に接続される拡散部分の容量は、検出電圧の誤差に影響してしまう。なお、寄生容量 $C D 1$ 、 $C D 2$ の電荷量は、取得電池電圧に依存する。

10

【0040】

そこで、スイッチの拡散部分の容量が検出電圧の誤差に与える影響を抑えるため、フライングキャパシタ式電圧検出回路100は、積分キャパシタ $C F$ と電気容量が等しい付加キャパシタ $C G$ と、付加キャパシタ $C G$ への充電を可能にするスイッチ $S W 2 6$ 、 $S W 2 7$ 、 $S W 2 8$ を備える第3のスイッチ回路と、付加キャパシタ $C G$ の電圧をオペアンプ $A 1$ の非反転入力端子に印加することを可能にするスイッチ $S W 3 0$ 、 $S W 3 1$ を備える電圧印加回路とを備えている。

【0041】

20

スイッチ $S W 2 6$ 、 $2 7$ 、 $2 8$ は、フライングキャパシタ $C I$ の一方の電極側のノード $N 1$ に接続される3つのスイッチ $S W 1 3$ 、 $S W 1 4$ 、 $S W 1 5$ ともう一方の電極側のノード $N 2$ に接続される3つのスイッチ $S W 1 7$ 、 $S W 1 8$ 、 $S W 1 9$ と同じ構造とする。これにより、寄生容量 $C D 1$ （又は、 $C D 2$ ）と同じ容量値の寄生容量 $C D X$ が形成される。そして、寄生容量 $C D 1$ （又は、 $C D 2$ ）に蓄えられる電荷に等しい電荷が寄生容量 $C D X$ に蓄えられるように、フライングキャパシタ $C I$ の充電タイミングと同じタイミングで、寄生容量 $C D X$ を充電する。さらに、積分キャパシタ $C F$ に放電される電荷に等しい電荷が付加キャパシタ $C G$ に放電されるように、フライングキャパシタ $C I$ の放電タイミングと同じタイミングで、寄生容量 $C D X$ を放電する。

【0042】

30

スイッチ $S W 3 0$ 、 $S W 3 1$ を備える電圧印加回路は、フライングキャパシタ $C I$ の放電タイミングでは、スイッチ $S W 3 1$ をオン状態にすることによって、オペアンプ $A 1$ の非反転入力端子のノード $V P$ を $V G N D$ に短絡する。これにより、オペアンプ $A 1$ の反転入力端子のノード $V N$ の電位変動を抑えることができる。

【0043】

次いで、電圧印加回路は、フライングキャパシタ $C I$ を放電した後のタイミングで、スイッチ $S W 3 1$ をオフしスイッチ $S W 3 0$ をオンすることによって、上述のように付加キャパシタ $C G$ の電圧をノード $V P$ に印加する。

【0044】

40

このように動作させることによって、寄生容量 $C D 1$ 、 $C D 2$ によって、オペアンプ $A 1$ の出力端子に発生する変換電圧 $V O U T$ の精度が低下することを抑えることができる。

【0045】

図4は、フライングキャパシタ式電圧変換回路100に含まれる各スイッチ $S W$ の駆動信号についてのタイミングチャートである。図4に示される駆動信号の記号（ $H 0 1$ 等）は、図2中のスイッチ $S W$ *の横に記載した記号に対応している。また、図4の波形において、ハイレベルのとき、スイッチ $S W$ はオンし、ローレベルのとき、スイッチ $S W$ はオフする。

【0046】

はじめに、図4のタイミングチャートの最初の測定周期に行われる電池 $B 1$ の電圧検出について図2を参照しながら説明する。

50

【0047】

フライングキャパシタC Iの充電タイミングT 0 1で出力される駆動信号H 0 1（又は、充電タイミングT 0 1直前のタイミングで出力される駆動信号）によって、積分キャパシタC Fの両端がスイッチS W 2 0でショートされることによって積分キャパシタC Fを初期化するとともに、付加キャパシタC Gの両端がスイッチS W 2 9でショートされることによって付加キャパシタC Gを初期化する。

【0048】

第1のスイッチ回路は、充電タイミングT 0 1で、スイッチS W 6，S W 7，S W 1 3，S W 1 7をオンすることによって、端子V 1とV 0間の電圧（すなわち、電池B 0の電圧（ $V 1 - V 0$ ））によってフライングキャパシタC Iを充電する。一方、電位差調整回路は、充電タイミングT 0 1で、スイッチS W 2 3をオンすることによって、シールド部N S Hを、ノードN 2と同じ電位（すなわち、端子V 0の電位）に等しくする。したがって、寄生容量C N 1の両端の電位差は、フライングキャパシタC Iの両端の電位差と同じ（ $V 1 - V 0$ ）となる一方で、寄生容量C N 2の両端の電位差はゼロとなる。フライングキャパシタC Iの充電後、スイッチS W 6，S W 7，S W 1 3，S W 1 7，S W 2 3はオフされる。

【0049】

次いで、第2のスイッチ回路は、フライングキャパシタC Iの放電タイミングT 0 2で、スイッチS W 1 4，S W 1 9をオンすることによって、高電位の電極側のノードN 1はV G N Dに接続され、低電位の電極側のノードN 2はオペアンプA 1の反転入力端子に接続される。この瞬間、ノードN 2の電位は、一時的にV G N D以下になるが、積分キャパシタC Fに電荷が移動するにつれてV G N Dに収束する。一方、電位差調整回路は、放電タイミングT 0 2で、S W 2 4をオンすることによって、シールド部N S Hと基板S 1の基準グランドV S Sとの間の寄生容量C S Dの電荷をV G N Dに放電し、寄生容量C N 1，C N 2によるフライングキャパシタC Iへの影響を抑えることができる。

【0050】

また、フライングキャパシタC Iに充電されていた $C I \times (V 1 - V 0)$ の電荷は、 $C I = C F$ なので、オペアンプA 1の出力端子から（ $V 1 - V 0$ ）の変換電圧V O U Tが出力される。ただし、寄生容量C D 2の両端の電位差は充電タイミングT 0 1で零であったが、寄生容量C D 2は放電タイミングT 0 2でV G N D電位に充電されるため、変換電圧V O U Tをその充電分だけ押し上げることになる。

【0051】

そこで、寄生容量C D 2による積分キャパシタC Fへの電荷注入を補正するために、充電タイミングT 0 1で、スイッチS W 2 7がオンすることによって、ノードN Xを、ノードN 2及びシールド部N S Hと同じV 0の電位に等しくする。したがって、寄生容量C D Xの両端の電位差は、ゼロとなる。スイッチS W 2 7がオフした後、放電タイミングT 0 2で、スイッチS W 2 8がオンすることによって、一方の電極がV G N Dに常時接続された付加キャパシタC Gの両端の電位差は、（ $V 0 - V G N D$ ）になる。スイッチS W 2 8がオフした後、タイミングT 0 C O Rで、スイッチS W 3 0がオンし且つスイッチS W 3 1がオフする。これにより、付加キャパシタC Gの両端の電圧（ $V 0 - V G N D$ ）がオペアンプA 1の非反転入力端子のノードV Pに印加される。これにより、フライングキャパシタC Iに充電された電荷だけによる電圧分が積分コンデンサC Fの両端に出現することになる。ここで、スイッチS W 3 0が常時オンし且つスイッチS W 3 1が常時オフでもよいし、又は、スイッチS W 3 0，S W 3 1自体が無く且つ付加キャパシタC Gの一端がオペアンプA 1の非反転入力端子のノードV Pに直接接続されていてもよい。これにより、付加キャパシタC Gの両端の電圧（ $V 0 - V G N D$ ）がオペアンプA 1の非反転入力端子のノードV Pに印加される。

【0052】

そして、オペアンプA 1の次段の計装アンプA 5は、V O U TとV Pの電位差に応じて、V S S基準の出力電圧V Oを、電池B 1の検出電圧として、出力する。計装アンプA 5

10

20

30

40

50

は、VSS基準で動作する、ゲインが1のアンプである。

【0053】

そして、スイッチSW21が、サンプリングタイミングT0SMPで出力されるサンプリング信号SMP Lに従ってオンすることによって、出力電圧VOはサンプリングキャパシタCSにサンプリングされる。オペアンプA2の出力電圧VSMP Lは、次のサンプリングタイミングT1SMPまで保持される。

【0054】

次に、図4のサンプリングチャートに基づいて、VSSから離れている電池B4の電圧検出について図2を参照しながら説明する。電池B4の電圧を検出するときのフライングキャパシタCIの充電方向は、電池B1の電圧を検出するときに対して逆転している。

10

【0055】

フライングキャパシタCIの充電タイミングT31で出力される駆動信号H01（又は、充電タイミングT31直前のタイミングで出力される駆動信号）によって、積分キャパシタCFの両端がスイッチSW20でショートされることによって積分キャパシタCFを初期化するとともに、付加キャパシタCGの両端がスイッチSW29でショートされることによって付加キャパシタCGを初期化する。

【0056】

第1のスイッチ回路は、充電タイミングT31で、スイッチSW9、SW10、SW13、SW17をオンすることによって、端子V4とV3間の電圧（すなわち、電池B4の電圧（ $V4 - V3$ ））によってフライングキャパシタCIを充電する。一方、電位差調整回路は、充電タイミングT31で、スイッチSW22をオンすることによって、シールド部NSHを、ノードN1と同じ電位（すなわち、端子V3の電位）に等しくする。したがって、寄生容量CN2の両端の電位差は、フライングキャパシタCIの両端の電位差と同じ（ $V4 - V3$ ）となる一方で、寄生容量CN1の両端の電位差はゼロとなる。フライングキャパシタCIの充電後、スイッチSW9、SW10、SW13、SW17、SW23はオフされる。

20

【0057】

次いで、第2のスイッチ回路は、フライングキャパシタCIの放電タイミングT32で、スイッチSW18、SW15をオンすることによって、高電位の電極側のノードN2はVGNDに接続され、低電位の電極側のノードN1はオペアンプA1の反転入力端子に接続される。この瞬間、ノードN1の電位は、一時的にVGND以下になるが、積分キャパシタCFに電荷が移動するにつれてVGNDに収束する。一方、電位差調整回路は、放電タイミングT32で、SW24をオンすることによって、シールド部NSHと基板S1の基準グランドVSSとの間の寄生容量CSDの電荷をVGNDに放電し、寄生容量CN1、CN2によるフライングキャパシタCIへの影響を抑えることができる。

30

【0058】

また、フライングキャパシタCIに充電されていた $CI \times (V4 - V3)$ の電荷は、 $CI = CF$ なので、オペアンプA1の出力端子から（ $V4 - V3$ ）の変換電圧VOUTが出力される。ただし、寄生容量CD1の両端の電位差は充電タイミングT31でV3であったが、寄生容量CD1は放電タイミングT32でVGND電位に放電されるため、変換電圧VOUTをその放電分だけ押し下げることになる。

40

【0059】

そこで、寄生容量CD1による積分キャパシタCFへの電荷注入を補正するために、充電タイミングT31で、スイッチSW26がオンすることによって、ノードNXを、ノードN1及びシールド部NSHと同じV3の電位に等しくする。したがって、寄生容量CDXの両端の電位差は、V3となる。スイッチSW26がオフした後、放電タイミングT32で、スイッチSW28がオンすることによって、一方の電極がVGNDに常時接続された付加キャパシタCGの両端の電位差は、（ $V3 - VGND$ ）になる。スイッチSW28がオフした後、タイミングT3CORで、スイッチSW30がオンし且つスイッチSW31がオフする。これにより、付加キャパシタCGの両端の電圧（ $V3 - VGND$ ）がオペ

50

アンプ A 1 の非反転入力端子のノード V P に印加される。これにより、フライングキャパシタ C I に充電された電荷だけによる電圧分が積分コンデンサ C F の両端に出現することになる。ここで、スイッチ S W 3 0 が常時オンし且つスイッチ S W 3 1 が常時オフでもよいし、又は、スイッチ S W 3 0, S W 3 1 自体が無く且つ付加キャパシタ C G の一端がオペアンプ A 1 の非反転入力端子のノード V P に直接接続されていてもよい。これにより、付加キャパシタ C G の両端の電圧 (V 3 - V G N D) がオペアンプ A 1 の非反転入力端子のノード V P に印加される。

【 0 0 6 0 】

そして、オペアンプ A 1 の次段の計装アンプ A 5 は、V O U T と V P の電位差に応じて、V S S 基準の出力電圧 V O を、電池 B 4 の検出電圧として、出力する。計装アンプ A 5 は、V S S 基準で動作する、ゲインが 1 のアンプである。

10

【 0 0 6 1 】

そして、スイッチ S W 2 1 が、サンプリングタイミング T 3 S M P で出力されるサンプリング信号 S M P L に従ってオンすることによって、出力電圧 V O はサンプリングキャパシタ C S にサンプリングされる。オペアンプ A 2 の出力電圧 V S M P L は、次のサンプリングタイミング T 4 S M P まで保持される。

【 0 0 6 2 】

このように、順次、電池間電圧に比例する電圧が、オペアンプ 1 と計装アンプ A 5 を介して出力される。出力電圧 V S M P L は、所定の回路 F 1 に供給される。回路 F 1 として、例えば、A / D 変換回路、デジタル回路、アナログ回路が挙げられる。

20

【 0 0 6 3 】

図 5 は、回路 F 1 の第 1 の具体例を示した図である。図 5 に示される回路は、出力電圧 V S M P L の値に応じて、各単電池の状態を判定する判定回路である。コンパレータ 2 1 は、例えば、出力電圧 V S M P L を抵抗分圧して得られた検出電圧を基準電圧 D 2 と比較することにより、電池の充電停止を判定するための充電停止判定電圧を検出する。その検出信号は、遅延回路 2 2 で遅延されて、充電停止判定機能を備えた判定回路 F 2 に供給される。また、コンパレータ 2 5 は、例えば、出力電圧 V S M P L を抵抗分圧して得られた検出電圧を基準電圧 D 2 と比較することにより、電池の過放電を判定するための過放電判定電圧を検出する。その検出信号は、遅延回路 2 6 で遅延されて、過放電判定機能を備えた判定回路 F 2 に供給される。

30

【 0 0 6 4 】

また、各電池の充電停止判定電圧及び過放電判定電圧の検出と並行して、コンパレータ 2 3 は、例えば、出力電圧 V S M P L を抵抗分圧して得られた検出電圧を基準電圧 D 2 と比較することにより、電池と I C 間の断線を検出する。電池と I C との間の断線を検出するため、図 4 に示されるように、信号 H 0 1 のハイレベルのタイミング（充電タイミング）に先行して、スイッチ S W 0 ~ S W 5 が信号 D S 0 ~ D S 5 に従って順次オンすることによって、電池端子間に抵抗 R S （図 2 参照）を接続する。

【 0 0 6 5 】

電池と I C 間に断線が発生した場合、その端子の寄生容量等によって、不確かな電位となるため、所定の電池端子間電圧の検出ができないことが予想される。このような場合に備えて、電池端子間電圧の検出タイミングに抵抗 R S を接続することによって、断線発生時に断線発生端子の寄生容量を放電すればよい。端子寄生容量を 1 0 0 p F、抵抗 R S を 1 M Ω とすれば、時定数は 1 0 0 μ s となるため、サンプリング周期を 1 m s とすれば、次のサンプルタイミングまでに十分に放電可能である。断線が実際に発生していれば、端子間電圧は 1 V 以下に低下する。

40

【 0 0 6 6 】

また、電池電圧の低下を検出する場合、その検出タイミングに端子間電圧が現れるので、電池電圧低下の検出レベルと上述の断線検出レベルを例えば 1 V に設定すれば、コンパレータ 2 3 は、電池電圧の低下の検出と断線検出の両方を同時に実行できる。

【 0 0 6 7 】

50

図6は、回路F1の第2の具体例を示した図である。図5の場合、複数の判定機能を実現するために3つのコンパレータ21, 23, 25を使用しているが、図6に示されるように、抵抗分圧回路の後段に配置された3個のスイッチSC1～3での切り替えによって、複数の判定機能を1つのコンパレータ27のみで実現できる。

【0068】

また、図7は、各スイッチSWの構成の具体例を示した図である。スイッチSWは、一つのトランジスタで実現してもよいが、図7に示されるように、複数のトランジスタを組み合わせて実現してもよい。MPは、Pチャネル型トランジスタを表し、MNは、Nチャネル型トランジスタを表す。MP2のゲートとIN端子の容量及びMP3とIN端子の容量は、MP1のゲートとIN端子の容量に等しくなるような配線及び構造で構成されている。同様に、MN2のゲートとIN端子の容量及びMN3とIN端子の容量は、MN1のゲートとIN端子の容量に等しくなるような配線及び構造で構成されている。MP1のIN端子側に、MP1の半分のゲートサイズのMP2が接続され、MP2のOUT端子側に、MP1の半分のゲートサイズのMP3が接続されている。MN1, MN2, MN3間の関係についても同様である。

【0069】

この構成によれば、各スイッチのゲートのオン／オフのスイッチングによるゲートとドレイン、ゲートとソース間の電荷の押し込み／引き込みをキャンセルすることができ、ゲートスイッチングの検出電圧への影響を最小限にすることができる。

【0070】

図8は、本発明に係るフライングキャパシタ式電圧検出回路の一実施形態を内蔵する保護IC250の構成図である。保護IC250は、図2で示したフライングキャパシタ式電圧検出回路100が内蔵されている。保護IC250は、フライングキャパシタ式電圧検出回路100の電圧検出結果に基づいて、組電池B0～B4に流れる電流の導通／遮断を切り替えるトランジスタMDOUTとトランジスタMCOUTの切り替え動作を制御する。保護IC250は、例えば、電源端子P+及びP-に接続される不図示の携帯電話等の電子機器に内蔵又は外付けされる電池パックに、組電池B0～B4と共に内蔵されるものである。

【0071】

以上、本発明の好ましい実施例について詳説したが、本発明は、上述した実施例に制限されることはなく、本発明の範囲を逸脱することなく、上述した実施例に種々の変形、改良及び置換を加えることができる。

【符号の説明】

【0072】

- 10 出力回路
- 100 フライングキャパシタ式電圧検出回路
- 250 保護IC
- A1, A2 オペアンプ
- A5 計装アンプ
- CF 積分キャパシタ
- CG 付加キャパシタ
- CI フライングキャパシタ
- NSH シールド部
- SW* スイッチ
- (A1, CF) 積分回路

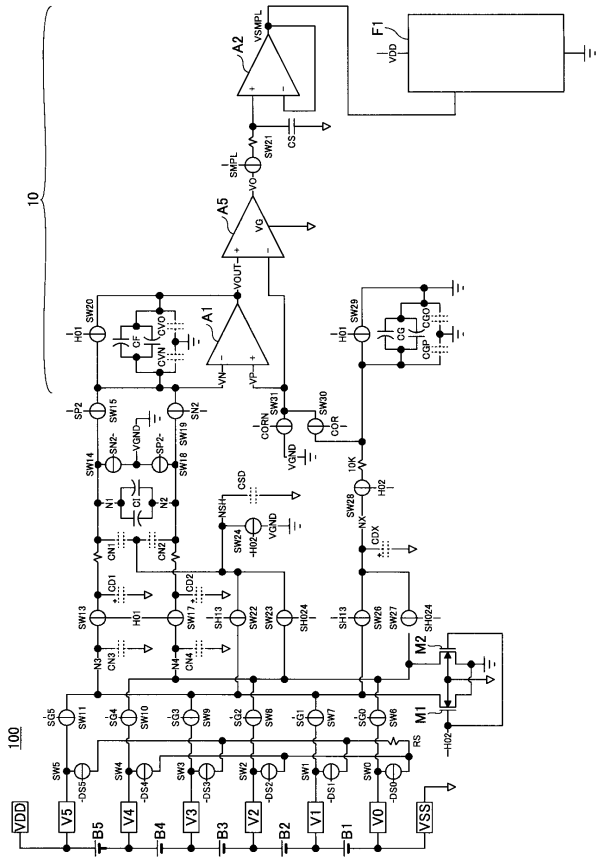
10

20

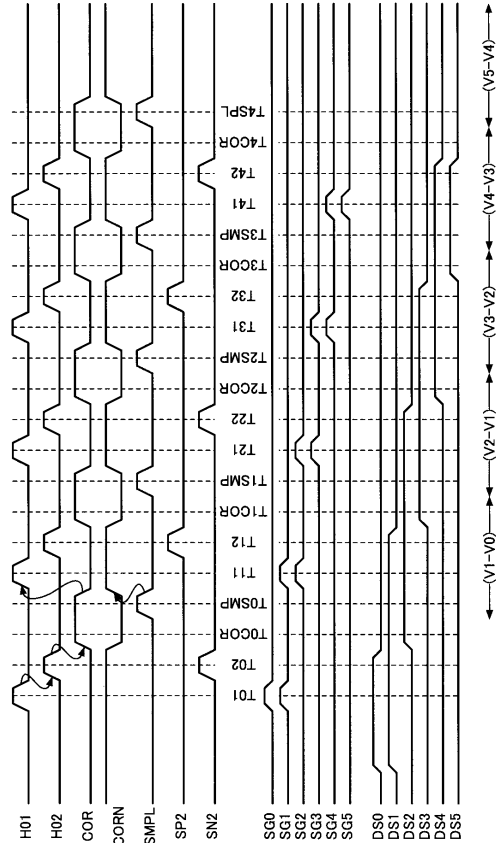
30

40

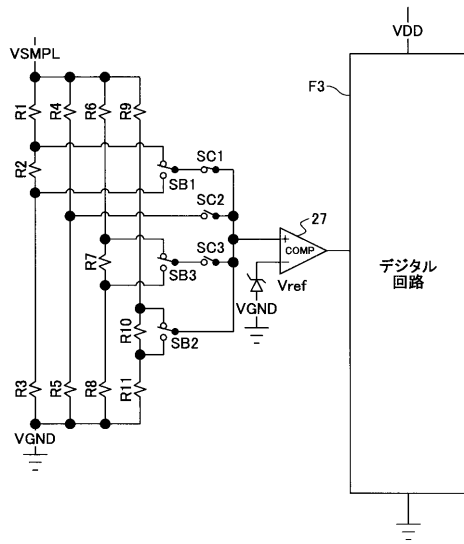
【圖 2】



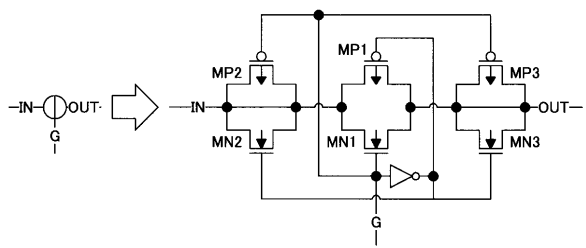
【 図 4 】



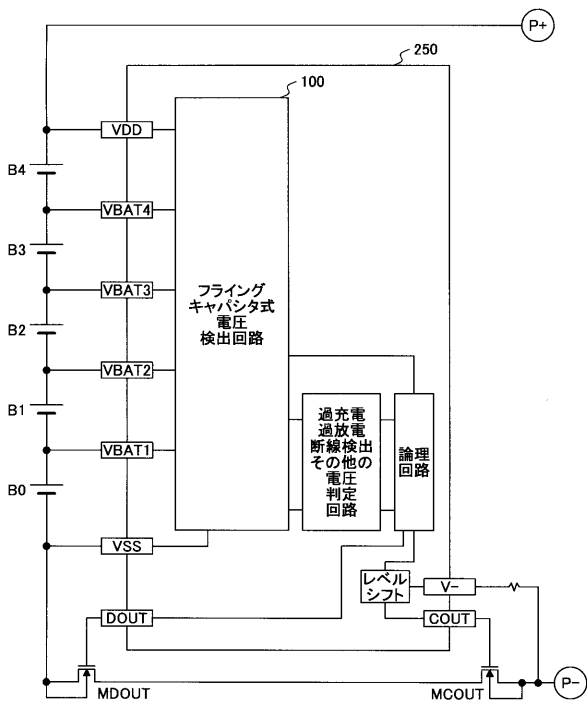
【図 6】



【図 7】



【図 8】



【図 5】

