(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年1月23日(23.01.2025)

WIPO | PCT

(10) 国際公開番号
WO 2025/018044 A1

(51) 国際特許分類:
H01C 1/142 (2006.01) *H01C 7/00* (2006.01)

(21) 国際出願番号： PCT/JP2024/020148

(22) 国際出願日： 2024年6月3日(03.06.2024)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2023-115784 2023年7月14日(14.07.2023) JP

(71) 出願人: ローム株式会社 (**ROHM CO., LTD.**) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１番地 Kyoto (JP).

(72) 発明者: 篠浦 高徳 (**SHINOURA, Takanori**); 〒6158585 京都府京都市右京区西院溝崎町２１番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 弁理士法人深見特許事務所 (**FUKAMI PATENT OFFICE, P.C.**); 〒5300005 大阪府大阪市北区中之島三丁目２番４号 中之島フェスティバルタワー・ウエスト Osaka (JP).

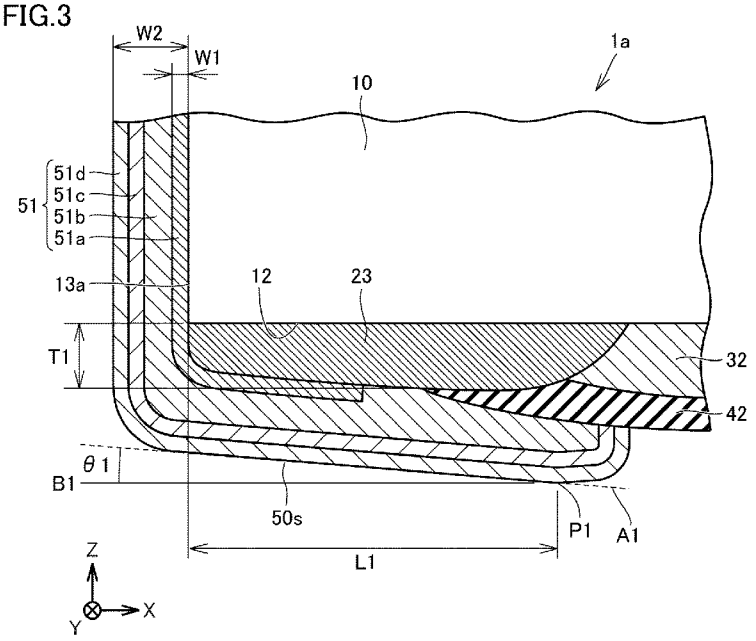
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,

(54) **Title:** CHIP RESISTOR

(54) 発明の名称： チップ抵抗器

[図3]

FIG.3



(57) **Abstract:** This chip resistor is provided with an insulating substrate, a resistor, a back-surface electrode, and a side-surface electrode. The insulating substrate includes a front surface, a back surface, and a side surface. The resistor is disposed on the back surface. The back-surface electrode is disposed on the back surface. The side-surface electrode is disposed on the side surface and the back-surface electrode. A direction perpendicular to the back surface is defined as a Z direction. The side-surface electrode has a lowermost point. The lowermost point is disposed at a position farthest

WO 2025/018044 A1

[続葉有]

LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能):ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告(条約第21条(3))

from the back surface in the Z direction. The side-surface electrode has a lowermost surface. The lowermost surface is a region from the side surface to the lowermost point. The lowermost surface is inclined with respect to the back surface. The lowermost surface has a first region. The first region includes the lowermost point. In the first region, the inclination angle of the lowermost surface with respect to the back surface is 1° or more and 10° or less.

(57) 要約:チップ抵抗器は、絶縁基板と抵抗体と裏面電極と側面電極とを備える。絶縁基板は、表面と裏面と側面とを含む。抵抗体は、裏面に配置されている。裏面電極は、裏面上に配置されている。側面電極は、側面及び裏面電極上に配置されている。裏面に対して垂直な方向をＺ方向とする。側面電極は最下点を有する。最下点は、裏面からＺ方向において最も離れた位置に配置されている。側面電極は、最下面を有する。最下面は、側面から最下点までの領域である。最下面は、裏面に対して傾斜している。最下面は、第１領域を有する。第１領域は最下点を含む。第１領域において、裏面に対する最下面の傾斜角は１°以上１０°以下である。

明　細　書

発明の名称 ： チップ抵抗器

技術分野

[0001]　本開示は、チップ抵抗器に関する。

背景技術

[0002]　特開２０２２－１０５２０４号公報（特許文献１）は、基板と、抵抗体層と、保護層と、導電体層と、裏面電極層と、めっき層とを備えるチップ抵抗器を開示している。チップ抵抗器は、はんだのような導電性接合部材を介して配線基板に実装される。

先行技術文献

特許文献

[0003] 特許文献1：特開２０２２－１０５２０４号公報

[0004] ［概要］

ただし、このようなチップ抵抗器において、温度サイクルによる熱疲労により電極と配線基板との間において、導電性接合部材内にクラックが発生するおそれがある。

[0005]　本開示の一態様によるチップ抵抗器は、絶縁基板と抵抗体と裏面電極と側面電極とを備える。絶縁基板は、表面と裏面と側面とを含む。裏面は、表面とは反対側に配置されている。側面は、表面と裏面とを接続する。抵抗体は、表面及び裏面の少なくともいずれかに配置されている。裏面電極は、裏面上に配置されている。側面電極は、側面及び裏面電極上に配置されている。裏面に対して垂直な方向をＺ方向とする。側面電極は最下点を有する。最下点は、裏面からＺ方向において最も離れた位置に配置されている。側面電極は、最下面を有する。最下面は、側面から最下点までの領域である。最下面は、裏面に対して傾斜している。最下面は、第１領域を有する。第１領域は最下点を含む。第１領域において、裏面に対する最下面の傾斜角は１°以上１０°以下である。

図面の簡単な説明

[0006] [図1]図１は、実施の形態１のチップ抵抗器の概略平面図である。

[図2]図２は、図１に示される線分ＩＩ－ＩＩにおける概略断面図である。

[図3]図３は、図２に示される領域ＩＩＩにおける部分拡大断面図である。

[図4]図４は、実施の形態１のチップ抵抗器の変形例における部分拡大断面図である。

[図5]図５は、実施の形態１のチップ抵抗器の変形例における部分拡大断面図である。

[図6]図６は、比較例における温度サイクル試験後のチップ抵抗器の部分断面図である。

[図7]図７は、実施例における温度サイクル試験後のチップ抵抗器の部分断面図である。

[図8]図８は、実施の形態２のチップ抵抗器の概略断面図である。

[図9]図９は、実施の形態３のチップ抵抗器の概略断面図である。

[図10]図１０は、実施の形態４のチップ抵抗器の概略断面図である。

[図11]図１１は、実施の形態５のチップ抵抗器の概略断面図である。

[図12]図１２は、実施の形態６のチップ抵抗器の概略断面図である。

[図13]図１３は、実施の形態７のチップ抵抗器の概略断面図である。

[図14]図１４は、実施の形態８のチップ抵抗器の概略断面図である。

[図15]図１５は、実施の形態９のチップ抵抗器の概略断面図である。

[図16]図１６は、実施の形態１０のチップ抵抗器の概略断面図である。

[図17]図１７は、実施の形態１１のチップ抵抗器の概略断面図である。

[図18]図１８は、実施の形態１２のチップ抵抗器の概略断面図である。

[0007] ［詳細な説明］

図面に基づいて本開示の実施の形態の詳細について説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付し、その説明は繰返さない。以下に記載する実施の形態の少なくとも一部の構成を任意に組み合わせてもよい。

[0008] 実施の形態１.

＜チップ抵抗器の構成＞

図１は、実施の形態１のチップ抵抗器の概略平面図である。図２は、図１に示される線分ＩＩ－ＩＩにおける概略断面図である。図３は、図２に示される領域ＩＩＩにおける部分拡大断面図である。

[0009] チップ抵抗器１ａは、絶縁基板１０と抵抗体３と絶縁保護膜４と表面電極２ａと裏面電極２ｂと側面電極５とを備える。絶縁基板１０は、例えば、アルミナ（Al_2O_3）のようなセラミック材料により形成されている。絶縁基板１０は、表面１１と、裏面１２と、側面１３とを含む。裏面１２は表面１１とは反対側の面である。側面１３は、表面１１と裏面１２とを接続する。側面１３は、第１側面１３ａと、第２側面１３ｂとを含む。第２側面１３ｂは、第１側面１３ａとは反対側の面である。つまり、第１側面１３ａおよび第２側面１３ｂの各々は、表面１１と裏面１２とを接続する。

[0010] 側面１３に対して垂直な方向をＸ方向とする。また、表面１１および裏面１２に対して垂直な方向をＺ方向とする。Ｘ方向およびＺ方向の各々に対して垂直な方向をＹ方向とする。Ｘ方向は、図２における絶縁基板１０の長手方向である。Ｚ方向は、絶縁基板１０の厚さ方向である。表面１１及び裏面１２は、絶縁基板１０の厚さ方向（Ｚ方向）における両端面である。裏面１２は、回路基板（図示せず）上にチップ抵抗器１ａが実装される際に、回路基板に対向する面（実装面）である。第１側面１３ａ及び第２側面１３ｂは、絶縁基板１０の長手方向（Ｘ方向）における両端面である。

[0011] 抵抗体３は、表面１１及び裏面１２の少なくともいずれかに配置されている。本実施の形態１において、抵抗体３は第１抵抗体３１と第２抵抗体３２とを有する。抵抗体３は、例えば、ＣｕＮｉ抵抗体などである。

[0012] 第１抵抗体３１は、表面１１上に配置されている。絶縁基板１０の長手方向（Ｘ方向）における第１抵抗体３１の中央３１ｃは、例えば、絶縁基板１０の長手方向における絶縁基板１０の中央１０ｃに一致していなくてもよい。

[0013] 第２抵抗体３２は、裏面１２上に配置されている。絶縁基板１０の長手方向（Ｘ方向）における第２抵抗体３２の中央３２ｃは、例えば、絶縁基板１０の長手方向における絶縁基板１０の中央１０ｃに一致していなくてもよい。長手方向（Ｘ方向）において、第１抵抗体３１の中央３１ｃは、第２抵抗体３２の中央３２ｃと一致していなくてもよい。

[0014] 表面電極２ａは、表面１１上に配置されている。表面電極２ａは、第１表面電極２０と第２表面電極２１とを含む。第１表面電極２０及び第２表面電極２１は、第１抵抗体３１に接続されている。表面１１の平面視において、第２表面電極２１は、第１表面電極２０とＸ方向において離間して配置されている。第１表面電極２０は、第２表面電極２１よりも第１側面１３ａの近くに配置されている。第２表面電極２１は、第１表面電極２０よりも第２側面１３ｂの近くに配置されている。つまり、第１抵抗体３１をＸ方向において挟むように、第１表面電極２０および第２表面電極２１が配置されている。表面電極２ａは、例えば、Ｃｕ電極またはＡｇ電極などである。

[0015] 裏面電極２ｂは、裏面１２上に配置されている。裏面電極２ｂは、第１裏面電極２３と第２裏面電極２４とを含む。第１裏面電極２３及び第２裏面電極２４は、第２抵抗体３２に接続されている。裏面１２の平面視において、第２裏面電極２４は、第１裏面電極２３とＸ方向において離間して配置されている。第１裏面電極２３は、第２裏面電極２４よりも第１側面１３ａの近くに配置されている。第２裏面電極２４は、第１裏面電極２３よりも第２側面１３ｂの近くに配置されている。つまり、第２抵抗体３２をＸ方向において挟むように、第１裏面電極２３および第２裏面電極２４が配置されている。

[0016] 裏面電極２ｂは、例えば、Ｃｕ電極またはＡｇ電極などである。第１裏面電極２３及び第２裏面電極２４は、例えば、第１表面電極２０及び第２表面電極２１と同じ導電材料で形成されている。

[0017] 後述するように、表面電極２ａおよび裏面電極２ｂは複数の層で構成されていてもよく、たとえば２層あるいは３層で構成されていてもよい。

[0018] 絶縁保護膜４は、抵抗体３上に配置されている。絶縁保護膜４は、第１絶縁保護膜４１と、第２絶縁保護膜４２とを含む。第１絶縁保護膜４１は、第１抵抗体３１上に配置されている。第１絶縁保護膜４１は、第１表面電極２０及び第２表面電極２１上にも配置されている。第２絶縁保護膜４２は、第２抵抗体３２上に配置されている。第２絶縁保護膜４２は、第１裏面電極２３及び第２裏面電極２４上にも配置されている。絶縁保護膜４は、例えば、エポキシ樹脂、フェノール樹脂、またはエポキシ樹脂とフェノール樹脂との混合物を含む。

[0019] 第２抵抗体３２及び第２絶縁保護膜４２が裏面１２上に形成されていればよく、後述するように、第１抵抗体３１及び第１絶縁保護膜４１は表面１１上に配置されていなくてもよい。

[0020] 側面電極５は、側面１３、表面電極２ａ、及び裏面電極２ｂ上に配置されている。側面電極５は、第１側面電極５１と第２側面電極５２とを含む。

[0021] 第１側面電極５１は、絶縁基板１０の第１側面１３ａ、第１表面電極２０、及び第１裏面電極２３上に配置されている。第１表面電極２０は、第１側面電極５１を通して、第１裏面電極２３に電気的に導通している。第１側面電極５１は、第１層５１ａと、第２層５１ｂと、第３層５１ｃと、第４層５１ｄとを含む。

[0022] 第１層５１ａは、絶縁基板１０の第１側面１３ａ、第１表面電極２０、及び第１裏面電極２３上に配置されている。第１層５１ａは、例えば、硫化し難い導電材料で形成されている。第１層５１ａは、例えば、Ｎｉ－Ｃｒ合金で形成されている。第１層５１ａは、例えば、スパッタ層である。第１層５１ａは、第１絶縁保護膜４１及び第２絶縁保護膜４２上に配置されてもよいが、本実施の形態１において第１層５１ａは、第１絶縁保護膜４１及び第２絶縁保護膜４２上に配置されていない。

[0023] 第２層５１ｂは、第１表面電極２０、第１裏面電極２３、及び第１層５１ａ上に配置されている。第２層５１ｂは、例えば、銅層である。第２層５１ｂは、第１絶縁保護膜４１及び第２絶縁保護膜４２に接続されている。

[0024] 第３層５１ｃは、第２層５１ｂ上に配置されている。第３層５１ｃは、第１表面電極２０と第１裏面電極２３と第１層５１ａと第２層５１ｂとを、熱及び衝撃から保護している。第３層５１ｃは、例えば、ニッケル層である。第３層５１ｃは、第１絶縁保護膜４１及び第２絶縁保護膜４２に接続されている。

[0025] 第４層５１ｄは、第３層５１ｃ上に配置されている。第４層５１ｄは、はんだのような導電性接合部材２００（図示せず）が付着しやすい材料で形成されている。第４層５１ｄは、例えば、スズ層である。第４層５１ｄは、第１絶縁保護膜４１及び第２絶縁保護膜４２に接続されている。

[0026] 第２側面電極５２は、絶縁基板１０の第２側面１３ｂ、第２表面電極２１、及び第２裏面電極２４上に配置されている。第２表面電極２１は、第２側面電極５２を通して、第２裏面電極２４に電気的に導通している。第２側面電極５２は、第１層５２ａと、第２層５２ｂと、第３層５２ｃと、第４層５２ｄとを含む。

[0027] 第１層５２ａは、絶縁基板１０の第２側面１３ｂ、第２表面電極２１、及び第２裏面電極２４上に配置されている。第１層５２ａは、例えば、硫化し難い導電材料で形成されている。第１層５２ａは、例えば、Ｎｉ－Ｃｒ合金で形成されている。第１層５２ａは、例えば、スパッタ層である。第１層５２ａは、第１絶縁保護膜４１及び第２絶縁保護膜４２上に配置されてもよいが、本実施の形態１において第１層５２ａは、第１絶縁保護膜４１及び第２絶縁保護膜４２上に配置されていない。

[0028] 第２層５２ｂは、第２表面電極２１、第２裏面電極２４、及び第１層５２ａ上に配置されている。第２層５２ｂは、例えば、銅層である。第２層５２ｂは、第１絶縁保護膜４１及び第２絶縁保護膜４２に接続されている。

[0029] 第３層５２ｃは、第２層５２ｂ上に配置されている。第３層５２ｃは、第２表面電極２１と第２裏面電極２４と第１層５２ａと第２層５２ｂとを、熱及び衝撃から保護している。第３層５２ｃは、例えば、ニッケル層である。第３層５２ｃは、第１絶縁保護膜４１及び第２絶縁保護膜４２に接続されて

いる。

[0030] 第４層５２ｄは、第３層５２ｃ上に配置されている。第４層５２ｄは、はんだのような導電性接合部材２００が付着しやすい材料で形成されている。第４層５２ｄは、例えば、スズ層である。第４層５２ｄは、第１絶縁保護膜４１及び第２絶縁保護膜４２に接続されている。第４層５１ｄ，５２ｄと配線基板１００（図示せず）の電気配線（図示せず）とに導電性接合部材２００（図示せず）が付着して、チップ抵抗器１ａは配線基板１００に実装される。

[0031] ここで、本実施の形態１に係るチップ抵抗器１ａの特徴は、側面電極５の最下面５０ｓが裏面１２に対して傾斜している点である。具体的には、図３に示されるように、側面電極５は最下点Ｐ１を有する。最下点Ｐ１は、裏面１２からＺ方向において最も離れた位置に配置されている。側面電極５は最下面５０ｓを有している。最下面５０ｓは、側面１３から最下点Ｐ１までの領域である。最下面５０ｓは、裏面１２に対して傾斜している。最下面５０ｓは、第１領域Ｌ１を有する。第１領域Ｌ１は側面１３からＸ方向に離れた領域であり、最下点Ｐ１を含む。第１領域Ｌ１において、裏面１２に対する最下面５０ｓの傾斜角θ１は、１°以上１０°以下である。

[0032] 導電性接合部材２００を介してチップ抵抗器１ａが配線基板１００に実装された時に、チップ抵抗器１ａは、裏面１２が配線基板１００の搭載面に対して平行になるように実装される。このような導電性接合部材２００を介してチップ抵抗器１ａが配線基板１００に実装された時に、温度サイクルのような熱疲労によって、最下面５０ｓと配線基板１００との間に、クラック４００が発生するおそれがある。

[0033] ただし、本実施の形態１に係るチップ抵抗器１ａのように、最下面５０ｓが配線基板１００の搭載面に対して傾斜するように、当該チップ抵抗器１ａを配線基板１００に実装することで、熱疲労によって発生する導電性接合部材２００に係る応力集中が緩和される。つまり、最下面５０ｓと配線基板１００との間に、熱疲労によるクラック４００の発生が抑制される。その結果

、チップ抵抗器１ａの長期信頼性が向上する。

[0034] 図４および図５に、図１から図３に示されたチップ抵抗器１ａの変形例を示す。図４及び図５の各々は、図３に対応する。図４及び図５に示されたチップ抵抗器１ｂ，１ｃは、基本的には図１から図３に示されたチップ抵抗器１ａと同様の構成を備えるが、最下面５０ｓが互いに異なる傾斜角θを複数有している点で異なる。具体的には、最下面５０ｓは第２領域Ｌ２を有してもよい。第２領域Ｌ２は、Ｘ方向において側面１３に最も近い位置に配置されている。第２領域Ｌ２において、裏面１２に対する最下面５０ｓの傾斜角θ２は１°以上であってもよいが、５°以上であることがより好ましい。

[0035] 図４に示される実施の形態１の変形例に係るチップ抵抗器１ｂにおいては、最下面５０ｓは、第２領域Ｌ２は第１領域Ｌ１に隣接している。Ｘ方向において、第１領域Ｌ１の幅は、側面１３から最下点Ｐ１までの距離に対して１／２以上であることが好ましい。第１領域Ｌ１の幅は、最下点Ｐ１から第１領域Ｌ１が第２領域Ｌ２に接続する点までのＸ方向における距離である。

[0036] 最下面５０ｓは第３領域Ｌ３を有してもよい。図５に示される実施の形態１の変形例に係るチップ抵抗器１ｃおいて、第３領域Ｌ３は、Ｘ方向において第１領域Ｌ１と第２領域Ｌ２との間に配置されている。つまり、第１領域Ｌ１は、Ｘ方向において最下点Ｐ１と第３領域Ｌ３との間に配置される。第２領域Ｌ２は、Ｘ方向において側面１３と第３領域Ｌ３との間に配置される。第３領域Ｌ３において、裏面１２に対する最下面５０ｓの傾斜角θ３は１°以上５°以下であることが好ましい。Ｘ方向において、第１領域Ｌ１、第２領域Ｌ２、及び第３領域Ｌ３の各々の幅は、側面１３から最下点Ｐ１までの距離に対して１／４以上１／２以下であることが好ましい。

[0037] このように、最下面５０ｓが配線基板１００の搭載面に対して傾斜するように当該チップ抵抗器１ａ，１ｂ，１ｃが配線基板１００に実装されれば、温度サイクルによって発生する導電性接合部材２００に係る応力集中が緩和される。つまり、最下面５０ｓと配線基板１００との間に、熱疲労によるクラック４００の発生が抑制される。その結果、チップ抵抗器１ａの長期信頼

性が向上する。

[0038] ここで傾斜角θについて説明する。傾斜角θは、図３から図５に示されるように、近似線Ａ１，Ａ２，Ａ３の各々と平行線Ｂ１，Ｂ２，Ｂ３の各々とのなす角度である。傾斜角θは、狭角である。平行線Ｂ１，Ｂ２，Ｂ３は裏面１２に対して平行な線である。

[0039] 近似線Ａ１は、第１領域Ｌ１における最下面５０ｓの連続した点から算出される一次の直線である。近似線Ａ２は、第２領域Ｌ２における最下面５０ｓの連続した点から算出される一次の直線である。近似線Ａ３は、第３領域Ｌ３における最下面５０ｓの連続した点から算出される一次の直線である。連続した点は、チップ抵抗器１ａの断面写真から捉えられる。近似線Ａ１，Ａ２，Ａ３は、例えば連続した点から最小二乗法を用いて算出される。

[0040] このようにして算出された近似線Ａ１，Ａ２，Ａ３の各々と平行線Ｂ１，Ｂ２，Ｂ３の各々とのなす角度を算出することで、傾斜角θ１，θ２，θ３が算出される。

[0041] 表面電極２ａが側面１３にまで延在していると、当該チップ抵抗器１ａの製造段階において、側面１３上にバリが発生するおそれがある。そのため、Ｚ方向から見た平面視において、表面電極２ａは側面１３にまで延在していないことが好ましい。

[0042] 一方、裏面電極２ｂが側面１３にまで延在していない場合、温度サイクルによって絶縁基板１０の角部に応力集中が発生する。その結果、当該絶縁基板１０の角部に熱疲労によるクラック４００が発生する恐れがある。絶縁基板１０の角部に係る応力集中を低減するため、Ｚ方向から見た平面視において、裏面電極２ｂは側面１３にまで延在していることが好ましい。

[0043] 絶縁基板１０の角部に係る応力集中を低減するため、スパッタ層のＸ方向における幅Ｗ１は、１０ｎｍ以上であることが好ましい。具体的には、図３に示されるように、例えば、第１層５１ａのＸ方向における幅Ｗ１が１０ｎｍ以上であることが好ましい。

[0044] 絶縁基板１０の角部に係る応力集中を低減するため、側面電極５のＸ方向

における幅Ｗ２は、１５μｍ以上であることが好ましい。具体的には、図３に示されるように、例えば、第１側面電極５１のＸ方向における幅Ｗ２が１５μｍ以上であることが好ましい。

[0045] 絶縁基板１０の角部に係る応力集中を低減するため、図３に示されるように、裏面電極２ｂのＺ方向における厚みＴ１は５μｍ以上であることが好ましい。厚みＴ１は、たとえば、裏面１２から裏面電極２ｂのＺ方向において最も離れた位置に配置されている点までの距離である。

[0046] ＜作用効果＞

本開示に従ったチップ抵抗器１ａは、絶縁基板１０と抵抗体３と裏面電極２ｂと側面電極５とを備える。絶縁基板１０は、表面１１と裏面１２と側面１３とを含む。裏面１２は、表面１１とは反対側に配置されている。側面１３は、表面１１と裏面１２とを接続する。抵抗体３は、表面１１及び裏面１２の少なくともいずれかに配置されている。裏面電極２ｂは、裏面１２上に配置されている。側面電極５は、側面１３及び裏面電極２ｂ上に配置されている。裏面１２に対して垂直な方向をＺ方向とする。側面電極５は最下点Ｐ１を有する。最下点Ｐ１は、裏面１２からＺ方向において最も離れた位置に配置されている。側面電極５は、最下面５０ｓを有する。最下面５０ｓは、側面１３から最下点Ｐ１までの領域である。最下面５０ｓは、裏面１２に対して傾斜している。最下面５０ｓは、第１領域Ｌ１を有する。第１領域Ｌ１は最下点Ｐ１を含む。第１領域Ｌ１において、裏面１２に対する最下面５０ｓの傾斜角θ１は１°以上１０°以下である。

[0047] このように、最下面５０ｓが配線基板１００の搭載面に対して傾斜するように、当該チップ抵抗器１ａを配線基板１００に実装すれば、温度サイクルによって発生する導電性接合部材２００に係る応力集中が緩和される。つまり、最下面５０ｓと配線基板１００との間に、熱疲労によるクラック４００の発生が抑制される。その結果、チップ抵抗器１ａの長期信頼性を向上させることができる。

[0048] 上記チップ抵抗器１ａにおいて、側面１３に対して垂直な方向をＸ方向と

する。最下面５０ｓは第２領域Ｌ２を有する。第２領域Ｌ２は、Ｘ方向において側面１３に最も近い位置に配置されている。第２領域Ｌ２において、裏面１２に対する最下面５０ｓの傾斜角θ２は５°以上である。

[0049] このようにすれば、互いに異なる複数の傾斜角θを最下面５０ｓが含んでいても、温度サイクルによって発生する導電性接合部材２００に係る応力集中が緩和される。つまり、最下面５０ｓと配線基板１００との間に、熱疲労によるクラック４００の発生が抑制される。その結果、チップ抵抗器１ａの長期信頼性を向上させることができる。

[0050] 上記チップ抵抗器１ａにおいて、最下面５０ｓは第３領域Ｌ３を有する。第３領域Ｌ３はＸ方向において第１領域Ｌ１と第２領域Ｌ２との間に配置されている。第３領域Ｌ３において、裏面１２に対する最下面５０ｓの傾斜角θ３は１°以上５°以下である。

[0051] このようにすれば、互いに異なる複数の傾斜角θを最下面５０ｓが含んでいても、温度サイクルによって発生する導電性接合部材２００に係る応力集中が緩和される。つまり、最下面５０ｓと配線基板１００との間に、熱疲労によるクラック４００の発生が抑制される。その結果、チップ抵抗器１ａの長期信頼性を向上させることができる。

[0052] 上記チップ抵抗器１ａにおいて、Ｘ方向における第１領域Ｌ１の幅は、側面１３から最下点Ｐ１までの距離に対して１／２以上である。このようにすれば、互いに異なる複数の傾斜角θを最下面５０ｓが含んでいても、温度サイクルによって発生する導電性接合部材２００に係る応力集中が緩和される。つまり、最下面５０ｓと配線基板１００との間に、熱疲労によるクラック４００の発生が抑制される。その結果、チップ抵抗器１ａの長期信頼性を向上させることができる。

[0053] 上記チップ抵抗器１ａにおいて、Ｚ方向から見た平面視において、裏面電極２ｂは側面１３にまで延在している。このようにすれば、絶縁基板１０の角部に係る応力集中を低減することができる。その結果、チップ抵抗器１ａの長期信頼性を向上させることができる。

[0054] 上記チップ抵抗器１ａにおいて、裏面電極２ｂのＺ方向における厚みＴ１は５μｍ以上である。このようにすれば、絶縁基板１０の角部に係る応力集中を低減することができる。その結果、チップ抵抗器１ａの長期信頼性を向上させることができる。

[0055] 上記チップ抵抗器１ａにおいて、側面電極５のＸ方向における幅Ｗ２は１５μｍ以上である。このようにすれば、絶縁基板１０の角部に係る応力集中を低減することができる。その結果、チップ抵抗器１ａの長期信頼性を向上させることができる。

[0056] 上記チップ抵抗器１ａは、表面電極２ａと絶縁保護膜４とを更に備える。表面電極２ａは、表面１１上に配置されている。絶縁保護膜４は、第１絶縁保護膜４１と第２絶縁保護膜４２とを含む。側面１３は、第１側面１３ａと第２側面１３ｂとを含む。第２側面１３ｂは、第１側面１３ａとは反対側に配置されている。抵抗体３は、第１抵抗体３１と第２抵抗体３２とを含む。第１抵抗体３１は、表面１１上に配置されている。第２抵抗体３２は裏面１２上に配置されている。表面電極２ａは、第１表面電極２０と第２表面電極２１とを含む。第２表面電極２１は、第１表面電極２０とＸ方向において離間して配置されている。裏面電極２ｂは第１裏面電極２３と第２裏面電極２４とを含む。第２裏面電極２４は、第１裏面電極２３とＸ方向において離間して配置されている。側面電極５は第１側面電極５１と第２側面電極５２とを含む。第１側面電極５１は、第１側面１３ａ、第１裏面電極２３、及び第１表面電極２０上に配置されている。第２側面電極５２は、第２側面１３ｂ、第２裏面電極２４、及び第２表面電極２１上に配置されている。第１絶縁保護膜４１は、第１抵抗体３１、第１表面電極２０、及び第２表面電極２１上に配置されている。第２絶縁保護膜４２は、第２抵抗体３２、第１裏面電極２３、及び第２裏面電極２４上に配置されている。

[0057] このようにすれば、最下面５０ｓが配線基板１００の搭載面に対して傾斜するように、当該チップ抵抗器１ａが配線基板１００に実装されれば、温度サイクルによって発生する導電性接合部材２００に係る応力集中が緩和され

る。つまり、最下面５０ｓと配線基板１００との間に、熱疲労によるクラック４００の発生が抑制される。その結果、チップ抵抗器１ａの長期信頼性を向上させることができる。

[0058] 上記のような本実施の形態１に係るチップ抵抗器１ａ，１ｂ，１ｃの効果を検証するために温度サイクル試験によるクラック４００の発生の有無を調査した。

[0059] ＜温度サイクル試験＞

温度サイクル試験は、チップ抵抗器を－５５℃の低温環境下に３０分間置いた後に１５０℃の高温環境下に３０分間置くというサイクルを繰り返す試験である。温度サイクル試験の対象は実施例１～９および比較例１におけるチップ抵抗器である。表１から表３に各実施例１～９および比較例１におけるチップ抵抗器の傾斜角θを示す。実施例１～４は、本実施の形態１に係るチップ抵抗器１ａと同様の構成を有する。実施例５～７は、本実施の形態１に係るチップ抵抗器１ｂと同様の構成を有する。実施例８，９は、本実施の形態１に係るチップ抵抗器１ｃと同様の構成を有する。つまり、実施例１～９における傾斜角θ１は、１°以上１０°以下である。実施例５～９における傾斜角θ２は、５°以上である。実施例８，９における傾斜角θ３は、１°以上５°以下である。なお、比較例１において、チップ抵抗器の最下面５０ｓは裏面１２と平行である。つまり、比較例１における傾斜角θは０°である。表１から表３に示される傾斜角θは、第１側面１３ａ側における傾斜角を対象とした。

[0060] [表1]

	比較例１	実施例１	実施例２	実施例３	実施例４
傾斜角θ1 [°]	0	3.5	4	4.5	2

[0061]

[表2]

	実施例５	実施例６	実施例７
傾斜角θ1 [°]	1.5	2.9	2.5
傾斜角θ2 [°]	9	9	9

[0062] [表3]

	実施例８	実施例９
傾斜角θ1 [°]	8	3
傾斜角θ2 [°]	11	13
傾斜角θ3 [°]	3.5	1

[0063] ＜試験結果＞

上記の温度サイクル試験により、実施例１～９において最下面５０ｓ近傍において最下面５０ｓと配線基板１００との間にクラック４００は発生しなかった。一方、比較例１において最下面５０ｓ近傍において最下面５０ｓと配線基板１００との間にクラック４００が発生した。クラック４００が発生すると、チップ抵抗器の抵抗値が大きく変化する。そのため、チップ抵抗器の抵抗値の変化量を計測することで、当該チップ抵抗器の長期信頼性を確認してもよい。

[0064] 図６および図７に、温度サイクル試験後におけるチップ抵抗器を示す。図６は、比較例１における温度サイクル試験後のチップ抵抗器の部分断面図である。図７は、実施例１における温度サイクル試験後のチップ抵抗器の部分断面図である。

[0065] 図６に示されるように、比較例１において最下面５０ｓと配線基板１００との間にクラック４００は発生している。一方、図７に示されるように、実

施例１において最下面５０ｓと配線基板１００との間にクラック４００は発生していない。つまり、最下面５０ｓが裏面１２に対して傾斜することで、チップ抵抗器の長期信頼性を向上させることができる。

[0066] 実施の形態２.

＜チップ抵抗器の構成＞

図８は、実施の形態２のチップ抵抗器１ａの概略断面図である。図８は、図２に対応する。図８に示されたチップ抵抗器１ａは、基本的には図１から図３に示されたチップ抵抗器１ａと同様の構成を備え、同様の効果を得ることができるが、表面電極２ａおよび裏面電極２ｂの各々が、２層で構成されている点で異なる。このような構成により、傾斜角θの制御が容易になる。また、表面電極２ａおよび裏面電極２ｂの各々が２層で構成されていることにより、表面電極２ａおよび裏面電極２ｂの抵抗値が低減する。そのため、当該チップ抵抗器１ａの抵抗温度係数が小さくなる。また、当該チップ抵抗器１ａの抵抗値が小さいため、プロービングにおける抵抗値の測定精度が向上する。

[0067] 具体的には、たとえば、第１表面電極２０は、第１電極層２０ａと第２電極層２０ｂとを含む。第１表面電極２０は、第１電極層２０ａと第２電極層２０ｂとの積層体である。第１電極層２０ａは、表面１１上に配置されている。第１抵抗体３１の一部は、第１電極層２０ａ上に配置されている。第２電極層２０ｂは、第１電極層２０ａ上に配置されている。第２電極層２０ｂの一部は、第１抵抗体３１上に配置されている。

[0068] 第２表面電極２１は、第１電極層２１ａと第２電極層２１ｂとを含む。第２表面電極２１は、第１電極層２１ａと第２電極層２１ｂとの積層体である。第１電極層２１ａは、表面１１上に配置されている。第１抵抗体３１の一部は、第１電極層２１ａ上に配置されている。第２電極層２１ｂは、第１電極層２１ａ上に配置されている。第２電極層２１ｂの一部は、第１抵抗体３１上に配置されている。

[0069] 第１裏面電極２３は、第１電極層２３ａと第２電極層２３ｂとを含む。第

１裏面電極２３は、第１電極層２３ａと第２電極層２３ｂとの積層体である。第１電極層２３ａは、裏面１２上に配置されている。第２抵抗体３２の一部は、第１電極層２３ａ上に配置されている。第２電極層２３ｂは、第１電極層２３ａ上に配置されている。第２電極層２３ｂの一部は、第２抵抗体３２上に配置されている。

[0070] 第２裏面電極２４は、第１電極層２４ａと第２電極層２４ｂとを含む。第２裏面電極２４は、第１電極層２４ａと第２電極層２４ｂとの積層体である。第１電極層２４ａは、裏面１２上に配置されている。第２抵抗体３２の一部は、第１電極層２４ａ上に配置されている。第２電極層２４ｂは、第１電極層２４ａ上に配置されている。第２電極層２４ｂの一部は、第２抵抗体３２上に配置されている。

[0071] 実施の形態３．

＜チップ抵抗器の構成＞

図９は、実施の形態３のチップ抵抗器１ａの概略断面図である。図９は、図２に対応する。図９に示されたチップ抵抗器１ａは、基本的には図１から図３に示されたチップ抵抗器１ａと同様の構成を備え、同様の効果を得ることができるが、表面電極２ａおよび裏面電極２ｂの各々が、３層で構成されている点で異なる。このような構成により、傾斜角θの制御が更に容易になる。また、表面電極２ａおよび裏面電極２ｂの各々が３層で構成されていることにより、表面電極２ａおよび裏面電極２ｂの抵抗値が低減する。そのため、当該チップ抵抗器１ａの抵抗温度係数が小さくなる。また、当該チップ抵抗器１ａの抵抗値が小さいため、プロービングにおける抵抗値の測定精度が向上する。

[0072] 具体的には、たとえば、第１表面電極２０は、第１電極層２０ａと第２電極層２０ｂと第３電極層２０ｃとを含む。第１表面電極２０は、第１電極層２０ａと第２電極層２０ｂと第３電極層２０ｃとの積層体である。第１電極層２０ａは、表面１１上に配置されている。第１抵抗体３１の一部は、第１電極層２０ａ上に配置されている。第２電極層２０ｂは、第１電極層２０ａ

上に配置されている。第２電極層２０ｂの一部は、第１抵抗体３１上に配置されている。第３電極層２０ｃは、第２電極層２０ｂ上に配置されている。

[0073] 第２表面電極２１は、第１電極層２１ａと第２電極層２１ｂと第３電極層２１ｃとを含む。第２表面電極２１は、第１電極層２１ａと第２電極層２１ｂと第３電極層２１ｃとの積層体である。第１電極層２１ａは、表面１１上に配置されている。第１抵抗体３１の一部は、第１電極層２１ａ上に配置されている。第２電極層２１ｂは、第１電極層２１ａ上に配置されている。第２電極層２１ｂの一部は、第１抵抗体３１上に配置されている。第３電極層２１ｃは、第２電極層２１ｂ上に配置されている。

[0074] 第１裏面電極２３は、第１電極層２３ａと第２電極層２３ｂと第３電極層２３ｃとを含む。第１裏面電極２３は、第１電極層２３ａと第２電極層２３ｂと第３電極層２３ｃとの積層体である。第１電極層２３ａは、裏面１２上に配置されている。第２抵抗体３２の一部は、第１電極層２３ａ上に配置されている。第２電極層２３ｂは、第１電極層２３ａ上に配置されている。第２電極層２３ｂの一部は、第２抵抗体３２上に配置されている。第３電極層２３ｃは、第２電極層２３ｂ上に配置されている。

[0075] 第２裏面電極２４は、第１電極層２４ａと第２電極層２４ｂと第３電極層２４ｃとを含む。第２裏面電極２４は、第１電極層２４ａと第２電極層２４ｂと第３電極層２４ｃとの積層体である。第１電極層２４ａは、裏面１２上に配置されている。第２抵抗体３２の一部は、第１電極層２４ａ上に配置されている。第２電極層２４ｂは、第１電極層２４ａ上に配置されている。第２電極層２４ｂの一部は、第２抵抗体３２上に配置されている。第３電極層２４ｃは、第２電極層２４ｂ上に配置されている。

[0076] 実施の形態４．

＜チップ抵抗器の構成＞

図１０は、実施の形態４のチップ抵抗器１ａの概略断面図である。図１０は、図２に対応する。図１０に示されたチップ抵抗器１ａは、基本的には図１から図３に示されたチップ抵抗器１ａと同様の構成を備え、同様の効果を

得ることができるが、スパッタ層が絶縁保護膜４上にも形成されている点で異なる。具体的には、図１０に示されるように、第１層５１ａ，５２ａは、第１絶縁保護膜４１及び第２絶縁保護膜４２上に配置されている。このようにすることで、側面電極５を絶縁保護膜４上に形成することができる。その結果、Ｘ方向における側面電極５が延在する領域を調整することができる。

[0077] 実施の形態５．

＜チップ抵抗器の構成＞

図１１は、実施の形態５のチップ抵抗器１ａの概略断面図である。図１１は、図８に対応する。図１１に示されたチップ抵抗器１ａは、基本的には図８に示されたチップ抵抗器１ａと同様の構成を備え、同様の効果を得ることができるが、２層で構成された表面電極２ａおよび裏面電極２ｂ上に配置されているスパッタ層が絶縁保護膜４上にも形成されている点で異なる。具体的には、図１１に示されるように、第１層５１ａ，５２ａは、第１絶縁保護膜４１及び第２絶縁保護膜４２上に配置されている。このようにすることで、側面電極５を絶縁保護膜４上に形成することができる。その結果、Ｘ方向における側面電極５が延在する領域を調整することができる。また、表面電極２ａおよび裏面電極２ｂの各々が２層で構成されていることにより、傾斜角θの制御が容易になる。

[0078] 実施の形態６．

＜チップ抵抗器の構成＞

図１２は、実施の形態６のチップ抵抗器１ａの概略断面図である。図１２は、図９に対応する。図１２に示されたチップ抵抗器１ａは、基本的には図９に示されたチップ抵抗器１ａと同様の構成を備え、同様の効果を得ることができるが、３層で構成された表面電極２ａおよび裏面電極２ｂ上に配置されているスパッタ層が絶縁保護膜４上にも形成されている点で異なる。具体的には、図１２に示されるように、第１層５１ａ，５２ａは、第１絶縁保護膜４１及び第２絶縁保護膜４２上に配置されている。このようにすることで、側面電極５を絶縁保護膜４上に形成することができる。その結果、Ｘ方向

における側面電極５が延在する領域を調整することができる。また、表面電極２ａおよび裏面電極２ｂの各々が３層で構成されていることにより、傾斜角θの制御が容易になる。

[0079] 実施の形態７.

＜チップ抵抗器の構成＞

図１３は、実施の形態７のチップ抵抗器１ａの概略断面図である。図１３は、図２に対応する。図１３に示されたチップ抵抗器１ａは、基本的には図１から図３に示されたチップ抵抗器１ａと同様の構成を備え、同様の効果を得ることができるが、第１抵抗体３１および第１絶縁保護膜４１が表面１１上に配置されていない点で異なる。このようにすることで、当該チップ抵抗器１ａの抵抗値は長期的に安定する。

[0080] 実施の形態８.

＜チップ抵抗器の構成＞

図１４は、実施の形態８のチップ抵抗器１ａの概略断面図である。図１４は、図８に対応する。図１４に示されたチップ抵抗器１ａは、基本的には図８に示されたチップ抵抗器１ａと同様の構成を備え、同様の効果を得ることができるが、第１抵抗体３１および第１絶縁保護膜４１が表面１１上に配置されていない点で異なる。また、表面電極２ａは１層で構成されているが、裏面電極２ｂは、２層で構成されている。裏面電極２ｂが２層で構成されていることにより、傾斜角θの制御が容易になる。また、裏面１２のみに抵抗体３が配置されているため、当該チップ抵抗器１ａの抵抗値は長期的に安定する。

[0081] 実施の形態９.

＜チップ抵抗器の構成＞

図１５は、実施の形態９のチップ抵抗器１ａの概略断面図である。図１５は、図１０に対応する。図１５に示されたチップ抵抗器１ａは、基本的には図１０に示されたチップ抵抗器１ａと同様の構成を備え、同様の効果を得ることができるが、第１抵抗体３１および第１絶縁保護膜４１が表面１１上に

配置されていない点で異なる。裏面１２のみに抵抗体３が配置されているため、当該チップ抵抗器１ａの抵抗値は長期的に安定する。また、第１層５１ａ，５２ａは、第２絶縁保護膜４２上に配置されている。そのため、側面電極５を絶縁保護膜４上に形成することができる。その結果、Ｘ方向における側面電極５が延在する領域を調整することができる。

[0082] 実施の形態１０．

＜チップ抵抗器の構成＞

図１６は、実施の形態１０のチップ抵抗器１ａの概略断面図である。図１６は、図１１に対応する。図１６に示されたチップ抵抗器１ａは、基本的には図１１に示されたチップ抵抗器１ａと同様の構成を備え、同様の効果を得ることができるが、第１抵抗体３１および第１絶縁保護膜４１が表面１１上に配置されていない点で異なる。また、表面電極２ａは１層で構成されているが、裏面電極２ｂは、２層で構成されている。裏面電極２ｂが２層で構成されていることにより、傾斜角θの制御が容易になる。また、裏面１２のみに抵抗体３が配置されているため、当該チップ抵抗器１ａの抵抗値は長期的に安定する。また、第１層５１ａ，５２ａは、第２絶縁保護膜４２上に配置されている。そのため、側面電極５を絶縁保護膜４上に形成することができる。その結果、Ｘ方向における側面電極５が延在する領域を調整することができる。

[0083] 実施の形態１１．

＜チップ抵抗器の構成＞

図１７は、実施の形態１１のチップ抵抗器１ａの概略断面図である。図１７は、図１３に対応する。図１７に示されたチップ抵抗器１ａは、基本的には図１３に示されたチップ抵抗器１ａと同様の構成を備え、同様の効果を得ることができるが、導電性樹脂層６０が裏面電極２ｂおよび第２絶縁保護膜４２上に配置されている点で異なる。導電性樹脂層６０は、第１導電性樹脂層６１と第２導電性樹脂層６２とを含む。このような構成により、Ｘ方向における側面電極５が延在する領域を調整することができる。また、導電性樹

脂層６０によりクラック４００の発生が抑制される。その結果、当該チップ抵抗器１ａの抵抗値は長期的に安定する。

[0084] 第１導電性樹脂層６１は、第１裏面電極２３と第２絶縁保護膜４２上に配置されている。第２導電性樹脂層６２は、第２裏面電極２４と第２絶縁保護膜４２上に配置されている。第２導電性樹脂層６２は、第２絶縁保護膜４２によって、第１導電性樹脂層６１から電気的に絶縁されている。

[0085] 第１導電性樹脂層６１及び第２導電性樹脂層６２は、エポキシ樹脂、フェノール樹脂、または、エポキシ樹脂とフェノール樹脂との混合物のような樹脂と、導電粒子とを含む。導電性粒子は、例えば、銀粒子もしくは銅粒子のような金属粒子、カーボン粒子、または、これらの組み合わせである。

[0086] 実施の形態１２．

＜チップ抵抗器の構成＞

図１８は、実施の形態１２のチップ抵抗器１ａの概略断面図である。図１８は、図１４に対応する。図１８に示されたチップ抵抗器１ａは、基本的には図１４に示されたチップ抵抗器１ａと同様の構成を備え、同様の効果を得ることができるが、導電性樹脂層６０が裏面電極２ｂおよび第２絶縁保護膜４２上に配置されている点で異なる。このような構成により、Ｘ方向における側面電極５が延在する領域を調整することができる。また、導電性樹脂層６０によりクラック４００の発生が抑制される。その結果、当該チップ抵抗器１ａの抵抗値は長期的に安定する。また、裏面電極２ｂが２層で構成されていることにより、傾斜角θの制御が容易になる。

[0087] 第１導電性樹脂層６１は、第２電極層２３ｂと第２絶縁保護膜４２上に配置されている。第２導電性樹脂層６２は、第２電極層２４ｂと第２絶縁保護膜４２上に配置されている。第２導電性樹脂層６２は、第２絶縁保護膜４２によって、第１導電性樹脂層６１から電気的に絶縁されている。

[0088] 以下、本開示の諸態様を付記としてまとめて記載する。

（付記１）

表面と、前記表面とは反対側に配置されている裏面と、前記表面と前記裏

面とを接続する側面とを含む絶縁基板と、

前記表面及び前記裏面の少なくともいずれかに配置されている抵抗体と、

前記裏面上に配置されている裏面電極と、

前記側面及び前記裏面電極上に配置されている側面電極とを備え、

前記裏面に対して垂直な方向をＺ方向とすると、

前記側面電極は前記裏面から前記Ｚ方向において最も離れた位置に配置されている最下点を有し、

前記側面電極は、前記側面から前記最下点までの領域である最下面を有し、

前記最下面は、前記裏面に対して傾斜しており、

前記最下面は、前記最下点を含む第１領域を有し、

前記第１領域において、前記裏面に対する前記最下面の傾斜角は１°以上１０°以下である、チップ抵抗器。

（付記２）

前記側面に対して垂直な方向をＸ方向とすると、

前記最下面は、前記Ｘ方向において前記側面に最も近い位置に配置されている第２領域を有し、

前記第２領域において、前記裏面に対する前記最下面の傾斜角は５°以上である、付記１に記載のチップ抵抗器。

（付記３）

前記最下面は、前記Ｘ方向において前記第１領域と前記第２領域との間に配置されている第３領域を有し、

前記第３領域において、前記裏面に対する前記最下面の傾斜角は１°以上５°以下である、付記２に記載のチップ抵抗器。

（付記４）

前記Ｘ方向において、前記第１領域の幅は、前記側面から前記最下点までの距離に対して１／２以上である、付記２に記載のチップ抵抗器。

（付記５）

前記Ｚ方向から見た平面視において、前記裏面電極は前記側面にまで延在している、付記１から付記４のいずれか１項に記載のチップ抵抗器。

（付記６）

前記裏面電極の前記Ｚ方向における厚みは５μｍ以上である、付記１から付記５のいずれか１項に記載のチップ抵抗器。

（付記７）

前記側面電極の前記Ｘ方向における幅は１５μｍ以上である、付記２から付記４のいずれか１項に記載のチップ抵抗器。

（付記８）

前記表面上に配置されている表面電極と、

第１絶縁保護膜と第２絶縁保護膜とを含む絶縁保護膜とを更に備え、

前記側面は第１側面と前記第１側面とは反対側に配置されている第２側面とを含み、

前記抵抗体は、前記表面上に配置されている第１抵抗体と、前記裏面上に配置されている第２抵抗体とを含み、

前記表面電極は第１表面電極と、前記第１表面電極と前記Ｘ方向において離間して配置されている第２表面電極とを含み、

前記裏面電極は第１裏面電極と、前記第１裏面電極と前記Ｘ方向において離間して配置されている第２裏面電極とを含み、

前記側面電極は第１側面電極と第２側面電極とを含み、

前記第１側面電極は、前記第１側面、前記第１裏面電極、及び前記第１表面電極上に配置され、

前記第２側面電極は、前記第２側面、前記第２裏面電極、及び前記第２表面電極上に配置され、

前記第１絶縁保護膜は、前記第１抵抗体、前記第１表面電極、及び前記第２表面電極上に配置され、

前記第２絶縁保護膜は、前記第２抵抗体、前記第１裏面電極、及び前記第２裏面電極上に配置されている、付記２から付記４のいずれか１項に記載の

チップ抵抗器。

[0089] 今回開示された実施の形態１から実施の形態１２はすべての点で例示であって制限的なものではないと考えられるべきである。本開示の範囲は、上記した説明ではなく請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることを意図される。

符号の説明

[0090] １ａ，１ｂ，１ｃ　チップ抵抗器、２ａ　表面電極、２ｂ　裏面電極、３　抵抗体、４　絶縁保護膜、５　側面電極、１０　絶縁基板、１０ｃ，３１ｃ，３２ｃ　中央、１１　表面、１２　裏面、１３　側面、１３ａ　第１側面、１３ｂ　第２側面、２０　第１表面電極、２０ａ，２１ａ，２３ａ，２４ａ　第１電極層、２０ｂ，２１ｂ，２３ｂ，２４ｂ　第２電極層、２０ｃ，２１ｃ，２３ｃ，２４ｃ　第３電極層、２１　第２表面電極、２３　第１裏面電極、２４　第２裏面電極、３１　第１抵抗体、３２　第２抵抗体、４１　第１絶縁保護膜、４２　第２絶縁保護膜、５０ｓ　最下面、５１　第１側面電極、５１ａ，５２ａ　第１層、５１ｂ，５２ｂ　第２層、５１ｃ，５２ｃ　第３層、５１ｄ，５２ｄ　第４層、５２　第２側面電極、６０　導電性樹脂層、６１　第１導電性樹脂層、６２　第２導電性樹脂層、１００　配線基板、２００　導電性接合部材、４００　クラック、Ａ１，Ａ２，Ａ３　近似線、Ｂ１，Ｂ２，Ｂ３　平行線、Ｌ１　第１領域、Ｌ２　第２領域、Ｌ３　第３領域、Ｐ１　最下点、Ｔ１　厚み、Ｗ１，Ｗ２　幅。

請求の範囲

[請求項1] 表面と、前記表面とは反対側に配置されている裏面と、前記表面と前記裏面とを接続する側面とを含む絶縁基板と、

前記表面及び前記裏面の少なくともいずれかに配置されている抵抗体と、

前記裏面上に配置されている裏面電極と、

前記側面及び前記裏面電極上に配置されている側面電極とを備え、

前記裏面に対して垂直な方向をＺ方向とすると、

前記側面電極は前記裏面から前記Ｚ方向において最も離れた位置に配置されている最下点を有し、

前記側面電極は、前記側面から前記最下点までの領域である最下面を有し、

前記最下面は、前記裏面に対して傾斜しており、

前記最下面は、前記最下点を含む第１領域を有し、

前記第１領域において、前記裏面に対する前記最下面の傾斜角は１°以上１０°以下である、チップ抵抗器。

[請求項2] 前記側面に対して垂直な方向をＸ方向とすると、

前記最下面は、前記Ｘ方向において前記側面に最も近い位置に配置されている第２領域を有し、

前記第２領域において、前記裏面に対する前記最下面の傾斜角は５°以上である、請求項１に記載のチップ抵抗器。

[請求項3] 前記最下面は、前記Ｘ方向において前記第１領域と前記第２領域との間に配置されている第３領域を有し、

前記第３領域において、前記裏面に対する前記最下面の傾斜角は１°以上５°以下である、請求項２に記載のチップ抵抗器。

[請求項4] 前記Ｘ方向において、前記第１領域の幅は、前記側面から前記最下点までの距離に対して１／２以上である、請求項２に記載のチップ抵抗器。

[請求項5] 前記Ｚ方向から見た平面視において、前記裏面電極は前記側面にまで延在している、請求項１から請求項４のいずれか１項に記載のチップ抵抗器。

[請求項6] 前記裏面電極の前記Ｚ方向における厚みは５μｍ以上である、請求項１から請求項５のいずれか１項に記載のチップ抵抗器。

[請求項7] 前記側面電極の前記Ｘ方向における幅は１５μｍ以上である、請求項２から請求項４のいずれか１項に記載のチップ抵抗器。

[請求項8] 前記表面上に配置されている表面電極と、

第１絶縁保護膜と第２絶縁保護膜とを含む絶縁保護膜とを更に備え、

前記側面は第１側面と前記第１側面とは反対側に配置されている第２側面とを含み、

前記抵抗体は、前記表面上に配置されている第１抵抗体と、前記裏面上に配置されている第２抵抗体とを含み、

前記表面電極は第１表面電極と、前記第１表面電極と前記Ｘ方向において離間して配置されている第２表面電極とを含み、

前記裏面電極は第１裏面電極と、前記第１裏面電極と前記Ｘ方向において離間して配置されている第２裏面電極とを含み、

前記側面電極は第１側面電極と第２側面電極とを含み、

前記第１側面電極は、前記第１側面、前記第１裏面電極、及び前記第１表面電極上に配置され、

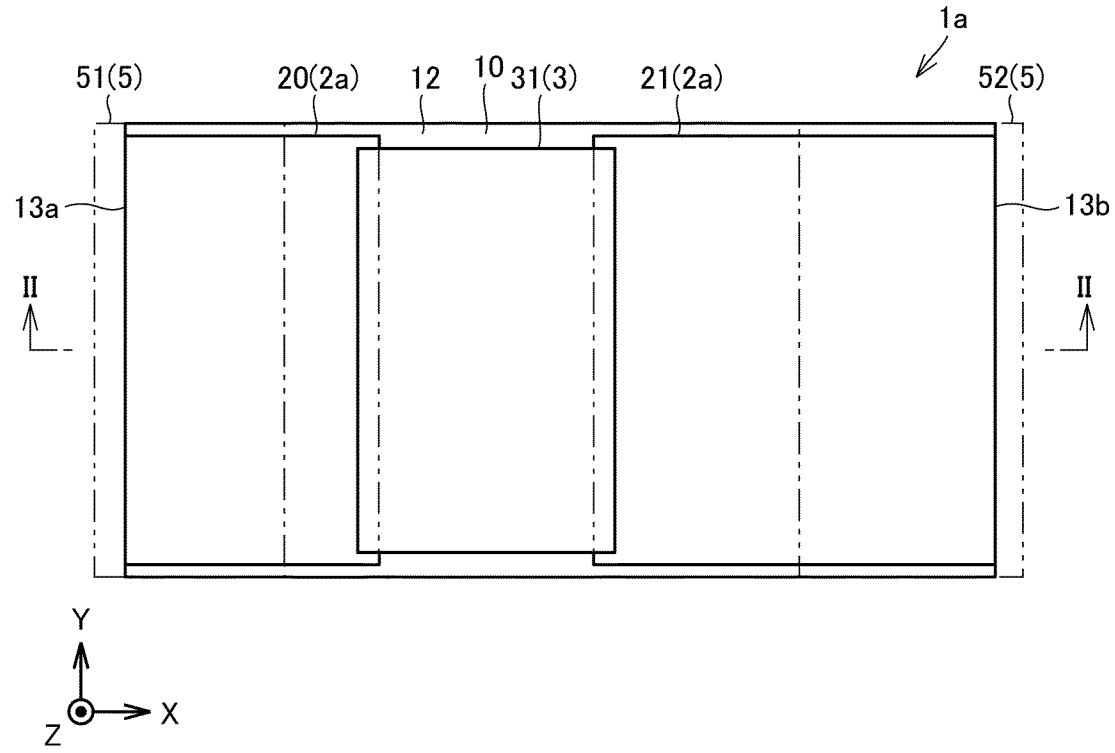
前記第２側面電極は、前記第２側面、前記第２裏面電極、及び前記第２表面電極上に配置され、

前記第１絶縁保護膜は、前記第１抵抗体、前記第１表面電極、及び前記第２表面電極上に配置され、

前記第２絶縁保護膜は、前記第２抵抗体、前記第１裏面電極、及び前記第２裏面電極上に配置されている、請求項２から請求項４のいずれか１項に記載のチップ抵抗器。

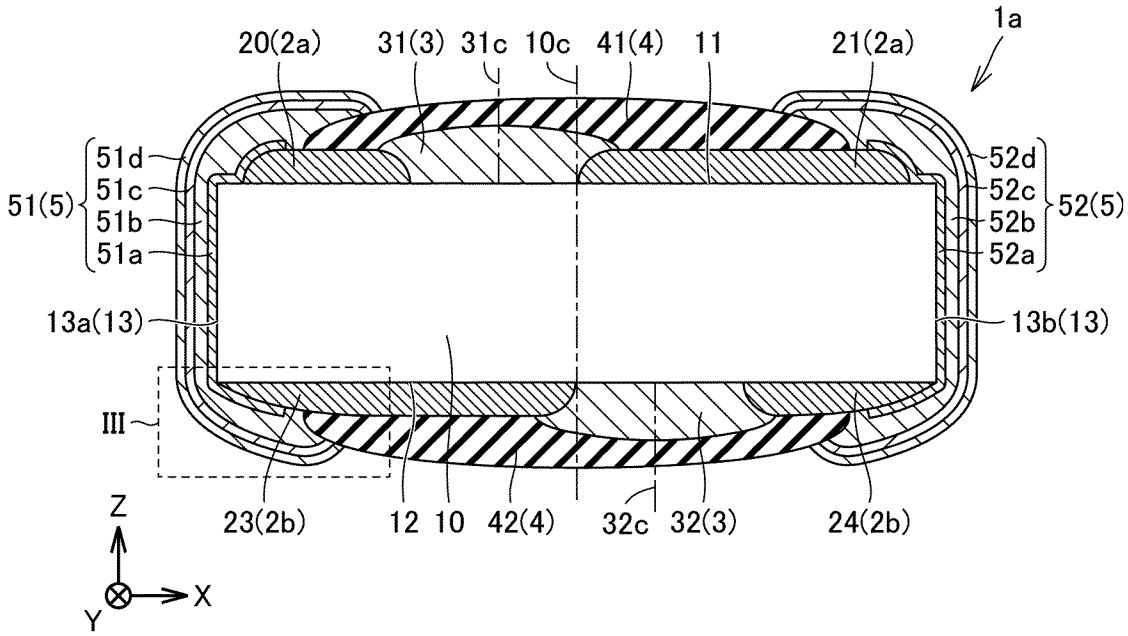
[図1]

FIG.1



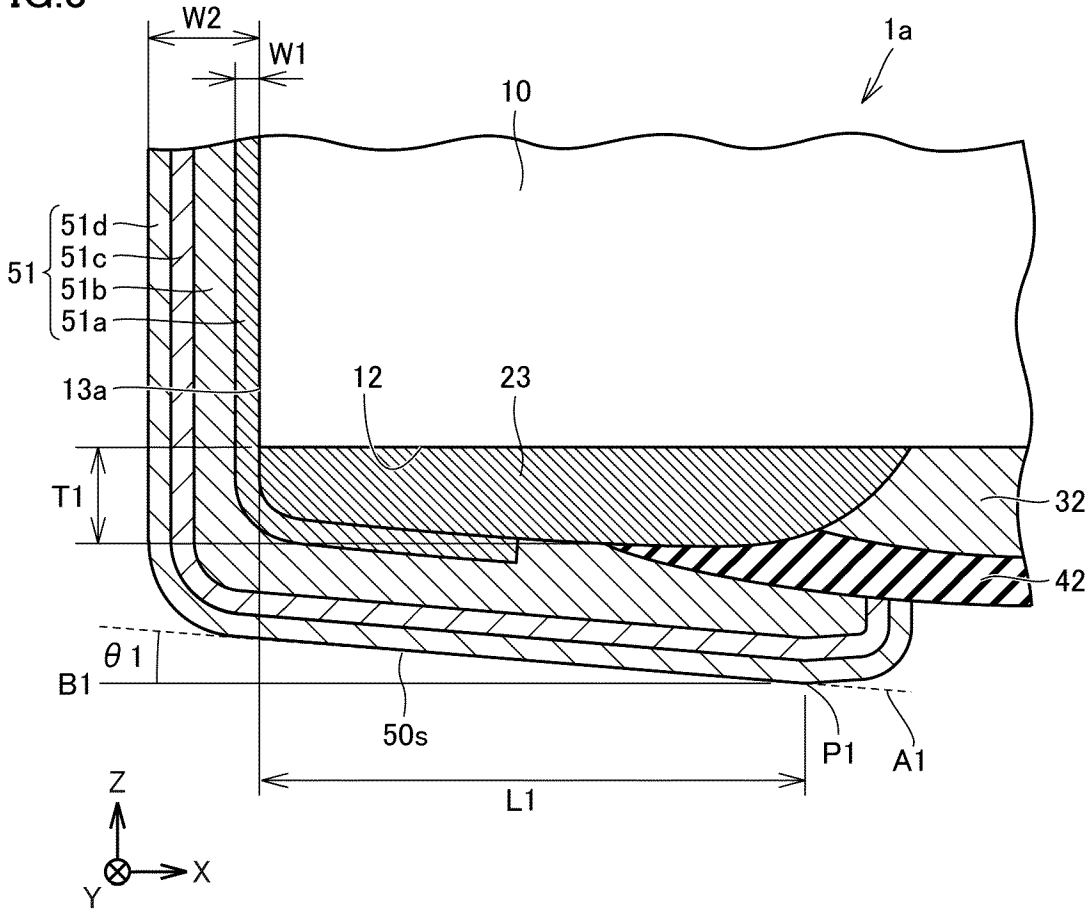
[図2]

FIG.2



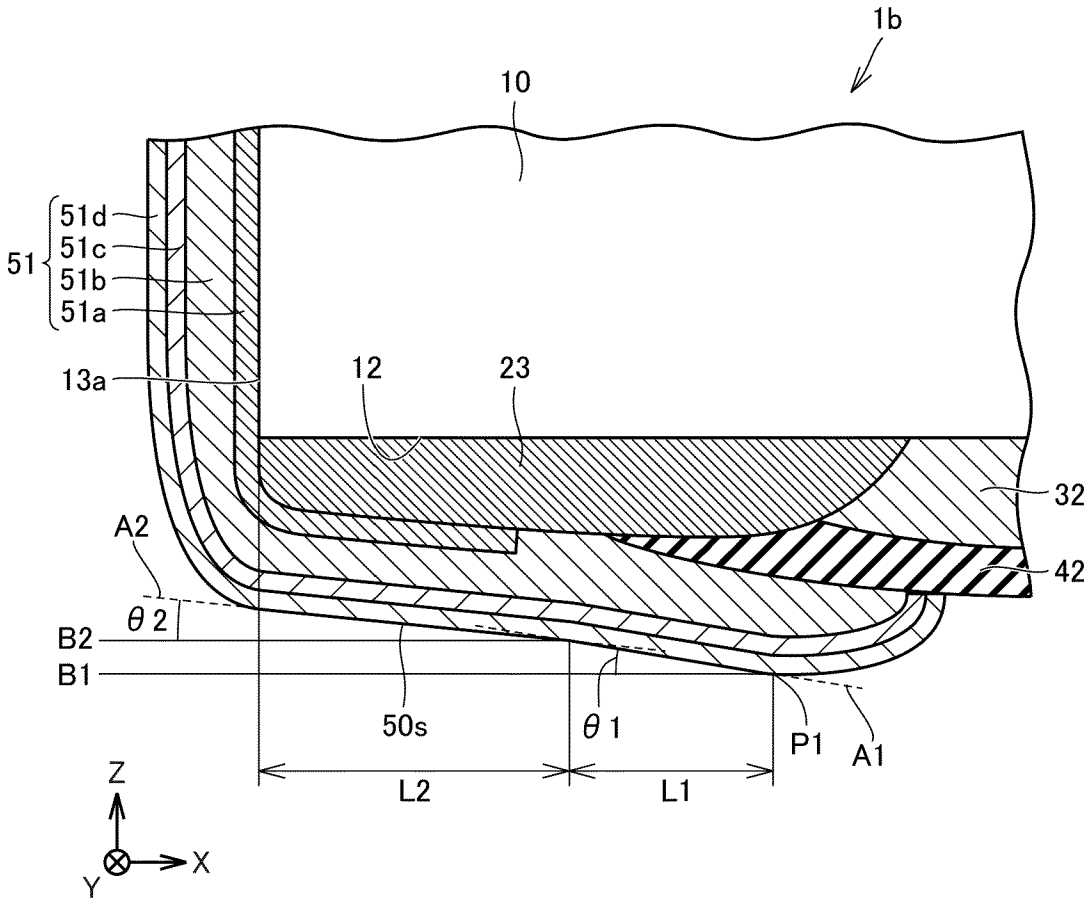
[図3]

FIG.3


W2
W1
1a
10
51
51d
51c
51b
51a
13a
12
23
T1
32
42
θ1
B1
50s
P1
A1
L1
Z
X
Y

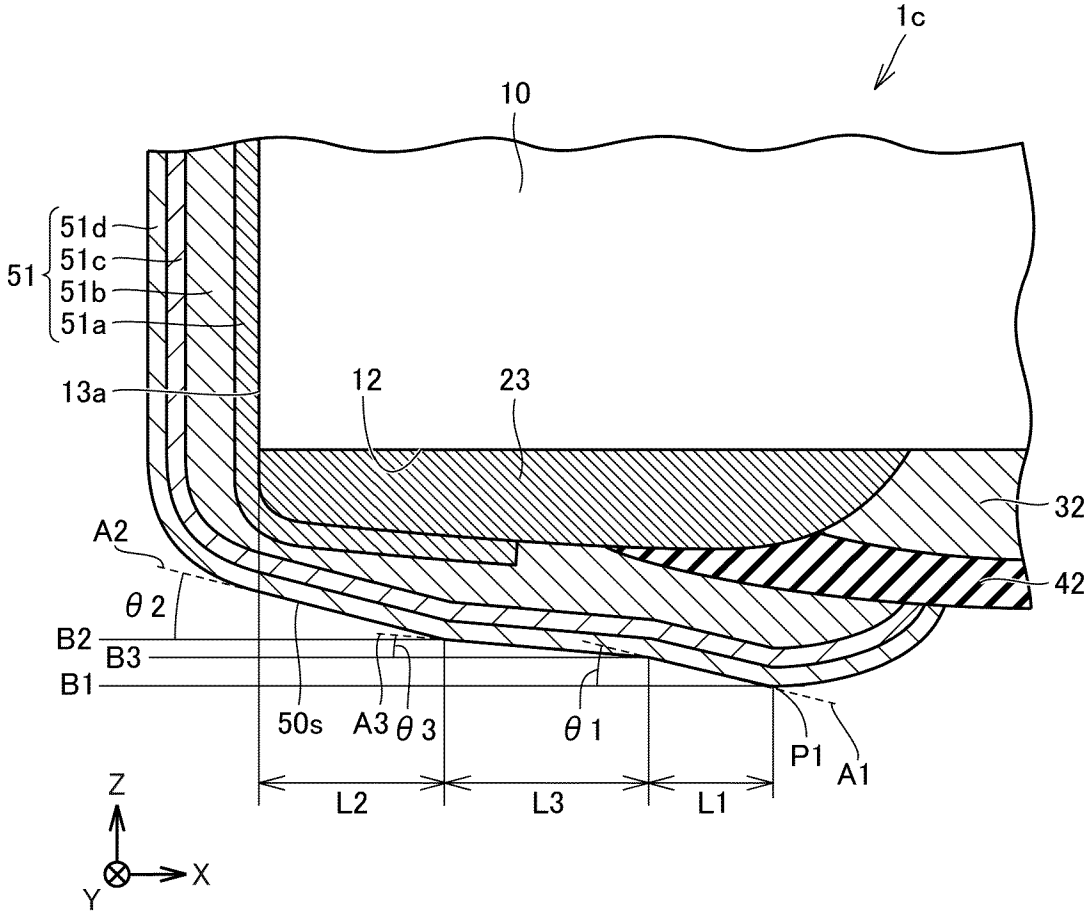
[図4]

FIG.4


1b
10
51
51d
51c
51b
51a
13a
12
23
32
42
A2
θ2
B2
B1
50s
θ1
P1
A1
L2
L1
Z
X
Y

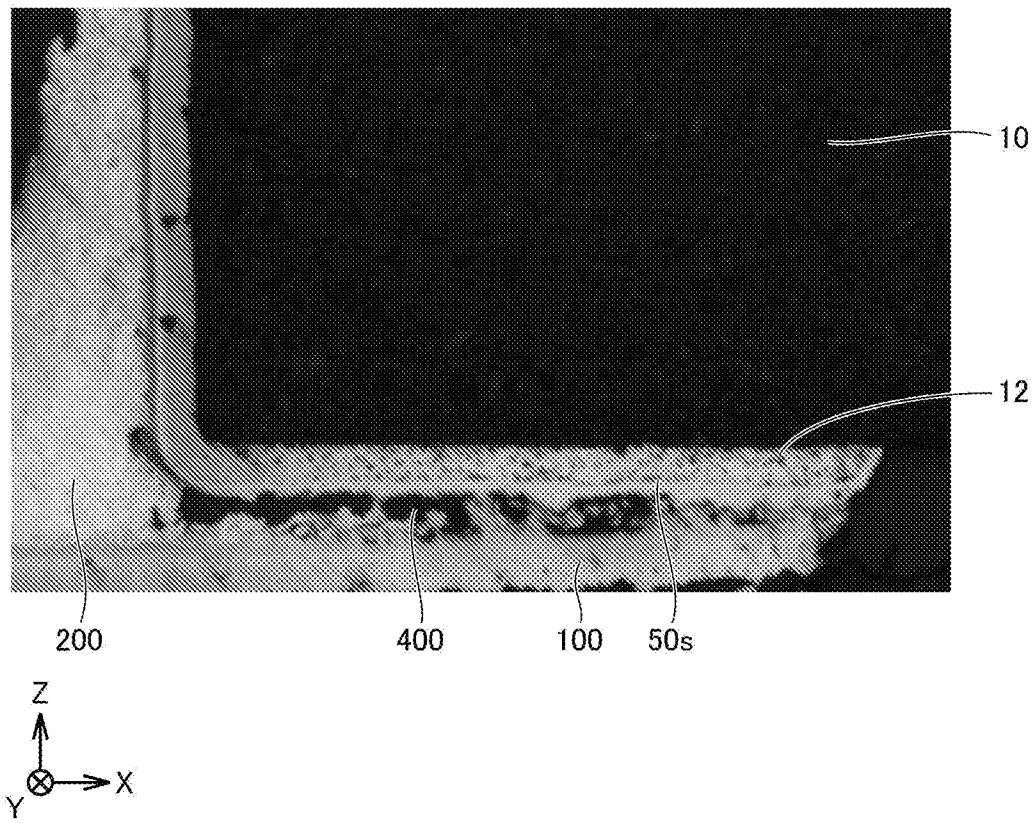
[図5]

FIG.5


1c
10
51
51d
51c
51b
51a
13a
12
23
32
42
A2
θ2
B2
B3
B1
50s
A3
θ3
θ1
P1
A1
L2
L3
L1
Z
X
Y

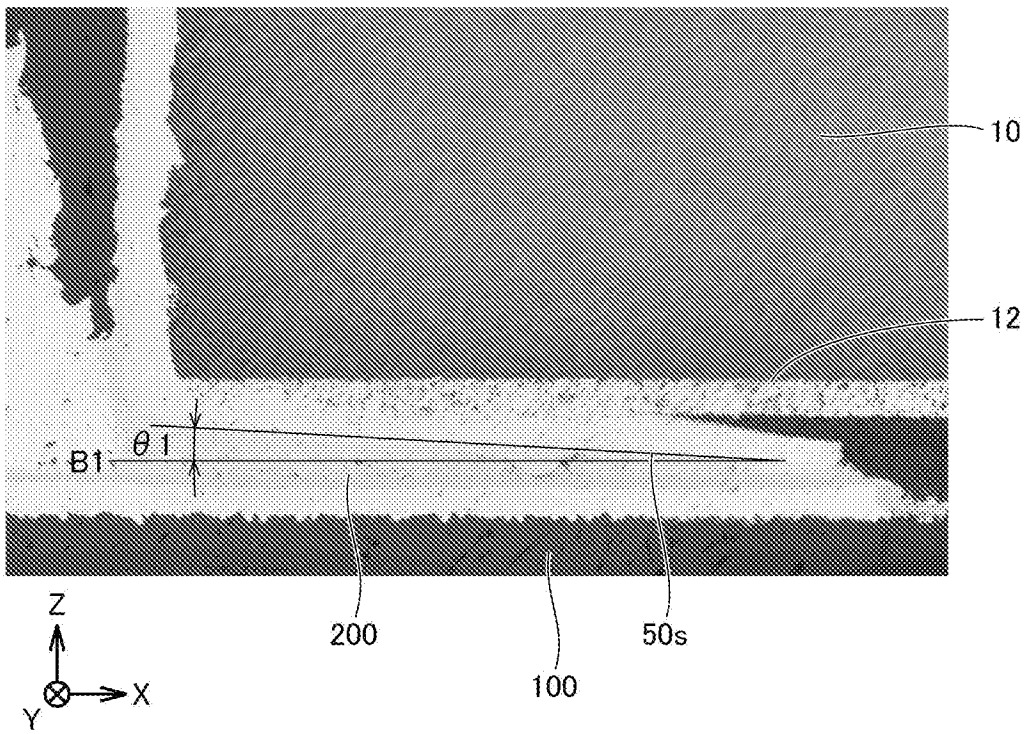
[図6]

FIG.6



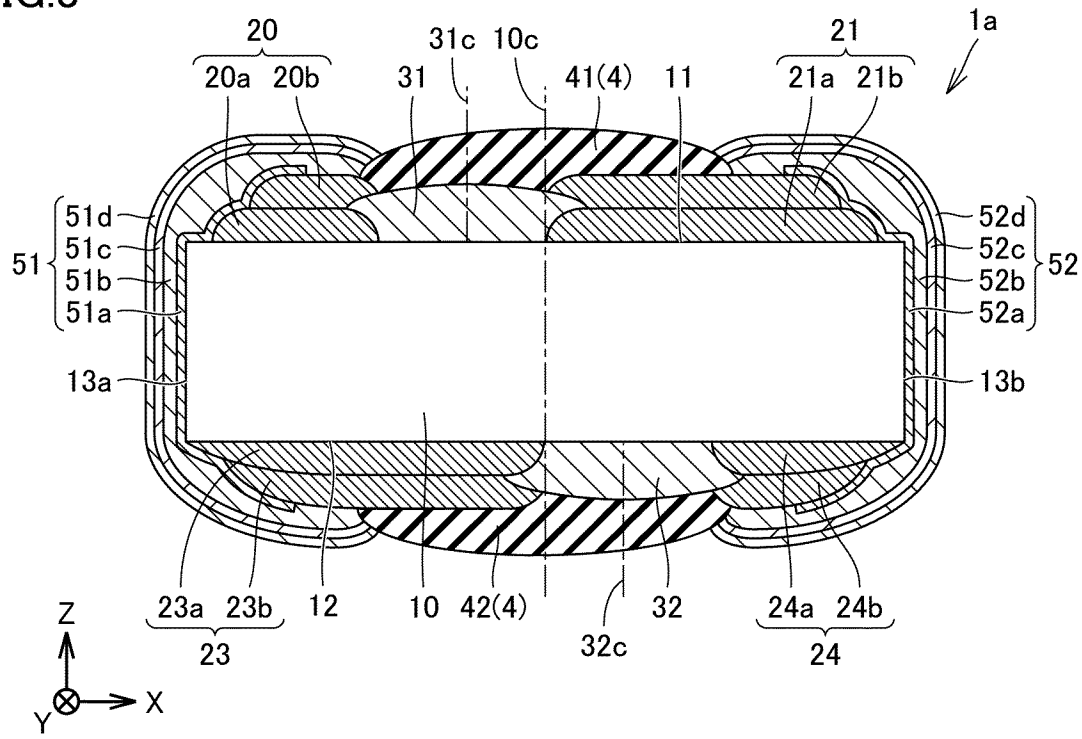
[図7]

FIG.7



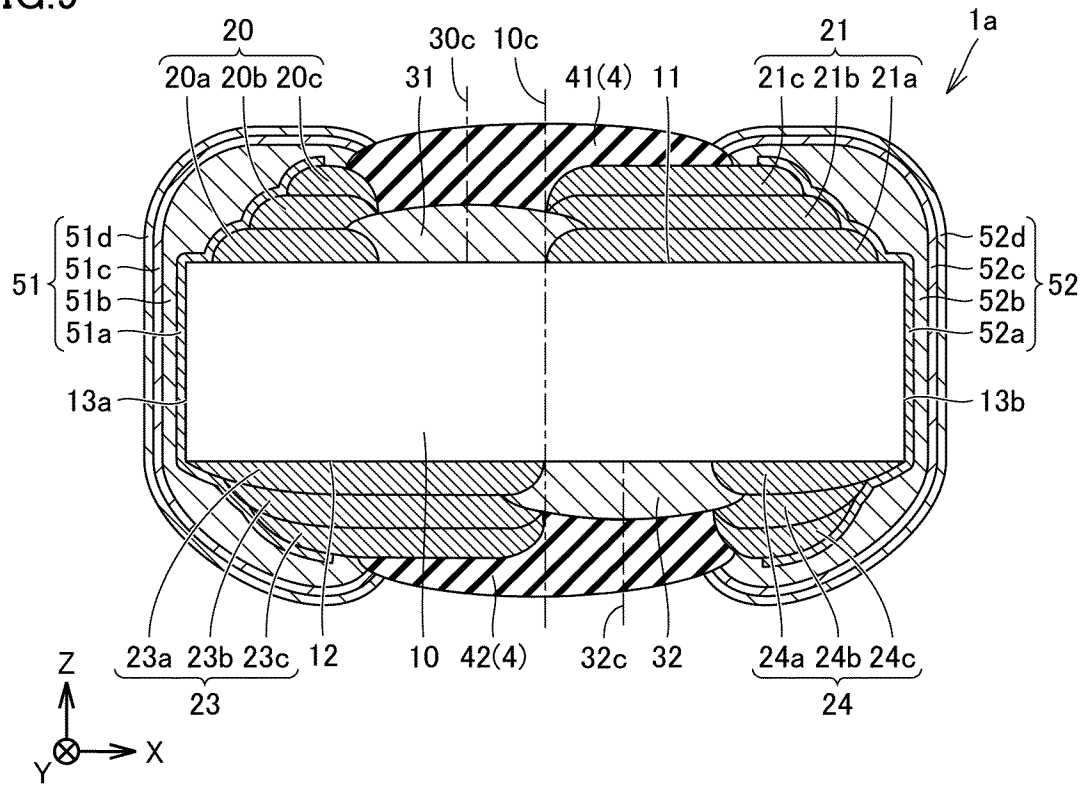
[図8]

FIG.8



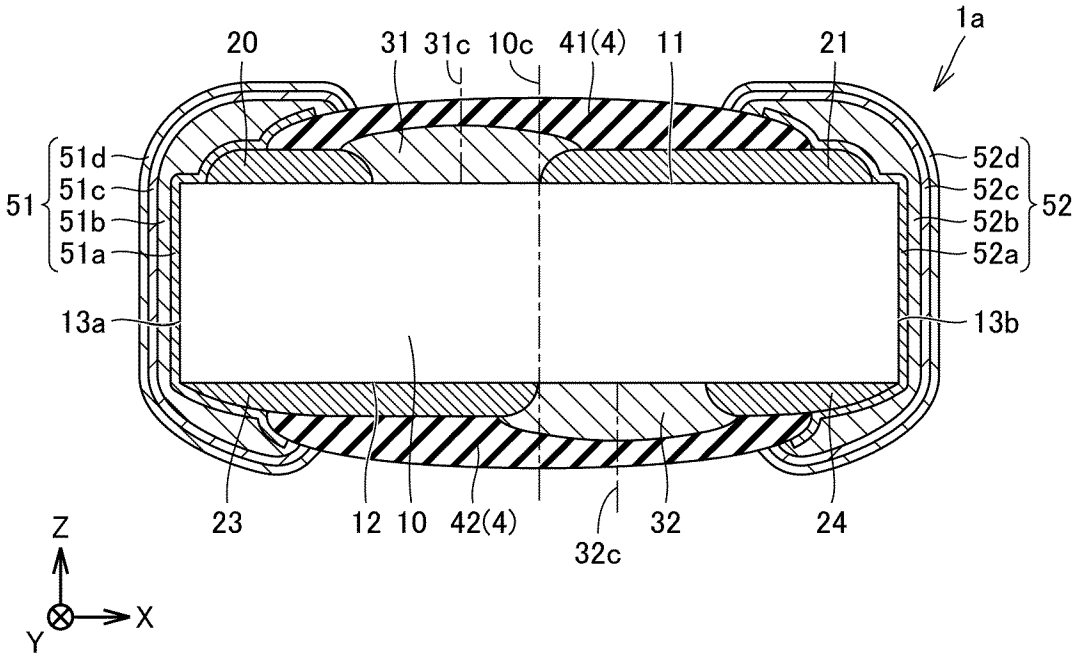
[図9]

FIG.9



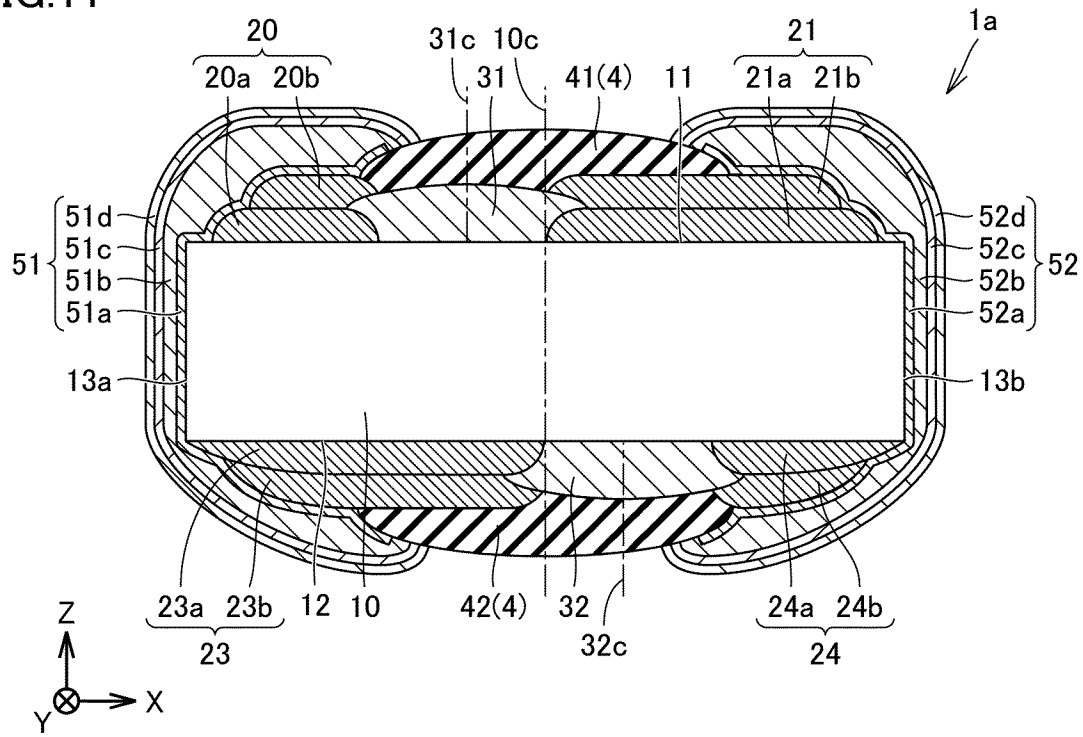
[図10]

FIG.10



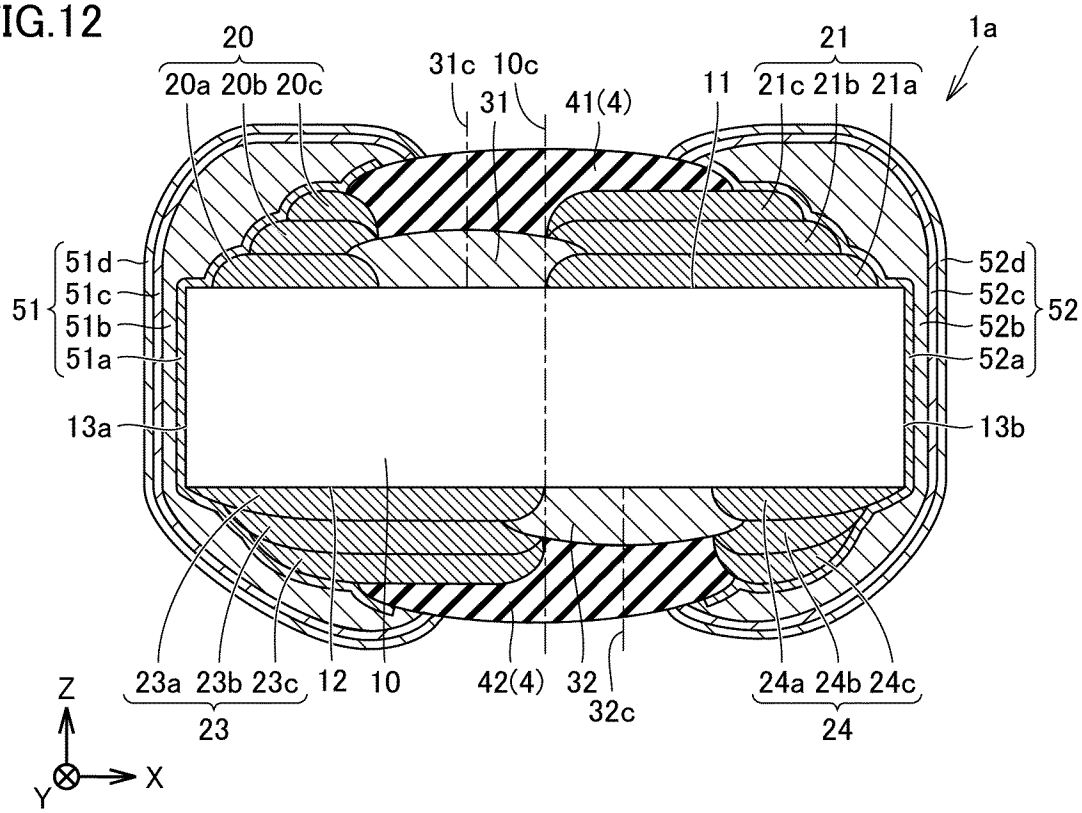
[図11]

FIG.11



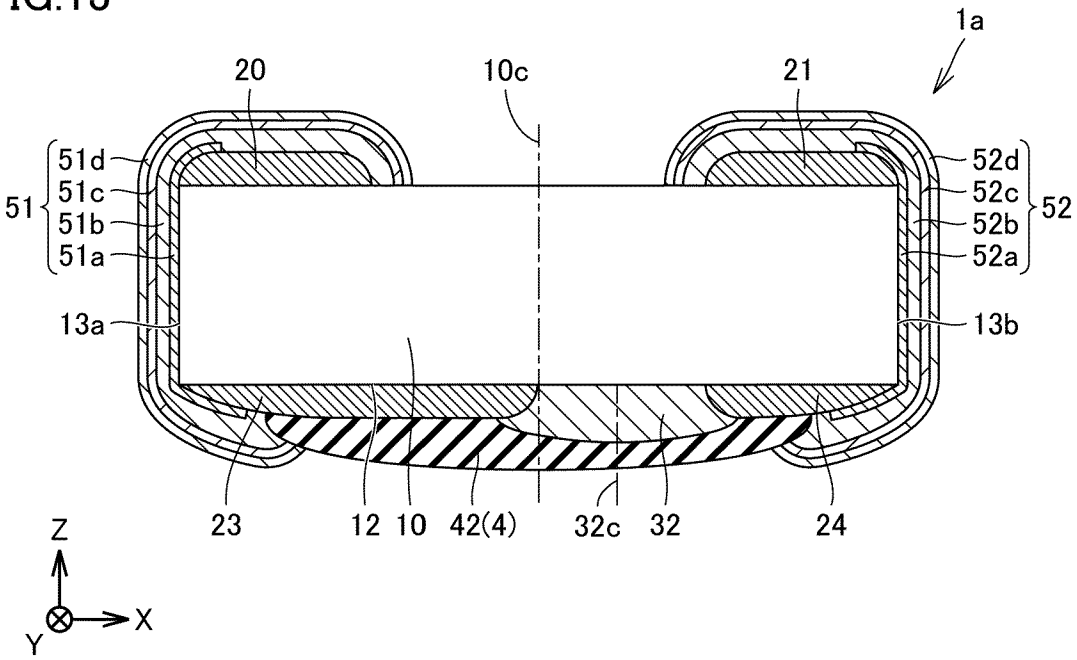
[図12]

FIG.12



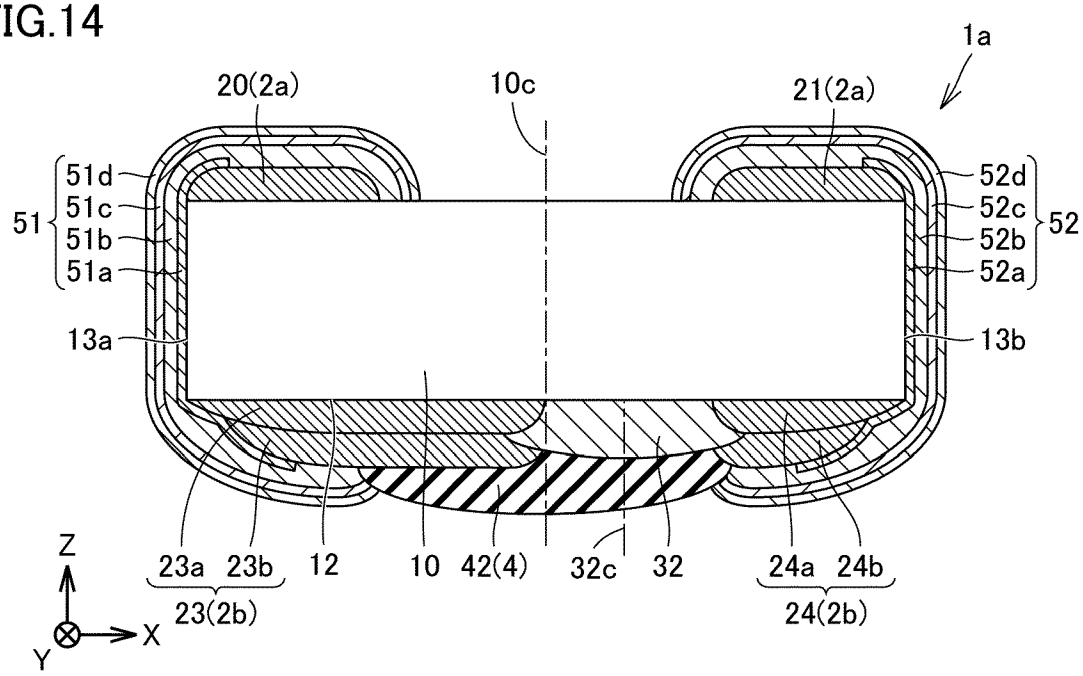
[図13]

FIG.13



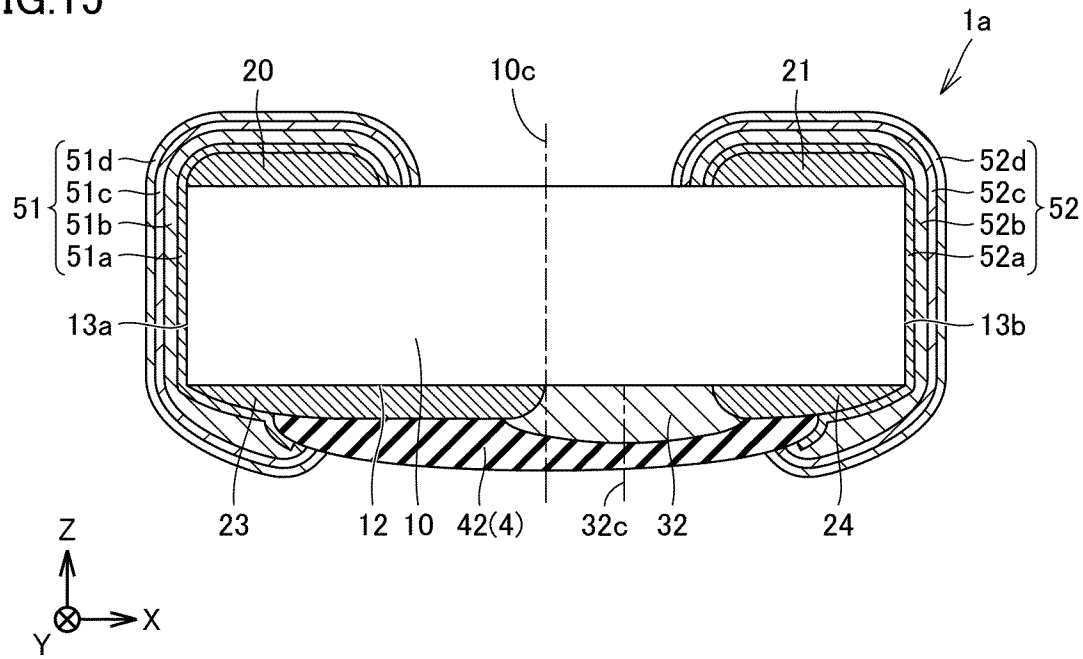
[図14]

FIG.14



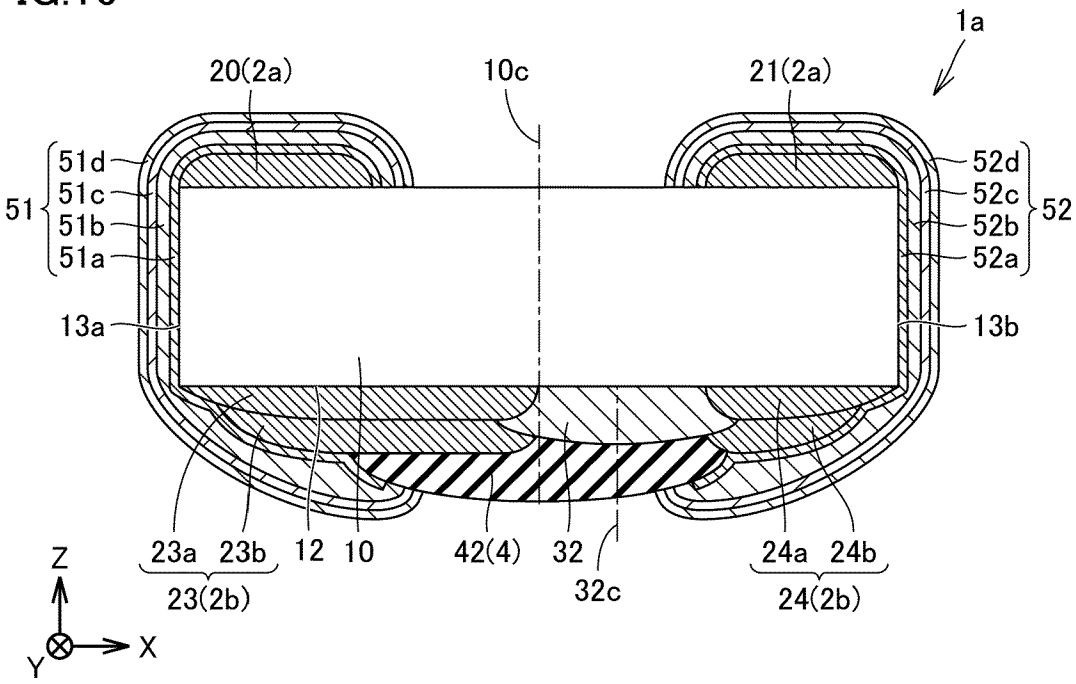
[図15]

FIG.15



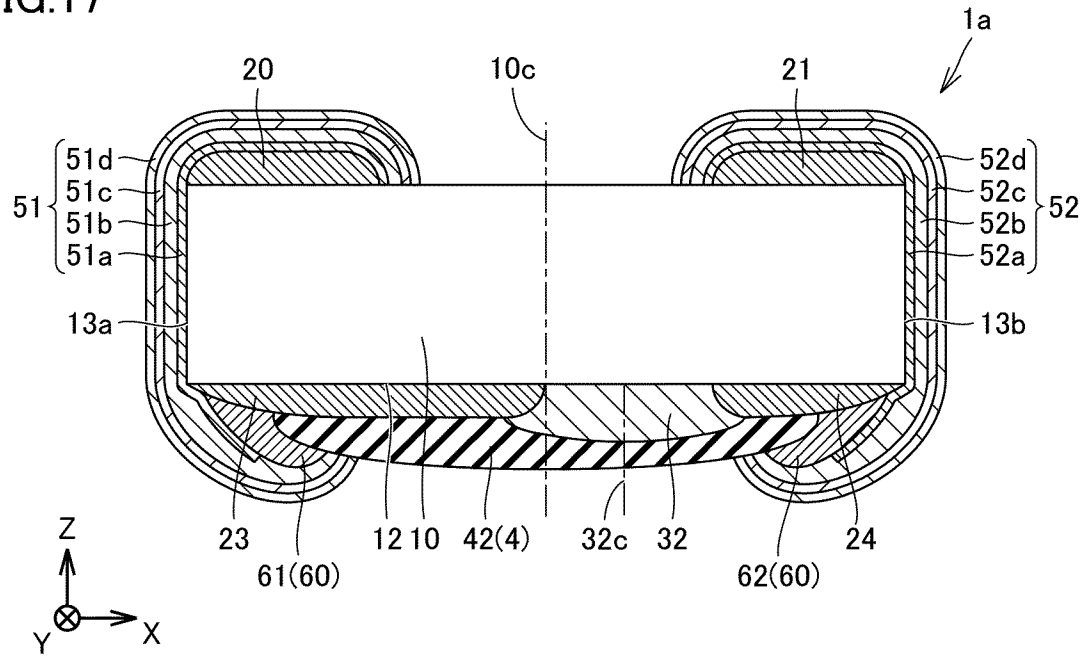
[図16]

FIG.16



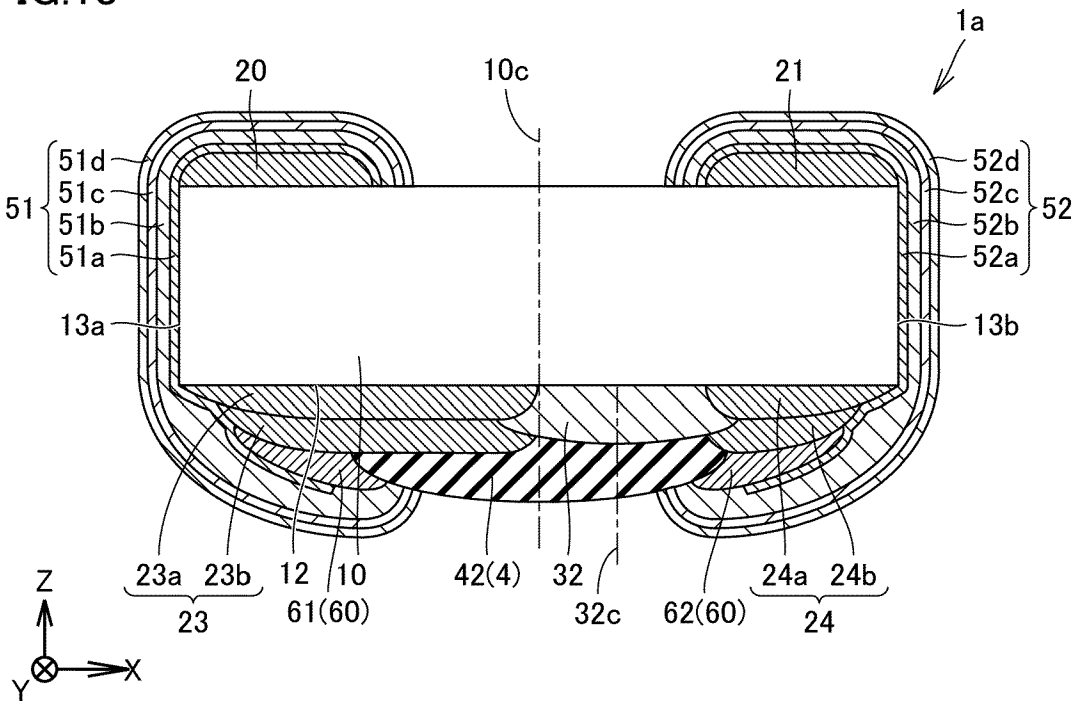
[図17]

FIG.17



[図18]

FIG.18


1a
20
10c
21
51d
51c
51b
51a
51
52d
52c
52b
52a
52
13a
13b
23a
23b
12
10
42(4)
32
24a
24b
23
61(60)
32c
62(60)
24
Z
X
Y

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2024/020148

A. CLASSIFICATION OF SUBJECT MATTER

H01C 1/142(2006.01)i; ***H01C 7/00***(2006.01)i
FI: H01C1/142; H01C7/00 110

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01C1/142; H01C7/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-84905 A (TAIYOSHA ELECTRIC CO., LTD.) 10 April 2008 (2008-04-10)	1-8
A	JP 2019-160992 A (ROHM CO., LTD.) 19 September 2019 (2019-09-19)	1-8
A	JP 2-111005 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 24 April 1990 (1990-04-24)	1-8
A	JP 2002-25801 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 25 January 2002 (2002-01-25)	1-8
A	JP 2004-56112 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 19 February 2004 (2004-02-19)	1-8
A	JP 55-120101 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 16 September 1980 (1980-09-16)	1-8
A	JP 2022-116877 A (KOA CORP.) 10 August 2022 (2022-08-10)	1-8

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
09 August 2024	**20 August 2024**

Name and mailing address of the ISA/JP	Authorized officer
Japan Patent Office (ISA/JP) **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/020148

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2008-84905 A	10 April 2008	(Family: none)	
JP 2019-160992 A	19 September 2019	(Family: none)	
JP 2-111005 A	24 April 1990	US 5012388 A	
JP 2002-25801 A	25 January 2002	(Family: none)	
JP 2004-56112 A	19 February 2004	US 2003/0222335 A1	
		CN 1472805 A	
JP 55-120101 A	16 September 1980	(Family: none)	
JP 2022-116877 A	10 August 2022	US 2024/0049399 A1	
		CN 116583921 A	

国際調査報告

国際出願番号
PCT/JP2024/020148

A.　発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01C 1/142(2006.01)i; H01C 7/00(2006.01)i
FI: H01C1/142; H01C7/00 110

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01C1/142; H01C7/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２４年
日本国実用新案登録公報	１９９６－２０２４年
日本国登録実用新案公報	１９９４－２０２４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2008-84905 A (太陽社電気株式会社) 10.04.2008 (2008-04-10)	1-8
A	JP 2019-160992 A (ローム株式会社) 19.09.2019 (2019-09-19)	1-8
A	JP 2-111005 A (松下電器産業株式会社) 24.04.1990 (1990-04-24)	1-8
A	JP 2002-25801 A (松下電器産業株式会社) 25.01.2002 (2002-01-25)	1-8
A	JP 2004-56112 A (松下電器産業株式会社) 19.02.2004 (2004-02-19)	1-8
A	JP 55-120101 A (松下電器産業株式会社) 16.09.1980 (1980-09-16)	1-8
A	JP 2022-116877 A (ＫＯＡ株式会社) 10.08.2022 (2022-08-10)	1-8

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

*　引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"D" 国際出願で出願人が先行技術文献として記載した文献
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
09.08.2024	20.08.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

鈴木　駿平 5D 5588

電話番号 03-3581-1101 内線 3549

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/020148

引用文献	公表日	パテントファミリー文献	公表日
JP 2008-84905 A	10.04.2008	（ファミリーなし）	
JP 2019-160992 A	19.09.2019	（ファミリーなし）	
JP 2-111005 A	24.04.1990	US 5012388 A	
JP 2002-25801 A	25.01.2002	（ファミリーなし）	
JP 2004-56112 A	19.02.2004	US 2003/0222335 A1	
		CN 1472805 A	
JP 55-120101 A	16.09.1980	（ファミリーなし）	
JP 2022-116877 A	10.08.2022	US 2024/0049399 A1	
		CN 116583921 A	