(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0075892
(43) 공개일자 2021년06월23일

(51) 국제특허분류(Int. Cl.)
G01N 23/2273 (2018.01) *C23C 16/40* (2006.01)
C23C 16/455 (2006.01)
(52) CPC특허분류
G01N 23/2273 (2013.01)
C23C 16/405 (2013.01)
(21) 출원번호 10-2020-0173718
(22) 출원일자 2020년12월11일
심사청구일자 2020년12월11일
(30) 우선권주장
1020190166486 2019년12월13일 대한민국(KR)

(71) 출원인
울산대학교 산학협력단
울산광역시 남구 대학로 93(무거동)
(72) 발명자
김태우
대구광역시 수성구 들안로 1(상동)
(74) 대리인
특허법인다나

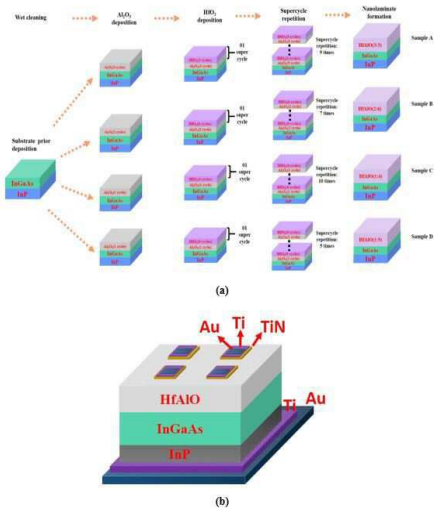
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 **고 유전율 및 밴드갭을 가지는 게이트 구조체 및 이의 제조방법**

(57) 요 약

본 발명은 고 유전율 및 밴드갭을 가지는 게이트 구조체 및 이의 제조방법에 관한 것으로, 서로 다른 high-k 유전체의 혼입 방법 및 비율을 조절함으로써, 높은 유전율을 가지면서도 트랩 감소 및 밴드갭 확대로 낮은 누설 전류 밀도를 가지는 게이트 구조체 및 이의 제조방법을 제공할 수 있다.

대 표 도 - 도1



(52) CPC특허분류
C23C 16/45525 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 1415165894
과제번호 19-CM-BD-05-MKE
부처명 산업통상자원부
과제관리(전문)기관명 국방과학연구소
연구사업명 민군기술협력(R&D)(산업부)
연구과제명 초고주파 대역용 3D TIV 집적화 공정 및 적층형 InP/GaN 소자 기술 개발
기 여 율 1/1
과제수행기관명 한국전자통신연구원
연구기간 2019.06.28 ~ 2022.06.27

명 세 서

청구범위

청구항 1

III-V족 화합물 기반의 채널층; 및

채널층 상에 형성된 게이트 산화막을 포함하고,

상기 게이트 산화막은 제1 금속 산화물이 제2 금속 산화물의 내부에 혼입된 구조이며,

상기 제1 금속 산화물의 금속 원자 반지름이 상기 제2 금속 산화물의 금속 원자 반지름보다 작은 게이트 구조체.

청구항 2

제1항에 있어서,

상기 제1 금속 산화물 및 상기 제2 금속 산화물의 금속은 Al, Zr, Hf, Ti, Mg, La, Ca, Y, Ta 및 Sr로 이루어진 군에서 선택된 하나이며,

상기 제1 금속 산화물의 금속과 제2 금속 산화물의 금속은 다른 종류인 게이트 구조체.

청구항 3

제1항에 있어서,

상기 게이트 산화막의 두께가 3 내지 10nm인 게이트 구조체.

청구항 4

제1항에 있어서,

상기 게이트 산화막은, 유전 상수가 7 내지 10이고, 밴드갭이 5 내지 8eV인 게이트 구조체.

청구항 5

제1항에 있어서,

상기 III-V족 화합물은 InP, InAs, InSb, AlGaAs 또는 InGaAs인 게이트 구조체.

청구항 6

제5항에 있어서,

상기 InGaAs는 $In_xGa_{1-x}As(x>0.5)$인 게이트 구조체.

청구항 7

제1항에 있어서,

상기 게이트 산화막에 대한 상기 제1 금속 산화물의 함량은 5 내지 70중량%인 게이트 구조체.

청구항 8

III-V족 화합물 기반의 채널층상에 제1 금속 전구체, 제2 금속 전구체 및 산화제를 이용하여 원자층 증착(ALD)으로 제1 금속 산화물 및 제2 금속 산화물을 포함하는 게이트 산화막을 형성하는 단계를 포함하되,

상기 원자층 증착 시 제1 금속 산화물 및 제2 금속 산화물은 교대로 반복하여 증착되고,

상기 제1 금속 전구체 및 제2 금속 전구체 중 금속의 원자 반지름이 작은 금속 산화물을 먼저 증착하는 게이트 구조체의 제조방법.

청구항 9

제8항 있어서,

상기 원자층 증착 시 제1 금속 산화물의 사이클 수를 x, 제2 금속 산화물의 사이클 수를 y 및 총 사이클 수를 n이라 할때,

x:y는 1:9 내지 7:3이고, n은 20 이하인 게이트 구조체의 제조방법.

청구항 10

제8항에 있어서,

상기 제1 금속 전구체는 트리메틸알루미늄 (trimethylaluminum)이고,

상기 제2 금속 전구체는 테트라키스 (에틸메틸아미노) 하프늄 (Tetrakis (ethylmethylamido) hafnium)인 게이트 구조체의 제조방법.

청구항 11

제8항에 있어서,

상기 III-V족 화합물은 InP, InAs, InSb, AlGaAs 또는 InGaAs인 게이트 구조체의 제조방법.

청구항 12

제11항에 있어서,

상기 InGaAs는 $In_xGa_{1-x}As(x>0.5)$인 게이트 구조체의 제조방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 고 유전율 및 밴드갭을 가지는 게이트 구조체 및 이의 제조방법에 관한 것이다.

배 경 기 술

[0003] 금속 산화물 반도체 전계 효과 트랜지스터(metal-oxide-semiconductor field-effect transistor, MOSFET)에서

사용되는 게이트 산화막(Gate Oxide)은 전자의 이동을 차단하는 역할을 하는데, 절연 효과를 높이기 위해서는 절연층의 두께를 두껍게 할 필요가 있다.

[0004] 다만, 게이트 산화막의 층 두께를 두껍게하는 경우, 게이트에서 기판으로의 전압에 대한 전달능력이 떨어진다. 따라서, 최종적으로 얻고자 하는 산화막 아래의 채널이 원하는 적절한 시간 내에 형성되지 않는다.

[0005] 기술의 발전 및 수요에 의해 게이트 산화막의 두께 감소가 필요하며 게이트 산화막의 두께를 줄이더라도 장치의 기본적인 기능이나 성능은 유지해야 하기 때문에 산화막의 절연성을 높이기 위해서 게이트 산화막의 재질을 유전율이 높은 것으로 해야할 필요가 있다.

[0006] 그런데, 기존에 사용되는 실리콘 산화막(SiO_2) 및 실리콘산 질화막(SiON)의 경우 게이트 스택(gate stack)의 다운스케일링에 의하여 이미 그 적용 한계에 도달하였다.

[0007] 이를 대체하기 위하여 III-V 채널 재료와 함께 high-k 산화물을 조합하는 기술이 최근 연구되어 있으나, III-V 채널 재료를 기반으로한 MOS 커패시터의 실제 구현을 위해서는 III-V 채널 재료의 표면의 공공(vacancies) 결함 및 불완전한 이량체화(dimerization)로 인한 불포화 결합에 따른 전기적 활성 트랩을 형성하는 문제가 해결되어야 하고, high-k 산화물의 경우, 적절한 밴드갭을 가지면서도 고 유전율을 가지는 소재의 개발이 미흡한 실정이다.

[0008] 따라서, 수요에 적합한 두께가 얇으면서도 높은 작동 속도, 우수한 신뢰성, 응축된 장치 밀도 및 낮은 전력 소비를 제공할 수 있는 게이트 구조체의 개발이 필요하다.

선행기술문헌

특허문헌

[0010] (특허문헌 0001) 대한민국 공개특허공보 제10-2006-0090828호

발명의 내용

해결하려는 과제

[0011] 본 발명은 높은 유전율을 가지면서도 트랩 감소 및 밴드갭 확대로 낮은 누설 전류 밀도를 가지는 게이트 구조체 및 이의 제조방법을 제공하는 것이다.

과제의 해결 수단

[0013] 본 발명은 III-V족 화합물 기반의 채널층; 및 채널층 상에 형성된 게이트 산화막을 포함하고, 상기 게이트 산화막은 제1 금속 산화물이 제2 금속 산화물의 내부에 혼입된 구조이며, 상기 제1 금속 산화물의 금속 원자 반지름이 상기 제2 금속 산화물의 금속 원자 반지름보다 작은 게이트 구조체를 제공한다.

[0014] 일 실시예로서, 상기 제1 금속 산화물 및 상기 제2 금속 산화물의 금속은 Al, Zr, Hf, Ti, Mg, La, Ca, Y, Ta 및 Sr로 이루어진 군에서 선택된 하나이며, 상기 제1 금속 산화물의 금속과 제2 금속 산화물의 금속은 다른 종류일 수 있다.

[0015] 일 실시예로서, 상기 게이트 산화막의 두께가 3 내지 10nm일 수 있다.

[0016] 일 실시예로서, 기 게이트 산화막은, 유전 상수가 7 내지 10이고, 밴드갭이 5 내지 8eV일 수 있다.

[0017] 일 실시예로서, 상기 III-V족 화합물은 InP, InAs, InSb, AlGaAs 또는 InGaAs일 수 있다.

[0018] 일 실시예로서, 상기 InGaAs는 $In_xGa_{1-x}As(x>0.5)$일 수 있다.

[0019] 일 실시예로서, 상기 게이트 산화막에 대한 상기 제1 금속 산화물의 함량은 5 내지 70중량%일 수 있다.

[0020] 또한, 본 발명은 III-V족 화합물 기반의 채널층상에 제1 금속 전구체, 제2 금속 전구체 및 산화제를 이용하여

원자층 증착(ALD)으로 제1 금속 산화물 및 제2 금속 산화물을 포함하는 게이트 산화막을 형성하는 단계를 포함하되, 상기 원자층 증착 시 제1 금속 산화물 및 제2 금속 산화물은 교대로 반복하여 증착되고, 상기 제1 금속 전구체 및 제2 금속 전구체 중 금속의 원자 반지름이 작은 금속 산화물을 먼저 증착하는 게이트 구조체의 제조 방법을 제공한다.

[0021] 일 실시예로서, 상기 원자층 증착 시 제1 금속 산화물의 사이클 수를 x, 제2 금속 산화물의 사이클 수를 y 및 총 사이클 수를 n이라 할때, x:y는 1:9 내지 7:3이고, n은 20 이하일 수 있다.

[0022] 일 실시예로서, 상기 제1 금속 전구체는 트리메틸알루미늄 (trimethylaluminum)이고, 상기 제2 금속 전구체는 테트라키스 (에틸메틸아미노) 하프늄 (Tetrakis (ethylmethylamido) hafnium)일 수 있다.

[0023] 일 실시예로서, 상기 III-V족 화합물은 InP, InAs, InSb, AlGaAs 또는 InGaAs일 수 있다.

[0024] 일 실시예로서, 상기 InGaAs는 $In_xGa_{1-x}As(x>0.5)$일 수 있다.

발명의 효과

[0026] 본 발명은 서로 다른 high-k 유전체의 혼입 방법 및 비율을 조절함으로써, 높은 유전율을 가지면서도 트랩 감소 및 밴드갭 확대로 낮은 누설 전류 밀도를 가지는 게이트 구조체 및 이의 제조방법을 제공할 수 있다.

도면의 간단한 설명

[0028] 도 1은 본 발명의 일 실시예에 따른 게이트 산화막 제조 공정의 개략도(a) 및 게이트 구조체의 구조를 나타낸 개략도(b)이다.

도 2는 본 발명의 실시예 1(a), 실시예 2(b), 실시예 3(c) 및 실시예 4(d)의 10kHz 내지 1MHz의 주파수 범위를 적용한 주파수 의존적인 정전 용량 전압(frequency-dependent capacitance voltage, C-V)을 나타낸 그래프이다.

도 3은 본 발명의 실시예 1 내지 4에서 추출된 유효 유전 상수(keffective) 및 밴드 평탄화 전압(V_{FB})을 나타낸 그래프(a), CV 히스테리시스를 나타낸 그래프(b) 및 핀홀이 없는 막의 형성 과정을 나타내는 개략도(c)이다.

도 4(a) 내지 도4(c)는 본 발명의 실시예 1 내지 4의 Hf-4f, Al-2p 및 O-1s XPS 스펙트럼, 도 4(d) 내지 도 4(f)는 본 발명의 실시예 1 내지 4의 As-3d, Ga-3d 및 In-3d 스펙트럼 및 도 4(g)는 350℃에서 RTA 처리된 XRD 스펙트럼이다.

도 5는 본 발명의 실시예 1 내지 4의 HfAlO/In0.53Ga0.47As의 스펙트럼에서 In0.53Ga0.47As의 VB 스펙트럼을 뺀 HfAlO 필름의 밸런스 밴드 오프셋(valance band offset, ΔE_v) 추출을 나타낸 그래프(a), 1keV에서 REELS 스펙트럼의 대역 간 여기의 시작점을 정의하여 추출된 에너지갭(E_g)을 나타낸 그래프(b), 밴드 정렬 값(c) 및 실시예 1 내지 4의 개략적인 밴드 다이어그램을 나타낸 그래프(d)이다.

도 6(a)는 본 발명에서 사용된 경계 트랩 모델의 전기적 표현을 나타낸 개략도이며, 도 6(b) 및 도 6(c)는 정전 용량 및 컨덕턴스에 대한 측정 데이터와 수치 데이터 사이의 1 -V에서의 피팅 곡선을 나타낸 그래프이고, 도 6(d)는 추출된 경계 트랩 밀도(N_{bt})와 주파수 분산 및 계면 트랩 밀도(D_{it})를 비교한 그래프이다.

도 7(a)는 E5250A 저 누설 스위치 메인 프레임(low-leakage switch mainframe)의 C-V 및 I-V 측정을 위한 측정 절차의 흐름도를 나타내고, 도 7(b)는 스트레스가 가해진 디바이스의 정규화된 C-V 곡선과 100kHz에서 새로운 케이스를 나타낸 그래프이며, 도 7(c)는 실시예 1 내지 4에 대한 1.5V에서 2000초의 CVS 후 문턱 전압 이동 (ΔV_{TH})을 나타낸 그래프이다.

도 8(a)는 본 발명에 적용된 양의 바이어스 전압에서 측정된 전류-전압 특성과 HfAlO 샘플의 계산된 항복 전기장과 밴드 평탄화 전압에서의 누설 전류 밀도를 나타낸 그래프이고, 도 8(b)는 본 발명의 실시예 1 내지 4의 항복 전압 및 누설 전류를 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0029] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 구체적으로 설명하고자 한다.

[0030] 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0031] 본 발명에서, "포함한다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0032] 따라서, 본 명세서에 기재된 실시예에 도시된 구성은 본 발명의 가장 바람직한 일 실시예에 불과할 뿐이고 본 발명의 기술적 사상을 모두 대변하는 것은 아니므로, 본 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형 예들이 있을 수 있다.

[0034] 본 발명은 III-V족 화합물 기반의 채널층; 및 채널층 상에 형성된 게이트 산화막을 포함하고, 상기 게이트 산화막은 제1 금속 산화물이 제2 금속 산화물의 내부에 혼입된 구조이며, 상기 제1 금속 산화물의 금속 원자 반지름이 상기 제2 금속 산화물의 금속 원자 반지름보다 작은 게이트 구조체를 제공한다.

[0035] 상기 채널층에서 III-V족 화합물은 InP, InAs, InSb, AlGaAs 또는 InGaAs일 수 있다. 상기와 같은 III-V족 화합물은 기존에 사용되는 Si에 비하여 유효 질량이 낮아 높은 전자 이동도 및 주입 속도를 가질 수 있다. 상기와 같은 높은 이동성으로 인해 평균 캐리어 속도(carrier velocity)를 증가시킴으로써, 높은 작동 구동 전류(operative drive current) 및 높은 스위칭 속도를 가질 수 있다.

[0036] 예를 들어, 상기 III-V족 화합물은 InGaAs일 수 있으며, 구체적으로 $In_xGa_{1-x}As(x>0.5)$일 수 있다. 특히, x가 53인 $In_{0.53}Ga_{0.47}As$는 Si보다 8배 더 높은 전자 이동도를 가질 수 있다.

[0037] 상기 InGaAs를 사용한 채널층은 게이트 산화막에 큰 밴드 오프셋을 제공하고 질량이 낮은 감마 밸리와 질량이 높은 L- 및 X- 밸리 사이의 높은 수준의 분리를 제공할 수 있다.

[0038] 상기 게이트 산화막에서 제1 금속 산화물 및 상기 제2 금속 산화물의 금속은 Al, Zr, Hf, Ti, Mg, La, Ca, Y, Ta 및 Sr로 이루어진 군에서 선택된 하나일 수 있으며, 예를 들어, 제1 금속 산화물의 금속은 Al이고 제1 금속 산화물은 Al_2O_3일 수 있으며, 상기 제2 금속 산화물의 금속은 Hf이고, 제2 금속 산화물은 HfO_2일 수 있다.

[0039] 또한, 상기 제1 금속 산화물의 금속과 제2 금속 산화물의 금속은 다른 종류인 것이 바람직하고, 상기 제1 금속 산화물의 금속과 제2 금속 산화물의 금속을 다른 종류로 함으로써, 각각의 금속이 가지는 유전율 및 밴드갭 특성을 상호 보완할 수 있다.

[0040] 상기 제1 금속 산화물은 제2 금속 산화물의 내부에 혼입된 구조를 가지며, 이때, 상기 제1 금속 산화물의 금속 원자 반지름이 상기 제2 금속 산화물의 금속 원자 반지름보다 작은 것이 바람직하다.

[0041] 구체적으로, 상기 제1 금속 산화물이 제2 금속 산화물의 내부에 혼입된 구조는 상기 채널층 상에 제1 금속 산화물 및 제2 금속 산화물을 교대로 반복하여 원자층 증착을 수행함으로써 달성할 수 있다. 이때, 금속 반지름이 작은 제1 금속 산화물을 먼저 채널층 상에 증착함으로써, 이어지는 제2 금속 산화물의 증착 후 제1 금속 산화물의 작은 크기로 인하여 제1 금속 산화물이 제2 금속 산화물의 내부로 혼입될 수 있다.

[0042] 이때, 상기 원자층 증착은 제1 금속 산화물의 사이클 수를 x, 제2 금속 산화물의 사이클 수를 y 및 총 사이클 수를 n이라 할때, x:y는 1:9 내지 7:3이고, n은 20 이하로 수행할 수 있다.

[0043] 상기 방법으로 원자층 증착을 수행하는 경우 전체 게이트 산화막에 대한 상기 제1 금속 산화물의 함량은 5 내지 70중량%일 수 있으며, 예를 들어, 10 내지 50중량%, 20 내지 50 중량%, 30 내지 50중량%또는 40 내지 50중량%일 수 있다.

[0044] 또한, 상기 금속의 원자 반지름은 Al이 125pm, Zr이 155pm, Hf이 155pm, Ti이 140pm, La이 195pm일 수 있다.

[0045] 상기와 같이 제1 금속 산화물이 제2 금속 산화물에 혼입되는 경우, 계면(interface) 트랩 및 경계(border) 트랩의 영향을 최소화할 수 있다.

[0046] 상기 계면 트랩은 불충분한 페르미 레벨 응답, 채널의 전하 캐리어 제어 약화, 구동 전류 저하를 유발하고, 상기 경계 트랩은 채널에서 충분한 캐리어 형성을 방지하고 포논 산란(phonon scattering)을 증가시키며 문턱 전압(threshold voltage)의 불안정성 및 전달 컨덕턴스(transconductance) 저하 및 히스테리시스를 생성하여 장치의 성능을 감소시킨다.

[0047] 또한, 상기 제1 금속 산화물 및 제2 금속 산화물의 혼입으로 게이트 산화막의 유전율, 밴드갭 및 이들의 특성을 조절할 수 있다.

[0048] 구체적으로, 제1 금속 산화물이 Al_2O_3인 경우, 비교적 큰 밴드갭(~8.8eV), 계면 경계 자가 세척 효과(self-cleaning effect), 높은 열 안정성 및 적은 활성 전기적 결함을 갖지만, Al_2O_3는 유전 상수(k = 6 ~ 9)가 만족스럽지 못하다.

[0049] 한편, 제2 금속 산화물이 HfO_2인 경우, HfO_2는 높은 유전 상수(k = 20 ~ 25)를 가지고, 적당한 밴드 갭 (5.7 eV)의 장점을 가지고 있지만 열 및 계면 안정성이 낮고 히스테리시스가 크며 누설이 높은 경향이 있으며, 전기적 트랩이 활성화된다는 단점을 가진다.

[0050] 본 발명에 따른 게이트 산화막 및 게이트 구조체의 경우 상기 제1 금속 산화물 및 제2 금속 산화물을 혼입 및 이들의 비율을 조절함으로써 게이트 산화막 및 게이트 구조체의 유전율, 밴드갭 및 이들의 상기와 같은 특성을 적절하게 조절할 수 있다.

[0051] 구체적으로, 본 발명에 따른 게이트 산화막은, 유전 상수가 7 내지 10이고, 밴드갭이 5 내지 8eV일 수 있다.

[0052] 예를 들어, 본 발명에 따른 게이트 산화막의 유전 상수는 8 내지 10 또는 9 내지 10일 수 있으며, 본 발명에 따른 게이트 산화막의 밴드갭은 5 내지 7eV 또는 6 내지 7eV일 수 있다.

[0053] 즉, 본 발명은 상기 유전 상수 값 및 밴드갭을 동시에 달성할 수 있다.

[0054] 또한, 상기 게이트 산화막의 두께는 3 내지 10nm일 수 있으며, 예를 들어, 상기 게이트 산화막의 두께는 4 내지 8nm 또는 4.5 내지 6nm일 수 있다. 상기와 같은 두께를 가지는 경우, 계면 및 경계 트랩을 최소화할 수 있으며, 유전율을 높일 수 있다.

[0056] 또한, 본 발명은 III-V족 화합물 기반의 채널층상에 제1 금속 전구체, 제2 금속 전구체 및 산화제를 이용하여 원자층 증착(ALD)으로 제1 금속 산화물 및 제2 금속 산화물을 포함하는 게이트 산화막을 형성하는 단계를 포함하되, 상기 원자층 증착 시 제1 금속 산화물 및 제2 금속 산화물은 교대로 반복하여 증착되고, 상기 제1 금속 전구체 및 제2 금속 전구체 중 금속의 원자 반지름이 작은 금속 산화물을 먼저 증착하는 게이트 구조체의 제조 방법을 제공한다.

[0057] 제1 금속 전구체 및 제2 금속 전구체 중 금속의 원자 반지름이 작은 금속 산화물을 먼저 증착함으로써, 크기가 작은 금속 산화물이 크기가 큰 금속 산화물의 내부로 혼입이 될 수 있다.

[0058] 이때, 상기 원자층 증착은 제1 금속 산화물의 사이클 수를 x, 제2 금속 산화물의 사이클 수를 y 및 총 사이클 수를 n이라 할때, x:y는 1:9 내지 7:3이고, n은 20 이하로 수행할 수 있다.

[0059] 예를 들어, 상기 x:y는 1:5 내지 6:4, 1:4 내지 6:4, 1:3 내지 6:4일 수 있으며, 상기 n은 15 이하, 12 이하, 11 이하, 9 이하 또는 8 이하일 수 있다.

[0060] 이때, 상기 제1 금속 전구체는 트리메틸알루미늄 (trimethylaluminum)이고, 상기 제2 금속 전구체는 테트라키스(에틸메틸아미노) 하프늄 (Tetrakis (ethylmethylamido) hafnium)일 수 있다.

[0061] 상기 채널층에서 III-V족 화합물은 InP, InAs, InSb, AlGaAs 또는 InGaAs일 수 있다. 상기와 같은 III-V족 화합물은 기존에 사용되는 Si에 비하여 유효 질량이 낮아 높은 전자 이동도 및 주입 속도를 가질 수 있다. 상기와 같은 높은 이동성으로 인해 평균 캐리어 속도(carrier velocity)를 증가시킴으로써, 높은 작동 구동 전류(operative drive current) 및 높은 스위칭 속도를 가질 수 있다.

[0062] 예를 들어, 상기 III-V족 화합물은 InGaAs일 수 있으며, 구체적으로 $In_xGa_{1-x}As(x>0.5)$일 수 있다. 특히, x가 53인 $In_{0.53}Ga_{0.47}As$는 Si보다 8배 더 높은 전자 이동도를 가질 수 있다.

[0063] 상기 원자층 증착은 200 내지 300℃에서 수행될 수 있으며, 예를 들어, 220 내지 280℃ 또는 240 내지 260℃에서 수행될 수 있다.

[0065] **실시예**

[0066] $5.7x10^{18}cm^{-3}$ (Si-도핑)의 도핑 농도를 갖는 InP 기재 상에 In0.53Ga0.47As을 에피택시얼 성장(epitaxially grown)시킨 후 상기 $In_{0.53}Ga_{0.47}As$ 기판 상에 250℃의 온도 조건에서 ALD 방법으로 HfAlO 필름을 증착하였다.

[0067] 트리메틸알루미늄(trimethylaluminum, TMA)을 Al_2O_3의 금속 전구체로 사용하고 테트라키스(에틸메틸아미노)하프늄 (Tetrakis(ethylmethylamido)hafnium(IV), TEMAH)을 HfO2의 전구체로 사용하였다.

[0068] H2O를 산화제로 사용하였으며, N_2는 퍼지 가스 및 캐리어 흐름으로 사용하였다. ALD 증착 전에 기판을 아세톤(acetone)과 이소프로필알코올(isopropyl alcohol)로 5분 동안 세척 한 다음 1:10 비율의 염산(HCl)과 탈이온수(DI) 용액을 실온에서 30 초 동안 세척하여 산화물 및 표면 오염을 제거하였다. 산 세정 후, 기판을 탈이온수에 2 분 동안 헹구고 질소(N2) 환경에서 건조하여 워터 마스크 형성을 방지 한 다음 ALD 챔버로 옮겼다.

[0069] 슈퍼사이클 개념을 사용하여 실시예 1 내지 4의 HfAlO 필름을 제조하였다. 이때, 슈퍼사이클은 Al_2O_3로 시작하였으며, $(xAl_2O_3 + yHfO_2)n$의 공식을 유지하였다. 여기서, x는 Al_2O_3의 사이클 수, y는 HfO_2의 사이클 수 및 n은 총 슈퍼사이클 수이다.

[0070] 슈퍼사이클에서 Al_2O_3와 HfO_2의 비율은 필름에서 Al_2O_3 비율이 10 내지 50 %가 되도록 하였다. 슈퍼 사이클 수는 Al_2O_3와 HfO_2의 주기 당 성장(growth per cycle, GPC)를 고려하여 총 필름의 두께가 5 nm정도가 되도록 설계하였다.

[0071] 필름 증착의 전체적인 개략도를 도 1(a)에 나타내었다. 비교를 위하여, 단일 Al_2O_3 (50주기)를 비교예 1, 단일 HfO_2 (50주기)를 비교예 2 및 Al_2O_3/HfO_2의 이중층 구조(6/50주기)를 비교예 3으로 제조하였으며, 이들의 두께는 실시예와 동일하게 하였다.

[0072] 증착된 필름의 두께는 70° 입사각에서 타원계(ellipsometer)로 정량화하였다. 슈퍼사이클 설계 및 두께를 정리하여 하기 표 1에 나타내었다.

표 1

[0073]

구분 (x,y)	Al_2O_3 (x)	HfO_2 (y)	슈퍼사이클 수(n)	두께[nm]
실시예 1 [3,3]	3	3	9	5.95±0.05
실시예 2 [2,6]	2	6	7	5.69±0.05
실시예 3 [1,4]	1	4	10	5.36±0.05
실시예 4 [1,9]	1	9	5	5.11±0.05
비교예 1[1, 0]	1	0	50	5.51±0.05
비교예 2[0, 1]	0	1	50	4.95±0.05
비교예 3	-	-	6/50	5.58±0.05

[0074] 도 1(b)를 참조하면, 전기적 분석을 위하여 MOSCAP(Metal Oxide Semiconductor Capacitor)형성이 가능하도록 5nm의 ALD TiN 금속층을 유전체 위에 증착하였다. 이후, 리프트 오프(lift-off) 공정을 통한 전자 빔 증발을 이용하여 Ti/Au (200/2000 Å)의 금속층을 전면 전극에 증착하였다. 또한, 동일한 금속층을 후면 접촉을 위해 증착하였다. SF6/Ar (30/10 sccm) 가스 기반 반응성 이온 에칭(reactive-ion etching, RIE)을 사용하여 TiN 층을 에칭하였다.

[0075] 제조된 장치는 산화물/반도체 게이트 스택에서 금속 증착으로 인한 결함을 줄이기 위하여 N_2 환경에서 350℃ 및

90 초 동안 급속 열처리(rapid thermal annealing, RTA)를 이용한 후속 열처리(post-metal annealing, PMA)를 수행하였다. 상기 열처리는 필름의 치밀화 및 high-k/$In_{0.53}Ga_{0.47}As$ 계면 및 산화물 자체의 전기적 활성 결함을 패시베이션하는데 유용하고, 이로 인해 낮은 계면 트랩 밀도(D_{it}) 및 경계 트랩 밀도 (N_{bt})를 달성할 수 있었다.

[0076] 정전용량-전압 및 전류-전압 응답은 어두운 환경의 실온에서 Keithley 4200A-SCS 매개 변수 분석기로 측정하였다. 또한, X-선 광전자 분광법(X-ray photoelectron spectroscopy, XPS) 및 반사 전자에너지 손실분광(reflected electron energy loss spectrum, REELS)을 미세 구조 특성 분석 및 HfAlO 필름의 밴드갭 측정을 위해 수행하였다.

[0078] **실험예**

[0079] Al_2O_3는 HfO_2보다 GPC(growth per cycle)가 높기 때문에 슈퍼사이클에서 Al_2O_3 사이클 수의 증가에 따라 막 두께가 증가하였다. 그 결과 실시예 1의 두께가 가장 높았고 실시예 4의 두께가 가장 낮았다. 또한, 슈퍼 사이클은 Al_2O_3 및 HfO_2 사이클의 반복으로 구성되어 있기 때문에 5nm의 정밀한 두께를 맞추는 것보다는 부분 증착을 피하는 것에 우선순위를 두어 전체 사이클을 완료하였다. 비교예 1, 비교예 2 및 비교예 3의 두께는 각각 5.51 nm, 4.95 nm 및 5.58 nm였다.

[0080] 도 2는 -1 내지 + 1V의 게이트 전압에서 10kHz 내지 1MHz의 주파수 범위를 적용한 실시예 1 내지 4의 HfAlO 필름의 주파수 의존적인 정전 용량 전압(frequency-dependent capacitance voltage, C-V)을 나타낸다.

[0081] 도 2를 참조하면, 필름의 Hf 함량이 증가함에 따라 실시예 1에서 실시예 4의 축적 분산(accumulation dispersion)은 증가하였다. 이러한 경향은 경계 트랩 응답이 Hf가 풍부한 필름에서 현저하게 높다는 것을 의미한다. 또한, 공핍 영역(depletion region)의 분산은 Al 원자의 농도가 높을수록 감소하며, 이는 Al의 혼입이 높을수록 효과적인 결함 패시베이션을 얻을 수 있음을 시사한다.

[0082] 축적 정전용량(accumulation capacitance)은 실시예 4와 같이 Hf 농도가 클수록 증가하고, 밴드 평탄화 전압(V_{FB})은 Al_2O_3 비율이 증가함에 따라 양의 이동(positive shift)을 나타내었다.

[0083] 도 3(a)는 실시예 1 내지 4에서 추출된 유효 유전 상수(keffective) 및 밴드 평탄화 전압(VFB)을 나타낸다. 유전 상수는 하기 식 1을 이용하여 축적 영역에서 측정된 C-V 데이터로부터 계산되었다.

[0084] [식 1]

[0085] $$k_{effective} = \frac{C_{max} t_{ox}}{\varepsilon_0}$$

[0086] 여기서, C_{max}는 10kHz에서 최대 축적 정전 용량이고, t_{ox}는 측정된 두께이며, ε_0는 자유 공간의 유전율이다. HfO_2가 더 높은 k 값을 가지기 때문에 Hf가 증가함에 따라 유효 유전 상수($k_{effective}$)가 증가하는 것이 관찰되었다. 구체적으로, 실시예 4는 9.83의 가장 높은 유효 유전 상수를 나타내었으며, 실시예 1 내지 3은 각각 7.62, 8.6 및 8.76의 유효 유전 상수를 나타내었다.

[0087] 유효 유전 상수($k_{effective}$)를 기반으로 계산된 EOT는 실시예 1 내지 실시예 4에서 각각 3.05nm, 2.58nm, 2.39nm 및 2.03nm을 나타내었다. 밴드 평탄화 전압(V_{FB})은 트랩의 영향을 가장 적게 받는 최고 높은 주파수에서 정규화된 C-V 데이터의 2차 도함수를 계산하여 변곡점 방법(inflection point method)에 의하여 추출하였다.

[0088] 도 3(a)는 V_{FB}가 Al 혼입에 따라 더 양의 방향으로 이동함을 보여준다. 이는 Al의 혼입이 어닐링 후 음으로 하전된 쌍극자를 생성하여 산소 결핍을 만드는데 도움이 되기 때문이다.

[0089] 변곡점 방법에 의한 밴드 평탄화 전압은 실시예 1 및 2가 거의 동일한 레벨을 나타내었으며, 각각 296.2mV 및 289mV이었다. 실시예 3 및 실시예 4의 밴드 평탄화 전압도 각각 172.7mV 및 171mV로 유사하였다. 이때, 모든 밴드 평탄화 전압 값은 ± 0.1mV의 오차 범위로 추출되었다.

[0090] HfAlO 필름에 대한 CV 히스테리시스를 비교하여 도 3(b)에 나타내었다. 히스테리시스 측정을 위하여 CV 스위프는 반전(inversion)에서 축적(accumulation)으로 이동하기 시작하고 트랩 응답을 피하기 위하여 1MHz의 주파수

에서 0.02V의 전압 단계로 -1V에서 + 1V까지 적용된 전압에서 지연없이 반전으로 다시 반전되었다.

[0091] 도 3(b)에 나타낸 바와 같이, Al_2O_3를 HfO_2 필름에 더 많이 혼입한 실시예 1의 히스테리시스가 40mV로 가장 낮고, 70mV인 실시예 4의 히스테리시스가 가장 높았다. 그러나 모든 실시예들은 90mV인 비교예 2(단일 HfO_2)보다 낮은 히스테리시스를 나타내었다.

[0092] 히스테리시스는 주로 벌크 유전체뿐만 아니라 계면의 트랩으로 인해 발생하기 때문에 이러한 히스테리시스의 감소는 TEMAH [0.76 Å]에 비하여 TMA의 높은 반응성과 낮은 미세 분자 반경 [0.39 Å]으로 설명할 수 있다.

[0093] 즉, 상기와 같은 요인으로 ALD 증착시 TMA 원자가 HfO2 필름에 쉽게 침투할 수 있도록 하여 핀홀이 없는 컴팩트한 Al_2O_3 도핑 HfO_2 필름을 제공할 수 있다.

[0094] 도 3(c)는 TMA 원자에 의한 핀홀이 없는 막의 형성 과정을 나타낸다. 또한, Al 도핑된 HfO_2 필름은 비교예 2와 같은 HfO_2보다 우수한 반도체/유전체 계면을 패시베이션할 수 있다.

[0095] 증착된 필름의 결합 구조와 필름 화학 양론을 이해하기 위하여 1486 eV의 광자 에너지를 가진 단색 Al Kα 소스를 사용하여 XPS 분석을 수행하였다.

[0096] 도 4(a), (b) 및 (c)에 HfAlO 필름에 대한 Hf-4f, Al-2p 및 O-1s 코어 레벨 스펙트럼을 나타내었다. 도 4(d), (e) 및 (f)는 계면을 특성화하기 위한 As-3d, Ga-3d 및 In-3d 스펙트럼을 나타내었다.

[0097] 도 4(a)에서 실시예 1의 경우 Hf-4f 스펙트럼이 Hf-O 결합에 해당하는 $4f_{7/2}$(17.48eV) 및 $4f_{5/2}$(18.98eV)의 두 개의 개별 피크로 디컨볼루트(deconvolute)되는 것이 관찰되었다. Hf-4f 피크가 순수한 샘플에 비해 더 높은 결합 에너지로 이동하는 것은 Hf-Al-O 결합 형성에 기인하며, 이는 Hf (1.3), Al (1.6) 및 O (3.44)간의 폴링(Pauling) 전기 음성도 차이로 인해 Al-O 결합에 대한 전자 밀도 기여를 증가시킨다.

[0098] 도 4(b)의 실시예 1에 대한 Al-2p 스펙트럼은 Hf-Al-O(74.45eV) 및 Al-O(74.9eV) 결합에 해당하는 두 개의 피크에서 디컨볼루트되었다. 도 4(c)의 실시예 1 에 대한 O-1s 스펙트럼은 530.84 eV 및 532.18 eV에서 두 개의 피크로 디컨볼루트되었다. 더 낮은 피크는 Hf-Al-O의 형성을 나타내며, 더 높은 에너지 피크는 표면에 흡착된 탄화수소 때문이다.

[0099] 증착 주기 설계에 따른 Al_2O_3의 낮은 함량으로 인해 결합 에너지의 음의 이동은 있지만 실시예 2 내지 4에 대해서도 유사한 결과가 발견되었다.

[0100] 또한, 도 4(d), (e) 및 (f)를 참조하면, As가 도입된 $In_{0.53}Ga_{0.47}As$필름의 산화물 (AsO_x, GaO_x 및 InO_x)은 리간드 교환 때문에 증착된 HfAlO 필름에서 감소되었으며, 이러한 감소(reduction)는 Al_2O_3가 풍부한 필름에서 더 우세하였다. 다만, 도 4(e)에서 트랩을 생성하는 Ga 산화물이 항상 필름에 존재한다는 것이 관찰되었으며, 이는 높은 계면 트랩 밀도의 원인 중 하나 일 수 있다.

[0101] 350℃의 PMA 온도에서 증착된 필름의 결정성을 분석하기 위해 X-선 회절(X-Ray diffraction, XRD) 분석을 수행한 후 스펙트럼을 도 4(g)에 나타내었다. 도 4(g)를 참조하면, HfO_2 (002) 외에는 다른 피크가 감지되지 않았으며 이는 필름이 비정질 구조를 유지하고 있음을 의미한다.

[0102] 도 5는 전도대 오프셋(conduction band offset, ΔE_c), 밸런스 밴드 오프셋(valance band offset, ΔE_v) 및 에너지갭(E_g)을 포함한 에너지 밴드 매개 변수와 실시예 1 내지 4의 개략적인 밴드 다이어그램을 나타낸다. 산화물과 반도체 사이의 이러한 에너지 밴드 정렬은 XPS 분석에서 얻은 밸런스 밴드(VB) 스펙트럼과 반사 전자에너지 손실분광(REELS)에서 얻은 에너지 손실 스펙트럼의 조합으로 계산할 수 있다.

[0103] 도 5(a)는 실시예 1 내지 4의 HfAlO/$In_{0.53}Ga_{0.47}As$의 스펙트럼에서 $In_{0.53}Ga_{0.47}As$의 VB 스펙트럼을 뺀 HfAlO 필름의 ΔE_v 추출을 나타낸다. 추출된 ΔE_v 값은 실시예 1 내지 4에 대해 각각 3.25eV 이하, 3.15eV 이하, 2.87eV 이하 및 2.72eV 이하이며 오차 범위는 ± 0.1eV이다.

[0104] 1keV에서 REELS 스펙트럼의 대역 간 여기의 시작점을 정의하여 추출된 E_g를 도 5(b)에 나타내었다. 추출된 밴드갭 값은 실시예 1 내지 4에 대해 각각 6.39eV 이하, 6.26eV 이하, 5.92eV 이하 및 5.73eV 이하였다.

[0105] 유효 전자 장벽 높이(effective electron barrier height, ΔEc)는 하기 식 2에 따라 계산된 산화물 밴드갭(E_g)에서 계산된 밸런스 밴드 오프셋(valance band offset, ΔEv) 및 $In_{0.53}Ga_{0.47}As$(0.75 eV)의 밴드갭을 빼서 계산하였다.

[0106] [식 2]

[0107] $$\Delta E_c^{HfAlO/InGaAs} = E_g^{HfAlO} - \Delta E_v^{HfAlO/InGaAs} - E_g^{InGaAs}$$

[0108] 계산된 ΔE_c 값도 E_g 및 ΔE_v와 동일한 추세를 나타내었다. 모든 경우에 대한 밴드 정렬 값은 도 5(c)에 나타내었으며, 여기서 ΔEc, ΔEv 및 Eg의 전이는 실시예 1에서 실시예 4로 갈수록 낮은 값을 나타내었다. 이는 HfO_2 막에 더 많은 Al이 혼입 될수록 산화막과 반도체 사이에 더 높은 밴드 정렬을 제공할 뿐만 아니라 Al의 양에 대한 선형 의존성이 있음을 보여준다. 추출된 모든 값을 사용한 실시예 1 내지 4의 개략적인 밴드 다이어그램을 도 5(d)에 나타내었다.

[0109] 축적 분산의 특성화에 대한 모델 중 분산 경계 트랩 모델은 경계 트랩 밀도를 특정 전압에서 누적 주파수의 분산을 분석하는 특징을 가진다. 여기서, 총 산화물은 얇은 두께의 여러 층으로 분류되며 각 단일 층은 N_{bt}에 비례하는 어드미턴스(admittance)와 병렬로 연관된 총 산화물 커패시턴스에 대한 기여도를 나타낸다. 상기 병렬 조합은 반도체 커패시턴스와 직렬(in series)로 연결된다.

[0110] 상기 어드미턴스는 트랩 커패시턴스와 컨덕턴스로 구성되며, 반도체에서 유전체 내부에 위치한 경계 트랩으로의 전자 터널링에 대한 전하 저장 및 에너지 손실에 기인한다. 그 후 이 모델에서 유도된 계산된 커패시턴스와 측정된 값 사이에 적합한 조건을 적용하여 N_{bt}를 추출하였다.

[0111] 도 6(a)는 경계 트랩 모델의 전기적 표현을 나타내고, 전체 모델은 하기 식 3의 미분 방정식에 따라 설명된다.

[0112] [식 3]

[0113] $$\frac{dy}{dx} = -\frac{Y^2}{j\omega\varepsilon_0\varepsilon_r} + \frac{q^2 N_{bt}\ln(1+j\omega\tau)}{\tau}$$

[0114] 경계 조건 Y = jωCs에서 Y는 총 어드미턴스로서 유전체와 반도체의 계면으로부터 거리 x에서 트랩 정전용량과 컨덕턴스의 조합이고, ω = 2πf는 ac 주파수, Cs는 반도체의 정전용량이다. ε_r은 상대 유전율, τ는 전자 포획에 대한 평균 시간, N_{bt}는 모든 에너지 수준에서 경계 트랩 밀도이다.

[0115] 경계 트랩 밀도는 측정된 커패시턴스와 상기 식 2에서 추출된 데이터를 사용하여 컨덕턴스 데이터 사이의 최적의 조건을 만들어 추출되었다. 반도체 정전용량, Cs는 경계 트랩의 추출 전압에서 1차원 Poisson-Schrodinger 솔버 시뮬레이션 도구 (Nextnano)에 의해 추출되었다. 산화물과 반도체 사이의 유효 장벽 높이는 전자 친 화성 규칙에 의해 계산되었으며 유효 전자 질량은 Al_2O_3, HfO_2 및 HfAlO 필름에 대해 각각 $0.23m_0$, $0.22m_0$ 및 $0.18m_0$이었고, m_0은 전자 나머지(rest) 질량이다.

[0116] 도 6(b) 및 (c)는 정전용량 및 컨덕턴스에 대한 측정 데이터와 수치 데이터 사이의 1-V에서의 피팅 곡선을 나타낸다. 다만, 피팅 곡선에서 실험 데이터와 방정식 사이에 작은 편차가 있으며, 이는 경계 트랩의 밀도가 높기 때문일 수 있다.

[0117] 추출된 경계 트랩 밀도(N_{bt})와 주파수 분산 및 계면 트랩 밀도(D_{it})를 비교하여 도 6(d)에 나타내었다. 이때, 비교를 위하여 비교예 1 내지 3의 해당 값을 함께 나타내었다. 도 6(d)를 참조하면, 비교예 1은 $4.67\times10^{19}cm^{-3}eV^{-1}$의 가장 낮은 Nbt를 갖는 반면 비교예 2는 가장 높은 N_{bt} ($3.25\times10^{20}cm^{-3}eV^{-1}$)를 나타내었다.

[0118] 이는 HfAlO 필름에서 Hf의 양이 많을수록 트랩이 더 광범위 해지는 것으로, Al이 혼입된 HfO_2필름은 이러한 트랩을 줄일 수 있다. HfAlO 필름에 대해 추출된 Nbt 값은 실시예 1 내지 4에서 각각 $4.82\times10^{19}cm^{-3}eV^{-1}$, $5.32\times10^{19}cm^{-3}eV^{-1}$, $5.81\times10^{19}cm^{-3}eV^{-1}$ 및 $1.4\times10^{20}cm^{-3}eV^{-1}$이었고, 비교예 3의 경우 $1.28\times10^{20}cm^{-3}eV^{-1}$이었다.

[0119] Al 혼입에 의한 트랩 감소는 전술한 바와 같이 Al_2O_3 침투에 의한 연속적이고 컴팩트한 필름의 생성이 가능하기 때문이다.

[0120] 축적(accumulation) 주파수 분산이 경계 트랩 밀도와 관련이 있음이 입증되었으므로 하기 식 4에 따라 1V에서 주파수 분산의 계산에서도 동일한 동작이 관찰되었다.

[0121] [식 4]

[0122] $$\%Disp = \frac{(C_{low} - C_{high})}{C_{high} * \log(\frac{\omega_{high}}{\omega_{low}})}$$

[0123] 여기서, C_{high} 및 C_{low}는 ω_{high} (1MHz) 및 ω_{low} (10kHz)에서의 해당 커패시턴스 값이다. 또한 직렬 저항 보정을 고려하여 병렬 컨덕턴스를 측정하여 컨덕턴스 방법에 따라 계면 결함 상태 (D_{it})를 계산하였다. 등가 병렬 컨덕턴스 G_p는 하기 식 5에 의해 계산하였다.

[0124] [식 5]

[0125] $$Gp = \frac{\omega^2 C_{ox}{}^2 G_m}{Gm^2 + \omega^2 (C_{ox} - C_m)^2}$$

[0126] 여기서 ω는 각 주파수 ($2\pi f$), C_{ox}는 게이트 산화물 정전용량, G_m은 측정된 컨덕턴스, C_m은 측정된 정전용량이다. 계면 트랩 밀도(D_{it})는 정규화된 병렬 컨덕턴스 피크 (G_p/ω_{max})로부터 계산되었다.

[0127] [식 6]

[0128] $$D_{it} = 2.5\frac{(G_p/\omega)_{max}}{Aq}$$

[0129] 여기서, A는 전극 면적이며, 도 6(d)를 참조하면, D_{it} 값은 HfAlO 필름에서 Hf 함량이 증가함에 따라 증가하며, 비교예 1의 계면 트랩 밀도는 $1.66\times10^{11}cm^{-2}eV^{-1}$로 가장 낮고 비교예 2는 $3.38\times10^{12}cm^{-2}eV^{-1}$로 가장 높았다.

[0130] 이러한 Dit의 감소는 Al_2O_3의 원격 선택적 산소 소거 현상에 기인할 수 있다. Al_2O_3의 ALD 증착시 나노라미네이트 필름에서 표면 하이드록실기 제거 후 TMA 전구체가 과량으로 존재하며 HfO_2를 통해 외부로 확산되거나 증착 표면에서 원격으로 생성되는 추가 종을 감소시킨다.

[0131] 증착된 필름의 신뢰성을 확인하기 위해 B1500A 반도체 장치 매개 변수 분석기를 사용하여 실시예 1 내지 4에 대하여 CVS(constant-voltage-stress) 측정을 수행하였다.

[0132] 측정 절차와 스트레스 시간에 따른 문턱 전압 이동을 도 7에 나타내었다. CVS 측정시 특정 시간 간격 후에 스트레스가 중단되어 C-V 측정에서 문턱 전압 이동(shift)(ΔVTH) 계산을 통해 장치 성능 저하를 추적할 수 있다.

[0133] 도 7(a)는 E5250A 저 누설 스위치 메인 프레임(low-leakage switch mainframe)의 C-V 및 I-V 측정을 위한 측정 절차의 흐름도를 나타낸다.

[0134] 스트레스가 가해진 디바이스의 정규화된 C-V 곡선과 100kHz에서 새로운 케이스가 도 7(b)에 그려져 있으며, 스트레스 디바이스와 새로운 디바이스의 C-V 곡선에서 문턱 전압 이동 (ΔV_{TH})을 계산하였다.

[0135] 모든 경우에서 양의 이동이 관찰되었으며, 이는 산화물 및/또는 산화물/반도체 계면에서 증가된 음 전하 트래핑을 나타낸다.

[0136] 실시예 1 내지 4에 대한 1.5V에서 2000 초의 CVS 후 문턱 전압 이동(ΔV_{TH})을 도 7(c)에 나타내었다. 여기서, ΔV_{TH}는 새로운 장치와 스트레스를 받는 장치의 문턱 전압 차이이다.

[0137] 순방향의 바이어스 스트레스에서 문턱 전압의 양의 이동은 반도체에서 산화물로의 전자 포획 및 양 전하의 패시

베이션을 나타낸다.

[0138] 도 7(c)를 참조하면, 실시예 1은 86.2mV의 가장 낮은 이동을 갖는 반면 실시예 4는 가장 높은 (282.5eV) 이동을 가진다. 따라서, 이 스트레스 유발 전하 트래핑은 Hf 함량과 선형성을 유지하며, Hf의 증가로 더 많은 양의 전하가 트래핑된다.

[0139] 적용된 양의 바이어스 전압에서 측정된 전류-전압 특성과 HfAlO 샘플의 계산된 항복 전기장과 밴드 평탄화 전압에서의 누설 전류 밀도를 도 8에 나타내었다.

[0140] 도 8(a)를 참조하면, 증착된 필름에서 Al 함량이 많을수록 누설 전류가 감소하고 항복 전압(breakdown voltage)이 증가함을 나타낸다. 항복 필드(field)는 측정된 두께로 항복 전압을 나누어 계산하였으며, 도 8b를 참조하면, 실시예 1은 가장 높은 항복 필드(5.71 MV/cm)와 가장 낮은 누설 전류(1.14×10^{-7} A/cm^2))를 나타내었으며, 실시예 4는 가장 낮은 항복 전압(4.73 MV/cm)과 가장 높은 누설 전류(1.19×10^{-4} A/cm^2)를 나타내었다.

[0141] Al 혼입 증가에 따른 항복 필드의 증가와 누설 전류의 감소는 Al 혼입이 클수록 밴드 갭이 증가 할뿐만 아니라 각각 산화물과 계면에서의 결함 증가 및 이에 의존하는 패시베이션 효과 때문일 수 있다.

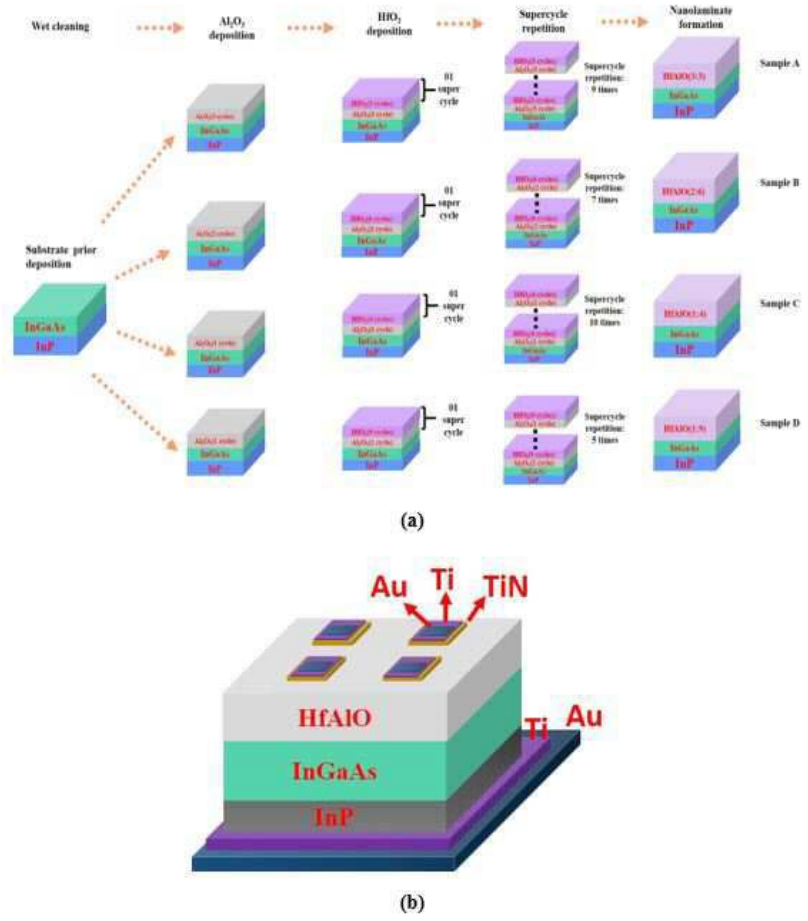
[0143] Hf 지배적인 HfAlO 필름은 HfO_2의 높은 비유전율로 인해 높은 유전 상수를 보이는 반면, 더 큰 Al 혼입은 쌍극자 형성으로 인해 더 많은 양의 밴드 평탄화 전압을 유도하였다.

[0144] 본 발명에 따른 게이트 산화막은 전기 밴드 매개 변수의 추출을 통해 HfO_2 필름에 Al을 혼입하는 경우 밴드 갭과 전도 및 밸런스 밴드 에지가 증가함을 알 수 있었다.

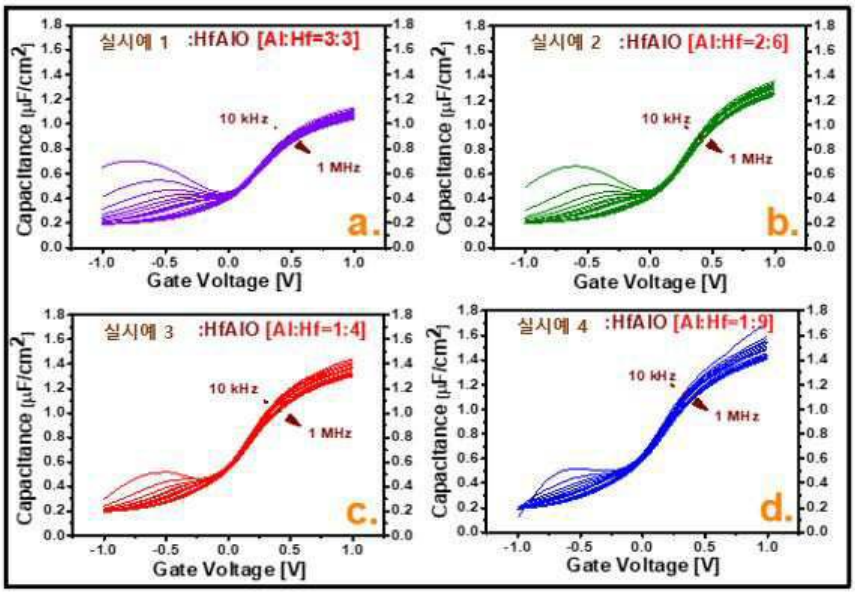
[0145] Al 융합은 또한 화학적 활동과 침투에 의해 HfO_2 내부의 트랩을 최소화할 수 있으며, 이는 낮은 히스테리시스 및 축적 분산뿐만 아니라 낮은 경계 트랩 밀도를 제공하였다.

도면

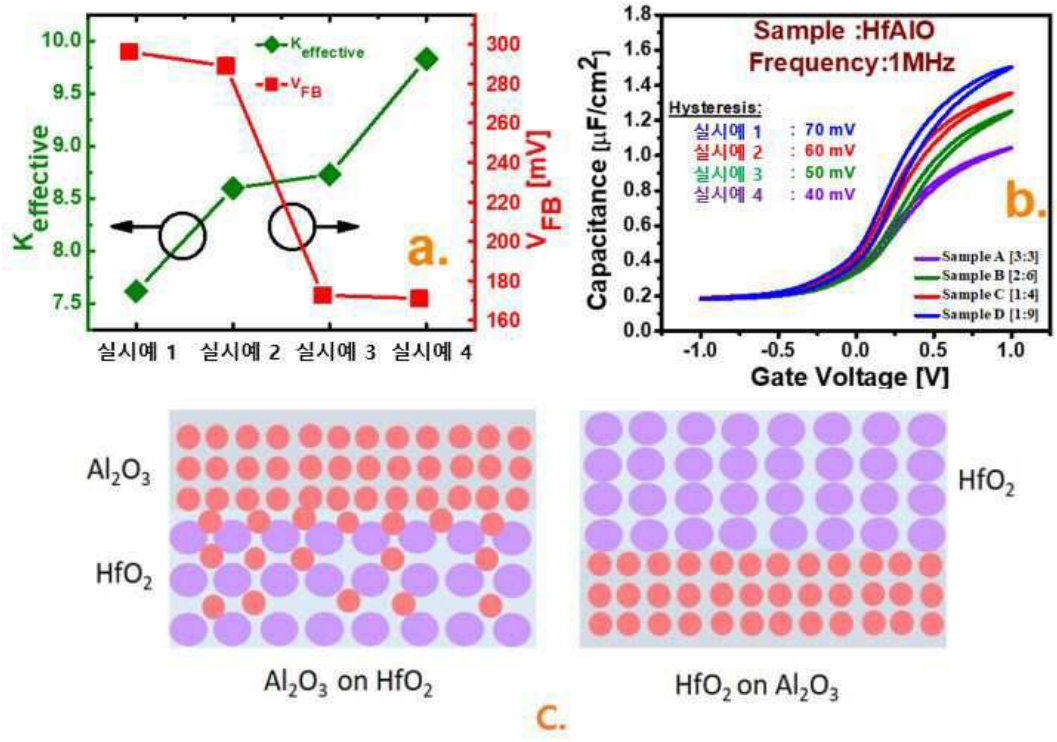
도면1


Wet cleaning
Al_2O_3 deposition
HfO_2 deposition
Supercycle repetition
Nanolaminate formation
Substrate prior deposition
InGaAs
InP
Sample A
Sample B
Sample C
Sample D
(a)
Au
Ti
TiN
HfAlO
InGaAs
InP
Ti
Au
(b)

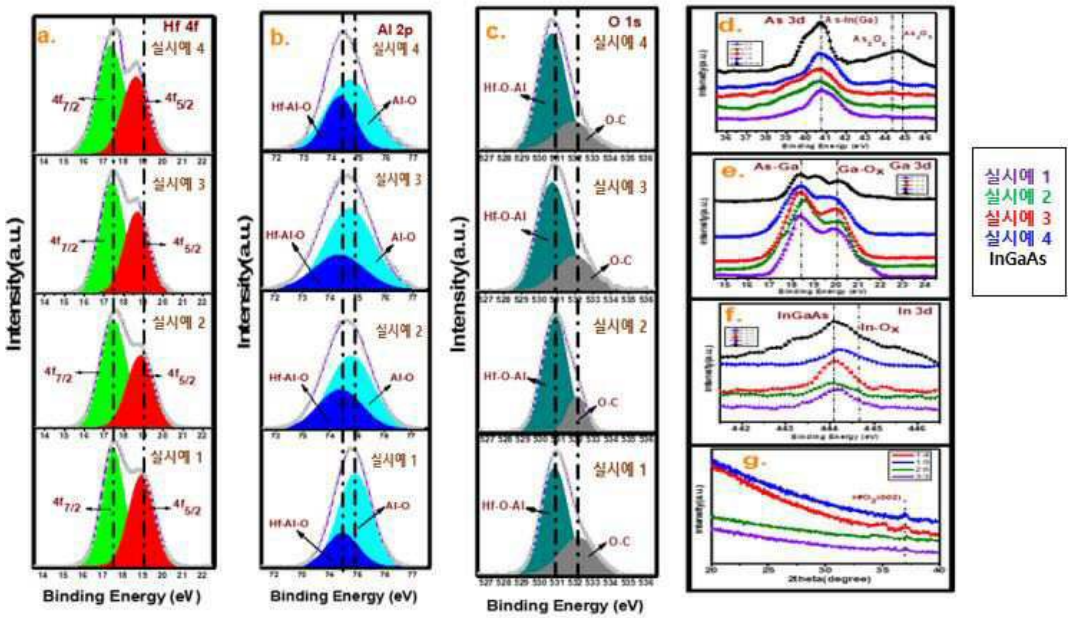
도면2


실시예 1 :HfAlO [Al:Hf=3:3]
실시예 2 :HfAlO [Al:Hf=2:6]
실시예 3 :HfAlO [Al:Hf=1:4]
실시예 4 :HfAlO [Al:Hf=1:9]
10 kHz
1 MHz
Capacitance (μF/cm²)
Gate Voltage [V]
a.
b.
c.
d.

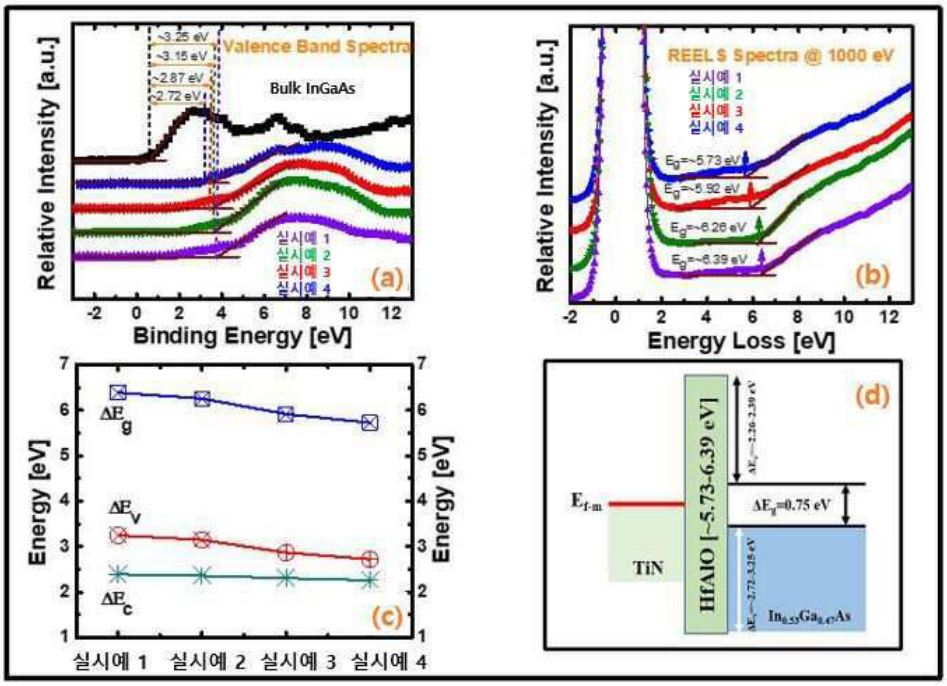
도면3


a.
$K_{effective}$
V_{FB} [mV]
실시예 1
실시예 2
실시예 3
실시예 4
b.
Sample :HfAlO
Frequency:1MHz
Hysteresis:
실시예 1 : 70 mV
실시예 2 : 60 mV
실시예 3 : 50 mV
실시예 4 : 40 mV
Capacitance [μF/cm²]
Gate Voltage [V]
Sample A [3:3]
Sample B [2:6]
Sample C [1:4]
Sample D [1:9]
Al_2O_3
HfO_2
Al_2O_3 on HfO_2
HfO_2 on Al_2O_3
C.

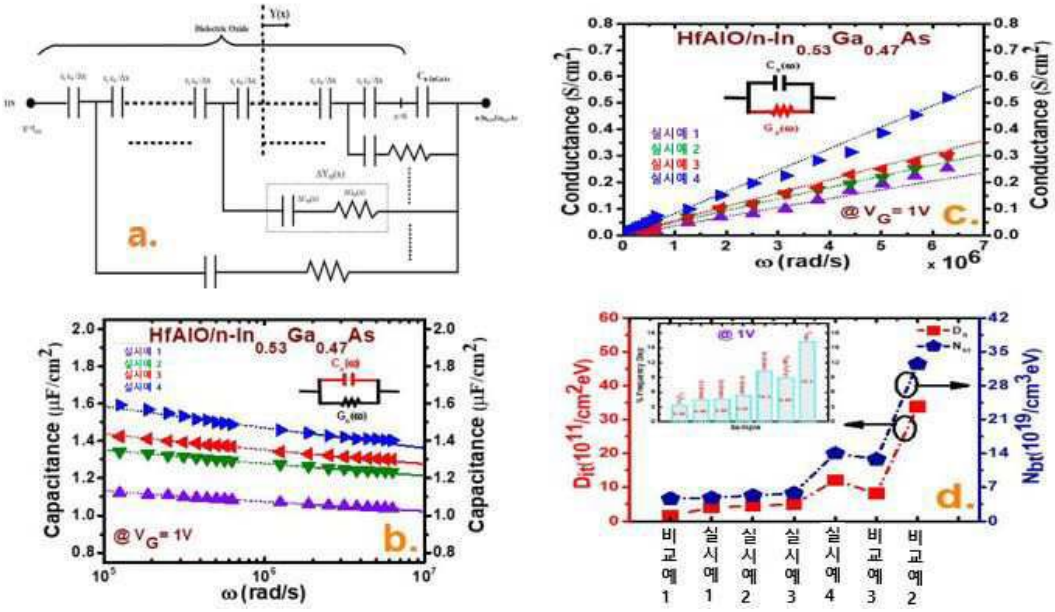
도면4


a. Hf 4f
b. Al 2p
c. O 1s
d. As 3d
e. Ga 3d
f. In 3d
g.
실시예 4
실시예 3
실시예 2
실시예 1
Intensity(a.u.)
Binding Energy (eV)
Hf-Al-O
Al-O
Hf-O-Al
O-C
As-Ga
Ga-Ox
InGaAs
In-Ox
실시예 1
실시예 2
실시예 3
실시예 4
InGaAs

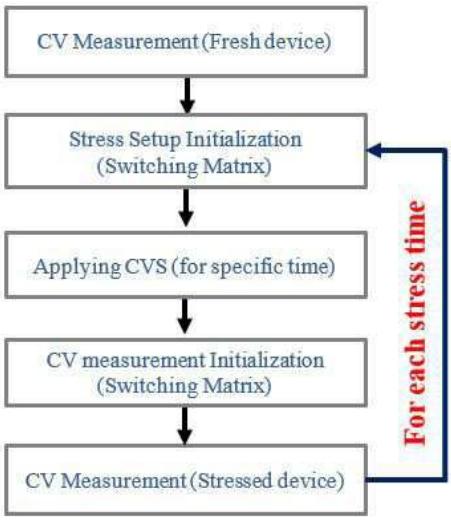
도면5


Valence Band Spectra
Bulk InGaAs
~3.25 eV
~3.15 eV
~2.87 eV
~2.72 eV
실시예 1
실시예 2
실시예 3
실시예 4
Relative Intensity [a.u.]
Binding Energy [eV]
(a)
REELS Spectra @ 1000 eV
Eg=~5.73 eV
Eg=~5.92 eV
Eg=~6.26 eV
Eg=~6.39 eV
Energy Loss [eV]
(b)
ΔEg
ΔEv
ΔEc
Energy [eV]
(c)
실시예 1 실시예 2 실시예 3 실시예 4
(d)
Ef-m
TiN
HfAlO [~5.73-6.39 eV]
ΔEg=0.75 eV
In0.53Ga0.47As

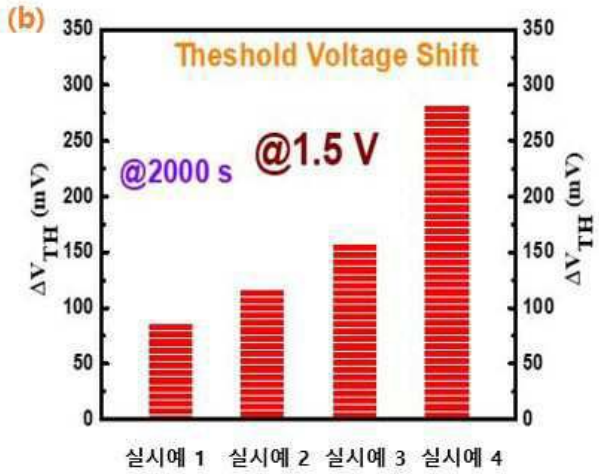
도면6


a.
HfAlO/n-In0.53Ga0.47As
실시예 1
실시예 2
실시예 3
실시예 4
@VG= 1V
Conductance (S/cm²)
ω (rad/s)
x 10⁶
c.
Capacitance (μF/cm²)
b.
Dit(10¹¹/cm²eV)
Nbt(10¹⁹/cm³eV)
d.
비교예 1
실시예 1
실시예 2
실시예 3
실시예 4
비교예 3
비교예 2

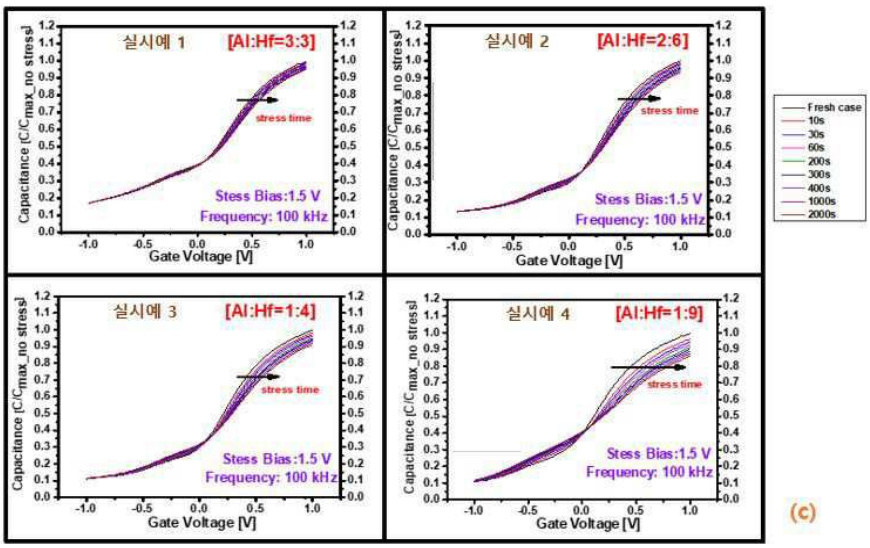
도면7a



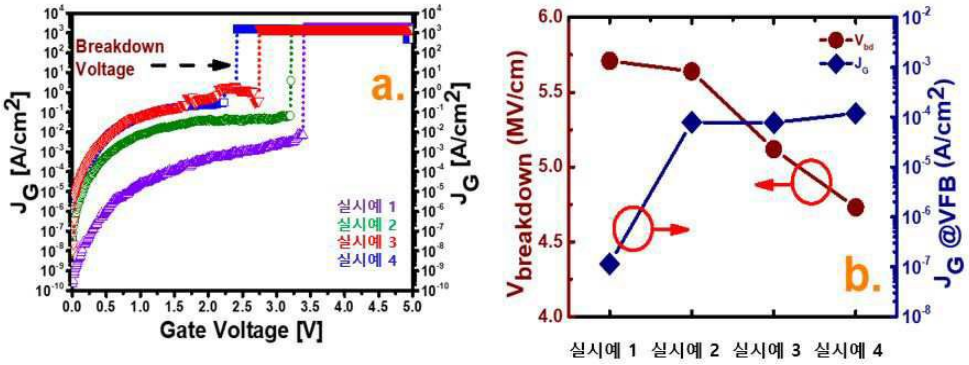
도면7b



도면7c



도면8


Breakdown
Voltage
a.
실시예 1
실시예 2
실시예 3
실시예 4
Gate Voltage [V]
b.
실시예 1 실시예 2 실시예 3 실시예 4