(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년08월30일
(11) 등록번호 10-1772490
(24) 등록일자 2017년08월23일

(51) 국제특허분류(Int. Cl.)
H05K 7/10 (2006.01) *H05K 1/02* (2006.01)
H05K 1/18 (2006.01)
(21) 출원번호 10-2011-0098254
(22) 출원일자 2011년09월28일
심사청구일자 2014년09월15일
(65) 공개번호 10-2013-0034310
(43) 공개일자 2013년04월05일
(56) 선행기술조사문헌
KR100476558 B1*
US03934074 A*
US20020014699 A1*
KR100718324 B1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
이용원
경기도 수원시 영통구 봉영로1770번길 21, 황골신명 213동 1205호 (영통동, 한국아파트)
박태상
서울특별시 서초구 바우뫼로6길 8-11, 101동 302호 (우면동, 우성)
(뒷면에 계속)
(74) 대리인
특허법인세림

전체 청구항 수 : 총 18 항 심사관 : 퇴_민병조

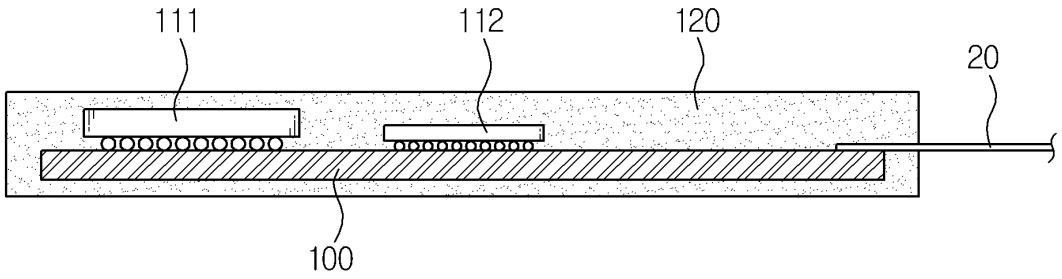
(54) 발명의 명칭 **인쇄회로기판 어셈블리**

(57) 요 약

본 발명의 일 측면은 웨이퍼 자체를 인쇄회로기판으로 사용하여 전기 부품을 웨이퍼 레벨로 실장할 수 있도록 한 인쇄회로기판 어셈블리를 개시한다. 인쇄회로기판 어셈블리는 복수의 전자 부품과, 복수의 전자 부품이 실장되는 인쇄회로기판과, 인쇄회로기판 전체를 덮는 보호체와, 일단이 상기 보호체의 외부로 노출되어 인쇄회로기판이 보호체 외부의 서브 기판과 전기적으로 연결될 수 있도록 구성된 연결 유닛을 포함하고, 인쇄회로기판은 웨이퍼로 형성되는 웨이퍼 인쇄회로기판을 포함하는 것을 특징으로 한다.

대 표 도 - 도4

1



(72) 발명자

신효영

경기도 용인시 기흥구 흥덕2로 126 701동 1103호 (영덕동,흥덕마을7단지흥덕힐스테이트아파트)

장지영

인천광역시 계양구 살라리로 26, 아델라이 빌라 107동 502호 (서운동)

문영준

경기도 화성시 동탄반석로 96 405동 2401호 (반송동,솔빛마을경남아너스빌아파트)

홍순민

서울특별시 동대문구 고산자로 534, 109동 704호 (제기동, 한신아파트)

명 세 서

청구범위

청구항 1

복수의 전자 부품;

상기 복수의 전자 부품이 실장되는 인쇄회로기판;

상기 인쇄회로기판의 전(全)면과 접촉하여 상기 인쇄회로기판 전체를 덮는 보호체;

일단이 상기 보호체의 외부로 노출되어, 상기 인쇄회로기판이 서브 기판과 전기적으로 연결될 수 있도록 구성된 연결 유닛;을 포함하고,

상기 보호체는 상기 인쇄회로기판의 전(全)면을 감싸도록 상기 인쇄회로기판에 수지를 몰딩하여 형성되고,

상기 인쇄회로기판은 실리콘 또는 유기(Organic) 재질을 포함하고,

상기 연결 유닛은 연성 인쇄회로기판을 포함하는 것을 특징으로 하는 인쇄회로기판 어셈블리.

청구항 2

제1항에 있어서,

상기 인쇄회로기판은 유리 또는 세라믹 중 적어도 하나를 재료로 하여 형성되는 것을 특징으로 하는 인쇄회로기판 어셈블리.

청구항 3

삭제

청구항 4

제1항에 있어서,

상기 복수의 전자 부품은 웨이퍼 레벨의 반도체 칩을 포함하는 것을 특징으로 하는 인쇄회로기판 어셈블리.

청구항 5

제4항에 있어서,

상기 복수의 전자 부품은 웨이퍼 레벨에서 상기 인쇄회로기판에 직접 실장되는 것을 특징으로 하는 인쇄회로기판 어셈블리.

청구항 6

삭제

청구항 7

제1항에 있어서,

상기 연성 인쇄회로기판은 그 단부에 상기 연성 인쇄회로기판이 상기 인쇄회로기판과 전기적, 물리적으로 연결될 수 있도록 구성된 제1전극 단자를 포함하는 것을 특징으로 하는 인쇄회로기판 어셈블리.

청구항 8

제7항에 있어서,

상기 제1전극 단자는 상기 인쇄회로기판과 솔더 페이스트를 이용해 접착되어 연결되는 것을 특징으로 하는 인쇄회로기판 어셈블리.

청구항 9

제7항에 있어서,

상기 제1전극 단자는 상기 인쇄회로기판과 이방도전성필름을 이용해 접착되어 연결되는 것을 특징으로 하는 인쇄회로기판 어셈블리.

청구항 10

제1항에 있어서,

상기 복수의 전자 부품은 상기 인쇄회로기판의 양면에 실장되는 것을 특징으로 하는 인쇄회로기판 어셈블리.

청구항 11

제1항에 있어서,

상기 인쇄회로기판은 제1웨이퍼 인쇄회로기판과, 상기 제1웨이퍼 인쇄회로기판의 배면에 배치된 제2웨이퍼 인쇄회로기판을 포함하고,

상기 복수의 전자 부품은 상기 제1웨이퍼 인쇄회로기판과 상기 제2웨이퍼 인쇄회로기판 각각의 외측면에 실장되는 것을 특징으로 하는 인쇄회로기판 어셈블리.

청구항 12

제11항에 있어서,

상기 제1웨이퍼 인쇄회로기판과 상기 제2웨이퍼 인쇄회로기판은 연성 인쇄회로기판으로 연결되는 것을 특징으로 하는 인쇄회로기판 어셈블리.

청구항 13

복수의 전자 부품이 실장되는 인쇄회로기판을 포함하는 인쇄회로기판 어셈블리에 있어서,

상기 인쇄회로기판은 실리콘 또는 유기(Organic) 기판으로 형성되고,

상기 인쇄회로기판의 기계적 강도를 향상시키고, 상기 인쇄회로기판에 실장된 상기 복수의 전자 부품을 보호하기 위하여 상기 인쇄회로기판의 전(全)면과 접촉하여 상기 인쇄회로기판 전체를 덮도록 수지를 몰딩하여 형성된 보호체; 및

상기 인쇄회로기판이 외부의 서브 기판과 전기적으로 연결될 수 있도록 일단은 상기 보호체 내부에서 상기 인쇄회로기판에 연결되고 타단은 상기 보호체의 외부로 노출된 연성 인쇄회로기판;을 포함하는 것을 특징으로 하는 인쇄회로기판 어셈블리.

청구항 14

삭제

청구항 15

삭제

청구항 16

제13항에 있어서,

상기 연성 인쇄회로기판의 일단은 상기 인쇄회로기판의 일면에 커넥터 없이 직접 접합되는 것을 특징으로 하는 인쇄회로기판 어셈블리.

청구항 17

제13항에 있어서,

상기 복수의 전자 부품은 웨이퍼 레벨의 반도체 칩 상태로 상기 인쇄회로기판에 실장되는 것을 특징으로 하는

인쇄회로기판 어셈블리.

청구항 18

웨이퍼에 회로가 구현되어 형성되는 제1웨이퍼 인쇄회로기판;

웨이퍼에 회로가 구형되어 형성되며, 상기 제1웨이퍼 인쇄회로기판의 배면에 접촉되어 배치되는 제2웨이퍼 인쇄회로기판;

상기 제1웨이퍼 인쇄회로기판과 상기 제2웨이퍼 인쇄회로기판이 접하는 면과 반대되는 면 중 적어도 하나에 실장되는 복수의 전기 부품;

상기 제1웨이퍼 인쇄회로기판과 상기 제2웨이퍼 인쇄회로기판이 전기적으로 연결되도록 구성된 연성 인쇄회로기판;

접촉되어 결합된 상기 제1웨이퍼 인쇄회로기판과 상기 제2웨이퍼 인쇄회로기판의 외면과 접촉하여 상기 외면 전체를 덮도록 형성된 보호체;를 포함하는 것을 특징으로 하는 인쇄회로기판 어셈블리.

청구항 19

제18항에 있어서,

상기 복수의 전기 부품은 웨이퍼 레벨의 반도체 칩 자체로 상기 제1웨이퍼 인쇄회로기판과 상기 제2웨이퍼 인쇄회로기판에 직접 실장되는 것을 특징으로 하는 인쇄회로기판 어셈블리.

청구항 20

제18항에 있어서,

상기 연성 인쇄회로기판은 상기 제1웨이퍼 인쇄회로기판과 상기 제2웨이퍼 인쇄회로기판과 커넥터 없이 직접 접합되는 것을 특징으로 하는 인쇄회로기판 어셈블리.

청구항 21

웨이퍼에 회로가 구현되어 형성되는 웨이퍼 인쇄회로기판;

상기 웨이퍼 인쇄회로기판의 양면 중 적어도 하나의 면에 웨이퍼 레벨로 직접 실장되는 복수의 반도체 칩;

상기 웨이퍼 인쇄회로기판의 전(全)면과 접촉하여 상기 웨이퍼 인쇄회로기판 전체를 덮도록 형성된 보호체; 및

상기 웨이퍼 인쇄회로기판이 상기 보호체 외부의 기판과 전기적으로 연결될 수 있도록 하는 연성 인쇄회로기판;을 포함하고,

상기 웨이퍼 인쇄회로기판은 실리콘 또는 유기(Organic) 재질을 포함하고,

상기 보호체는 상기 웨이퍼 인쇄회로기판의 전(全)면을 감싸도록 상기 인쇄회로기판에 수지를 몰딩하여 형성되는 것을 특징으로 하는 인쇄회로기판 어셈블리.

청구항 22

삭제

청구항 23

제21항에 있어서,

상기 연성 인쇄회로기판은 상기 웨이퍼 인쇄회로기판에 커넥터 없이 직접 접합되어 연결되는 것을 특징으로 하는 인쇄회로기판 어셈블리.

발명의 설명

기 술 분 야

[0001] 본 발명은 크기를 작게 하고 두께를 얇게 할 수 있는 인쇄회로기판 어셈블리에 관한 것이다.

배 경 기 술

[0002] 최근 전자 제품에 대한 소비자의 요구는 고성능화, 다기능화에 더하여 경량화, 소형화 및 이로 인해 구현되는 디자인을 중시하는 경향이 강해지고 있다. 특히, 휴대 기기에 대해서는 경량화, 소형화 및 박형화가 소비자를 더욱 끌어들일 수 있는 중요한 요소로 간주된다.

[0003] 위와 같이 전자 제품의 소형과 및 박형화를 위해서는 제품 내부에 위치한 인쇄회로기판(Printed Circuit Board;PCB) 및 이를 포함하는 인쇄회로기판 어셈블리(Printed Circuit Board Assembly;PCBA)의 두께를 얇게 하는 기술이 필수적이다.

[0004] 위와 같은 목적을 달성할 수 있는 기술 중의 하나인 웨이퍼 레벨 패키지(Wafer Level Package;WLP)가 최근 대두되고 있다. 이러한 웨이퍼 레벨 패키지는 웨이퍼 내의 수많은 반도체 칩들을 동시에 패키지 가공할 수 있어 제조비용을 낮출 수 있고, 반도체 칩의 면적이 곧 패키지의 면적이 되므로 패키지가 더욱 소형화될 수 있는 장점을 가진다.

[0005] 위와 같이 웨이퍼 레벨 패키지에 있어서, 반도체 칩을 종래의 일반적인 인쇄회로기판에 실장하는 경우 전기적 연결을 위해 별도의 인터포저나 별도의 배선이 필요하여 문제가 되었다.

[0006] 나아가, 종래 인쇄회로기판에 의하면 미세한 패턴을 구현하는데 한계가 존재하였다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 일 측면은 웨이퍼 자체를 인쇄회로기판으로 사용하여 전기 부품을 웨이퍼 레벨로 실장할 수 있도록 한 인쇄회로기판 어셈블리를 개시한다.

[0008] 본 발명의 다른 측면은 두 개의 인쇄회로기판을 이용하여 양면 인쇄회로기판을 구현한 인쇄회로기판 어셈블리를 개시한다.

과제의 해결 수단

[0009] 본 발명의 사상에 따른 인쇄회로기판 어셈블리는 복수의 전자 부품;과, 상기 복수의 전자 부품이 실장되는 인쇄회로기판;과, 상기 인쇄회로기판 전체를 덮는 보호체;와, 일단이 상기 보호체의 외부로 노출되어, 상기 인쇄회로기판이 서브 기판과 전기적으로 연결될 수 있도록 구성된 연결 유닛;을 포함하고, 상기 인쇄회로기판은 웨이퍼로 형성되는 웨이퍼 인쇄회로기판을 포함하는 것을 특징으로 할 수 있다.

[0010] 상기 웨이퍼 인쇄회로기판은 실리콘, 유리, 세라믹 또는 유기물 중 적어도 하나를 재료로 하여 형성되는 것을 특징으로 할 수 있다.

[0011] 상기 유기물은 낮은 열팽창계수를 가진 유기물(Low CTE organic)을 포함하는 것을 특징으로 할 수 있다.

[0012] 상기 복수의 전자 부품은 웨이퍼 레벨의 반도체 칩을 포함하는 것을 특징으로 할 수 있다.

[0013] 상기 복수의 전자 부품은 웨이퍼 레벨에서 상기 웨이퍼 인쇄회로기판에 직접 실장되는 것을 특징으로 할 수 있다.

[0014] 상기 연결 유닛은 연성 인쇄회로기판을 포함하는 것을 특징으로 할 수 있다.

[0015] 상기 연성 인쇄회로기판은 그 단부에 상기 연성 인쇄회로기판이 상기 웨이퍼 인쇄회로기판과 전기적, 물리적으로 연결될 수 있도록 구성된 제1전극 단자를 포함하는 것을 특징으로 할 수 있다.

[0016] 상기 제1전극 단자는 상기 웨이퍼 인쇄회로기판과 솔더 페이스트를 이용해 접착되어 연결되는 것을 특징으로 할 수 있다.

[0017] 상기 제1전극 단자는 상기 웨이퍼 인쇄회로기판과 이방도전성필름을 이용해 접착되어 연결되는 것을 특징으로 할 수 있다.

[0018] 상기 복수의 전자 부품은 상기 웨이퍼 인쇄회로기판의 양면에 실장되는 것을 특징으로 할 수 있다.

[0019] 상기 웨이퍼 인쇄회로기판은 제1웨이퍼 인쇄회로기판과, 상기 제1웨이퍼 인쇄회로기판의 배면에 배치된 제2웨이

퍼 인쇄회로기판을 포함하고, 상기 복수의 전자 부품은 상기 제1웨이퍼 인쇄회로기판과 상기 제2웨이퍼 인쇄회로기판 각각의 외측면에 실장되는 것을 특징으로 할 수 있다.

[0020] 상기 제1웨이퍼 인쇄회로기판과 상기 제2웨이퍼 인쇄회로기판은 연성 인쇄회로기판으로 연결되는 것을 특징으로 할 수 있다.

[0021] 또한, 본 발명의 사상에 따른 인쇄회로기판 어셈블리는 복수의 전자 부품이 실장되는 인쇄회로기판을 포함하는 인쇄회로기판 어셈블리에 있어서, 상기 인쇄회로기판은 웨이퍼로 형성되는 것을 특징으로 할 수 있다.

[0022] 상기 인쇄회로기판의 기계적 강도를 향상시키고, 상기 인쇄회로기판에 실장된 상기 복수의 전자 부품을 보호하기 위하여 상기 인쇄회로기판 전체를 덥도록 마련된 보호체;를 더 포함하는 것을 특징으로 할 수 있다.

[0023] 상기 인쇄회로기판이 외부의 서브 기판과 전기적으로 연결될 수 있도록 일단은 상기 보호체 내부에서 상기 인쇄회로기판에 연결되고 타단은 상기 보호체의 외부로 노출된 연성 인쇄회로기판;을 더 포함하는 것을 특징으로 할 수 있다.

[0024] 상기 연성 인쇄회로기판의 일단은 상기 인쇄회로기판의 일면에 직접 접합되는 것을 특징으로 할 수 있다.

[0025] 상기 복수의 전자 부품은 웨이퍼 레벨의 반도체 칩 상태로 상기 인쇄회로기판에 실장되는 것을 특징으로 할 수 있다.

[0026] 또한, 본 발명의 사상에 따른 인쇄회로기판 어셈블리는 웨이퍼에 회로가 구현되어 형성되는 제1웨이퍼 인쇄회로기판;과, 웨이퍼에 회로가 구형되어 형성되며, 상기 제1웨이퍼 인쇄회로기판의 배면에 접촉되어 배치되는 제2웨이퍼 인쇄회로기판;과, 상기 제1웨이퍼 인쇄회로기판과 상기 제2웨이퍼 인쇄회로기판이 접하는 면과 반대되는 면 중 적어도 하나에 실장되는 복수의 전기 부품;과, 상기 제1웨이퍼 인쇄회로기판과 상기 제2웨이퍼 인쇄회로기판이 전기적으로 연결되도록 구성된 연성 인쇄회로기판;과, 접촉되어 결합된 상기 제1웨이퍼 인쇄회로기판과 상기 제2웨이퍼 인쇄회로기판 전체를 덮도록 형성된 보호체;를 포함하는 것을 특징으로 할 수 있다.

[0027] 상기 복수의 전기 부품은 웨이퍼 레벨의 반도체 칩 자체로 상기 제1웨이퍼 인쇄회로기판과 상기 제2웨이퍼 인쇄회로기판에 직접 실장되는 것을 특징으로 할 수 있다.

[0028] 상기 연성 인쇄회로기판은 상기 제1웨이퍼 인쇄회로기판과 상기 제2웨이퍼 인쇄회로기판과 직접 접합되는 것을 특징으로 할 수 있다.

[0029] 또한, 본 발명의 사상에 따른 인쇄회로기판 어셈블리는 웨이퍼에 회로가 구현되어 형성되는 웨이퍼 인쇄회로기판;과, 상기 웨이퍼 인쇄회로기판의 양면 중 적어도 하나의 면에 웨이퍼 레벨로 직접 실장되는 복수의 반도체 칩;과, 상기 웨이퍼 인쇄회로기판 전체를 덮도록 형성된 보호체;를 포함하는 것을 특징으로 할 수 있다.

[0030] 상기 웨이퍼 인쇄회로기판이 상기 보호체 외부의 기판과 전기적으로 연결될 수 있도록 하는 연성 인쇄회로기판을 더 포함하는 것을 특징으로 할 수 있다.

[0031] 상기 연성 인쇄회로기판은 상기 웨이퍼 인쇄회로기판에 직접 접합되어 연결되는 것을 특징으로 할 수 있다.

발명의 효과

[0032] 인쇄회로기판을 웨이퍼로 형성하여 전기 부품을 인쇄회로기판에 웨이퍼 레벨로 실장하고, 연성 인쇄회로기판을 직접 접착, 연결하여 인쇄회로기판 어셈블리를 작고 얇게 구현할 수 있다.

[0033] 인쇄회로기판 두 개를 겹치는 것과 같은 간단한 구조로 양면 인쇄회로기판을 구현할 수 있다.

도면의 간단한 설명

[0034] 도 1은 본 발명의 제1실시예에 따른 인쇄회로기판 어셈블리의 구성을 도시한 도면.

도 2는 도 1의 인쇄회로기판 어셈블리 내부의 전자 부품이 실장된 인쇄회로기판을 도시한 도면.

도 3은 도 2의 인쇄회로기판에 연성 인쇄회로기판이 연결된 것을 도시한 도면.

도 4는 도 1의 인쇄회로기판 어셈블리의 단면도.

도 5는 본 발명의 제2실시예에 따른 인쇄회로기판 어셈블리의 단면도.

도 6b는 본 발며의 제3실시예에 따른 몰딩되기 전 인쇄회로기판 어셈블리의 내부 구성을 도시한 도면.

도 6a는 도 6a에 따른 인쇄회로기판 어셈블리의 단면도.

도 7은 본 발명의 제4실시예에 따른 인쇄회로기판 어셈블리와 서브 기판의 연결관계를 나타낸 도면.

도 8는 본 발명의 제5실시예에 따른 인쇄회로기판 어셈블리와 서브 기판의 연결관계를 나타낸 도면.

발명을 실시하기 위한 구체적인 내용

[0035] 이하에서는 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 상세히 설명한다.

[0036] 도 1 내지 도 4에 도시된 바와 같이, 인쇄회로기판 어셈블리(1)는 인쇄회로기판(100)과, 인쇄회로기판(100)에 실장된 전자 부품(111, 112)과, 인쇄회로기판(100)에 연결된 연성 인쇄회로기판(20)으로 구성된다.

[0037] 종래 인쇄회로기판은 에폭시 수지 또는 베이클라이트 수지와 같은 절연체로 만든 얇은 기판을 베이스로 하여, 그 위에 구리박으로 배선을 형성한 후 푸른 색의 납 레지스트를 인쇄하여 형성한다.

[0038] 본 발명의 실시예에 따른 인쇄회로기판은 웨이퍼 자체에 재배선 공정을 하여 형성된 웨이퍼 인쇄회로기판(100)이다.

[0039] 웨이퍼 인쇄회로기판(100)에는 반도체 재배선 공정을 이용하여 회로를 형성한다. 따라서, 종래 인쇄회로기판에서 구현할 수 없었던 미세 피치 부품의 실장이 가능한 미세 패턴을 구현할 수 있다.

[0040] 웨이퍼 인쇄회로기판(100)에 사용되는 웨이퍼의 재질은 실리콘, 유리, 세라믹 또는 유기물일 수 있다. 특히, 유기물은 낮은 열팽창계수를 가지는 유기물(Low CTE Organic)일 수 있다.

[0041] 웨이퍼 인쇄회로기판(100)의 일면에는 전자 부품이 실장된다. 전자 부품(111, 112)은 일반적으로 사용되는 패키지 형태의 부품이거나, 웨이퍼 레벨의 반도체 칩일 수 있다. 다만, 본 발명은 인쇄회로기판 어셈블리(1)의 소형화 및 박형화를 위한 것이므로 전자 부품(111, 112)은 웨이퍼 레벨의 반도체 칩인 것이 바람직할 것이다.

[0042] 전자 부품(111, 112)이 웨이퍼 레벨의 반도체 칩인 경우, 웨이퍼 인쇄회로기판(100)에 솔더볼 등을 이용하여 직접 실장될 수 있다. 웨이퍼 인쇄회로기판(100) 자체가 웨이퍼로 형성되어 있기 때문에 반도체 칩의 실장에 문제가 없다. 문제되던 배선 문제는 웨이퍼 인쇄회로기판(100)에 반도체 재배선 공정을 이용하여 회로를 형성할 수 있기 때문에 미세한 패턴의 회로 배선도 구현할 수 있다.

[0043] 웨이퍼 인쇄회로기판(100)의 일측 가장자리에는 외부의 서브 기판(미도시)과 전기적 연결을 위한 접속용 전극 단자(120)가 마련되어 있다.

[0044] 접속용 전극 단자(120)에는 연성 인쇄회로기판(Flexible PCB;FPCB)(20)이 접촉되어 연결된다. 연성 인쇄회로기판(20)은 유연성 있는 절연기판을 사용한 기판을 의미한다.

[0045] 연성 인쇄회로기판(20)은 연성 재료인 폴리에스테르(polyester;PET) 또는 폴리이미드(polyimide;PI)와 같은 내열성 플라스틱 필름을 사용하여 형성될 수 있다.

[0046] 연성 인쇄회로기판(20)의 일단에는 웨이퍼 인쇄회로기판(100)와 전기적, 물리적으로 연결되기 위한 내부 전극 단자(21)가 형성되고, 타단에는 외부 서브 기판(미도시)과 전기적, 물리적으로 연결되기 위한 외부 전극 단자(22)가 형성된다.

[0047] 종래 인쇄회로기판에 연성 인쇄회로기판(20)을 연결하기 위해서는 별도의 커넥터가 필요하였으나, 웨이퍼 인쇄회로기판(100)은 커넥터 없이 직접 연성 인쇄회로기판(20)을 접합할 수 있다.

[0048] 연성 인쇄회로기판(20)은 웨이퍼 인쇄회로기판(100)에 접합제를 이용하여 접합된다. 연성 인쇄회로기판(20)의 내부 전극 단자(21)와 웨이퍼 인쇄회로기판(100)의 접속용 전극 단자(120)가 맞닿아 접합되면 연성 인쇄회로기판(20)과 웨이퍼 인쇄회로기판(100)이 전기적, 물리적으로 연결된다.

[0049] 접합제로는 솔더 페이스트 또는 이방도전성필름(Anisotropic Conductive Film;ACF)이 사용된다. 위 접합제 외에 연성 인쇄회로기판(20)을 웨이퍼 인쇄회로기판(100)에 전기적, 물리적으로 연결되게 하는 접합제는 본 발명의 사상에 포함된다.

[0050] 위와 같이 탑재 면적이 크고, 높이가 높은 커넥터를 사용하지 않고 연성 인쇄회로기판(20)을 전기적, 물리적으로 연결함에 따라, 인쇄회로기판 어셈블리(1)의 소형화 및 박형화를 달성할 수 있다.

[0051] 전자 부품(111, 112)이 실장되고 연성 인쇄회로기판(20)이 연결된 웨이퍼 인쇄회로기판(100)은 외부의 충격에

약하기 때문에 웨이퍼 인쇄회로기판(100) 전체를 수지를 도포하여 형성되는 보호체(120)로 덮는다.

[0052] 보호체(120)가 인쇄회로기판 어셈블리(1)을 덮더라도 연성 인쇄회로기판(20)의 외부 전극 단자(22)는 외부 서브 기판(미도시)와 연결되어야 하므로 보호체(120)외부로 노출된다.

[0053] 위 보호체(120)에 의해 인쇄회로기판 어셈블리(1)는 충분한 기계적 강도를 확보하여 안정성을 가지는 동시에 전자 부품(111, 112)을 보호할 수 있다.

[0054] 이하에서는 인쇄회로기판 어셈블리를 더 소형화하고 집적화하기 위해 양면 인쇄회로기판 어셈블리를 구현하는 구성에 대하여 설명한다.

[0055] 도 5는 본 발명의 제2실시예에 따른 인쇄회로기판 어셈블리의 단면도이다.

[0056] 도 5에 도시된 바와 같이, 웨이퍼 인쇄회로기판(200)은 양면에 회로 배선이 형성되어 양면에 전자 부품(111, 112, 113, 114)이 실장된다.

[0057] 전자 부품(111, 112, 113, 114)은 웨이퍼 레벨의 반도체 칩으로서, 웨이퍼 인쇄회로기판(200)에 솔더볼 등을 이용하여 직접 실장된다.

[0058] 웨이퍼 인쇄회로기판(100)의 일측 가장자리에는 외부의 서브 기판(미도시)과 전기적 연결을 위한 접속용 전극 단자(120, 도 3 참조)가 마련되고, 접속용 전극 단자(120)에 연성 인쇄회로기판(20)이 접촉되어 연결된다.

[0059] 연성 인쇄회로기판(20)의 일단에는 웨이퍼 인쇄회로기판(200)와 전기적, 물리적으로 연결되고, 타단은 외부 서브 기판(미도시)과 전기적, 물리적으로 연결된다.

[0060] 연성 인쇄회로기판(20)은 웨이퍼 인쇄회로기판(200)에 접합제를 이용하여 접합되고 별도의 커넥터는 필요없다.

[0061] 도 6a는 본 발명의 제3실시예에 따른 몰딩되기 전 인쇄회로기판 어셈블리의 내부 구성을 도시한 도면이고, 도 6b는 도 6a에 따른 인쇄회로기판 어셈블리의 단면도이다.

[0062] 도 6a에 도시된 바와 같이, 제1웨이퍼 인쇄회로기판(201)과 제2웨이퍼 인쇄회로기판(202)이 연결 연성인쇄회로기판(30)으로 전기적, 물리적으로 연결된다.

[0063] 도면에 도시되지는 않았으나, 제1웨이퍼 인쇄회로기판(201)과 제2웨이퍼 인쇄회로기판(202) 각각에는 연결 연성인쇄회로기판(30)과 연결되기 위한 전극 단자가 마련된다.

[0064] 연결 연성인쇄회로기판(30)은 제1웨이퍼 인쇄회로기판(201) 및 제2웨이퍼 인쇄회로기판(202)과 접합제를 이용하여 접합되고 별도의 커넥터는 필요없다.

[0065] 제1웨이퍼 인쇄회로기판(201)과 제2웨이퍼 인쇄회로기판(202)의 일면에는 웨이퍼 레벨의 반도체 칩으로 형성된 전자 부품(111, 112, 113, 114)이 실장된다.

[0066] 앞서 살펴본 바와 같이 전자 부품(111, 112, 113, 114)은 웨이퍼 인쇄회로기판(200)에 솔더볼 등을 이용하여 웨이퍼 레벨로 직접 실장된다.

[0067] 제1웨이퍼 인쇄회로기판(201)의 일측 가장자리에는 외부의 서브 기판(미도시)과 전기적 연결을 위한 접속용 전극 단자(120, 도 3 참조)가 마련되고, 접속용 전극 단자(120)에 연성 인쇄회로기판(20)이 접촉되어 연결된다.

[0068] 연성 인쇄회로기판(20)의 일단에는 웨이퍼 인쇄회로기판(200)와 전기적, 물리적으로 연결되고, 타단은 외부 서브 기판(미도시)과 전기적, 물리적으로 연결된다.

[0069] 연성 인쇄회로기판(20)은 웨이퍼 인쇄회로기판(200)에 접합제를 이용하여 접합되고 별도의 커넥터는 필요없는 점은 앞서 설명한 바와 동일하다.

[0070] 도 6b에 도시된 바와 같이, 도 6a의 전자 부품(111, 112, 113, 114)이 실장되지 않은 제1웨이퍼 인쇄회로기판(201)과 제2웨이퍼 인쇄회로기판(202)의 각각의 배면이 마주하며 접촉하도록 연결 연성인쇄회로기판(30)을 접으면 양면에 전자 부품(111, 112, 113, 114)이 실장된 것과 동일한 효과를 얻는다.

[0071] 제1웨이퍼 인쇄회로기판(201)과 제2웨이퍼 인쇄회로기판(202) 자체의 두께가 두껍지 않기 때문에 두 개의 웨이퍼 인쇄회로기판(201, 202)을 겹쳐도 두께가 두꺼워 지지 않는다.

[0072] 도 5에 나타난 제2실시예에 의한 양면 웨이퍼 인쇄회로기판을 제조하기 위해서는 별도의 공정이 필요하나, 본

제3실시예에 의하면 일반적인 단면 웨이퍼 인쇄회로기판을 사용하여 제2실시예와 동일한 집적도를 가지는 인쇄회로기판 어셈블리를 구현할 수 있다.

[0073] 이와 같이 인쇄회로기판 어셈블리를 구성하는 경우 하나의 웨이퍼 인쇄회로기판의 각 면에 두 번 배선공정을 할 필요가 없기 때문에 비용 절감의 효과를 가져올 수 있다.

[0074] 이와 같이 겹쳐진 제1웨이퍼 인쇄회로기판(201)과 제2웨이퍼 인쇄회로기판(202)의 전체를 수지를 사용하여 몰딩하여 보호체(120)를 형성한다. 보호체(120)에 의해 인쇄회로기판 어셈블리(2b)는 충분한 기계적 강도를 확보하여 안정성을 가지는 동시에 전자 부품(111, 112, 113, 114)을 보호할 수 있다.

[0075] 도 6b에 명확히 도시되지는 않았으나, 앞서 살펴본 바와 같이 연성 인쇄회로기판(20)은 외부 서브 기판(미도시)과 연결되어야 하므로 보호체(120)외부로 노출되어야 한다.

[0076] 이하에서 인쇄회로기판 어셈블리와 외부의 서브 기판과 연결 방법에 대해 설명한다.

[0077] 도 7은 본 발명의 제4실시예에 따른 인쇄회로기판 어셈블리와 서브 기판의 연결관계를 나타낸 도면이다.

[0078] 도 7에 도시된 바와 같이, 인쇄회로기판 어셈블리(3a)는 인쇄회로기판(200)과, 인쇄회로기판(200)에 실장된 전자 부품(111, 112)과, 인쇄회로기판(200)에 연결된 연성 인쇄회로기판(20, 40)으로 구성된다. 본 실시예에 다른 인쇄회로기판은 웨이퍼 자체에 재배선 공정을 하여 회로 배선이 형성된 웨이퍼 인쇄회로기판(200)을 의미한다.

[0079] 웨이퍼 인쇄회로기판(200)의 일면에는 전자 부품이 실장된다. 전자 부품(111, 112)은 일반적인 패키지 형태의 부품이거나 웨이퍼 레벨의 반도체 칩일 수 잇다.

[0080] 특히, 전자 부품이 반도체 칩과 같은 웨이퍼 레벨인 경우, 웨이퍼 인쇄회로기판(200)에 인터포저나 별도의 배선 없이 직접 실장된다.

[0081] 웨이퍼 인쇄회로기판(200)의 일측 가장자리에는 서브 기판(300)과 전기적, 물리적 연결을 위한 제1접속용 전극 단자(미도시)가 마련된다. 제1접속용 전극 단자(미도시)에는 제1연성 인쇄회로기판(20)이 접촉되어 연결된다.

[0082] 웨이퍼 인쇄회로기판(200)의 타측 가장자리에도 또 다른 기판(미도시)과 전기적, 물리적으로 연결될 수 있도록 하는 제2접속용 전극 단자(미도시)가 마련된다. 제2접속용 전극 단자(미도시)에는 제2연성 인쇄회로기판(40)이 접촉되어 연결된다.

[0083] 제1연성 인쇄회로기판(20) 및 제2연성 인쇄회로기판(40)은 웨이퍼 인쇄회로기판(200)과 연결을 위한 내부 전극 단자(21, 41)와 외부 기판과 연결을 위한 외부 전극 단자(22, 42)를 포함하여 구성된다.

[0084] 제1연성 인쇄회로기판(20) 및 제2연성 인쇄회로기판(40)은 웨이퍼 인쇄회로기판(200)에 접합제를 이용하여 접합된다. 접합제로는 솔더 페이스트 또는 이방도전성필름(Anisotropic Conductive Film;ACF)이 사용된다.

[0085] 커넥터를 사용하지 않고 연성 인쇄회로기판(20, 40)을 전기적, 물리적으로 연결함에 따라, 인쇄회로기판 어셈블리(3a)의 소형화 및 박형화를 달성할 수 있다.

[0086] 전자 부품(111, 112)이 실장되고 제1연성 인쇄회로기판(20) 및 제2연성 인쇄회로기판(40)이 연결된 웨이퍼 인쇄회로기판(200) 전체를 수지로 몰딩한다. 이에 의해 인쇄회로기판 어셈블리(3a)의 외형을 형성하며 충격을 흡수하는 보호체(120)가 형성된다.

[0087] 보호체(120)가 인쇄회로기판 어셈블리(3a)를 덮더라도 제1연성 인쇄회로기판(20)과 제2연성 인쇄회로기판(40) 각각의 외부 전극 단자(42)는 보호체(120)의 외부로 노출된다.

[0088] 보호체(120) 외부로 노출된 제1연성 인쇄회로기판(20)의 외부 전극 단자(42)에는 서브 기판(300)에 연결된다.

[0089] 본 실시예에 있어서, 서브 기판(300) 역시 웨이퍼로 형성되는 웨이퍼 인쇄회로기판이다. 서브 기판(300)이 웨이퍼 인쇄회로기판인 경우 제1연성 인쇄회로기판(20)의 외부 전극 단자(22)는 커넥터와 같은 구조 없이 서브 기판(300)에 직접 연결된다.

[0090] 나아가, 서브 기판(300)에 실장되는 전자 부품(311, 312) 역시 웨이퍼 레벨의 반도체 칩 형태로 직접 서브 기판(300)에 실장될 수 있다.

[0091] 이러한 서브 기판(300)은 인쇄회로기판 어셈블리(3a)와 같이 수지 몰딩을 통해 전체가 보호체(미도시)로 덮는 것이 바람직할 것이다.

[0092] 도 8는 본 발명의 제5실시예에 따른 인쇄회로기판 어셈블리와 서브 기판의 연결관계를 나타낸 도면이다.

[0093] 도 8에 도시된 바와 같이, 인쇄회로기판 어셈블리(3b)는 전자 부품이 실장된 웨이퍼 인쇄회로기판(미도시) 전체를 덮는 보호체(120)가 외형을 형성한다. 외부의 서브 기판(400)과 연결을 위한 제1연성 회로기판(20)과 제2연성 회로기판(40)의 단부가 보호체(120)의 외부로 노출된다.

[0094] 제1연성 회로기판(20)의 단부에는 서브 기판(400)과 접속을 위한 외부 전극 단자(22)가 형성된다.

[0095] 본 실시예에 의한 서브 기판(400)은 종래 에폭시 수지 또는 베이클라이트 수지를 베이스로 하여 형성되는 인쇄회로기판이다. 따라서 앞의 실시예와 같이 서브 기판(400)에 직접 제1연성 회로기판(20)의 외부 전극 단자(22)가 접촉되어 연결될 수 없다.

[0096] 따라서, 제1연성 회로기판(20)과 전기적, 물리적 연결을 위한 커넥터(414)가 서브 기판(400) 상에 실장되어 있다.

[0097] 커넥터(414)에 제1연성 회로기판(20)의 외부 전극 단자(22)가 삽입되면서, 제1연성 회로기판(20)과 서브 기판(400)이 연결된다. 그에 따라 인쇄회로기판 어셈블리(3b)와 서브 기판(400)은 전기적으로 연결된다.

[0098] 서브 기판(400)은 종래의 인쇄회로기판이므로 전자 부품(411, 412, 413)이 웨이퍼 레벨로 실장될 수 없고, 일반적인 패키지된 전자 부품의 형태로 서브 기판(400)에 실장된다.

[0099] 자세하게는 전자 부품(411, 412, 413)에는 서브 기판(400)과 전기적 연결을 위한 복수의 리드선(420)이 외부로 돌출되어 있어 이 리드선(42)이 서브 기판(400)에 솔더링되면서 전자 부품(411, 412, 413)이 서브기판(400)에 물리적으로 고정되는 동시에 전기적으로 연결된다.

[0100] 전자 기기에서 메인보드를 작고 얇게 하는 것만으로도 전자 기기의 크기를 줄일 수 있다, 따라서, 메인 보드를 본 발명의 실시예에 따른 인쇄회로기판 어셈블리(3b)로 구성하고, 그 외의 서브 기판은 종래의 인쇄회로기판과 같이 구성하여도 전자 기기의 소형화 및 박형화를 달성할 수 있을 것이다.

부호의 설명

[0101] 1, 2a, 2b, 3a, 3b : 인쇄회로기판 어셈블리

20, 30 : 연성 인쇄회로기판

100, 200, 201, 202 : 웨이퍼 인쇄회로기판

300, 400 : 외부 서브 기판

111, 112, 113, 114 : 전자 부품(반도체 칩)

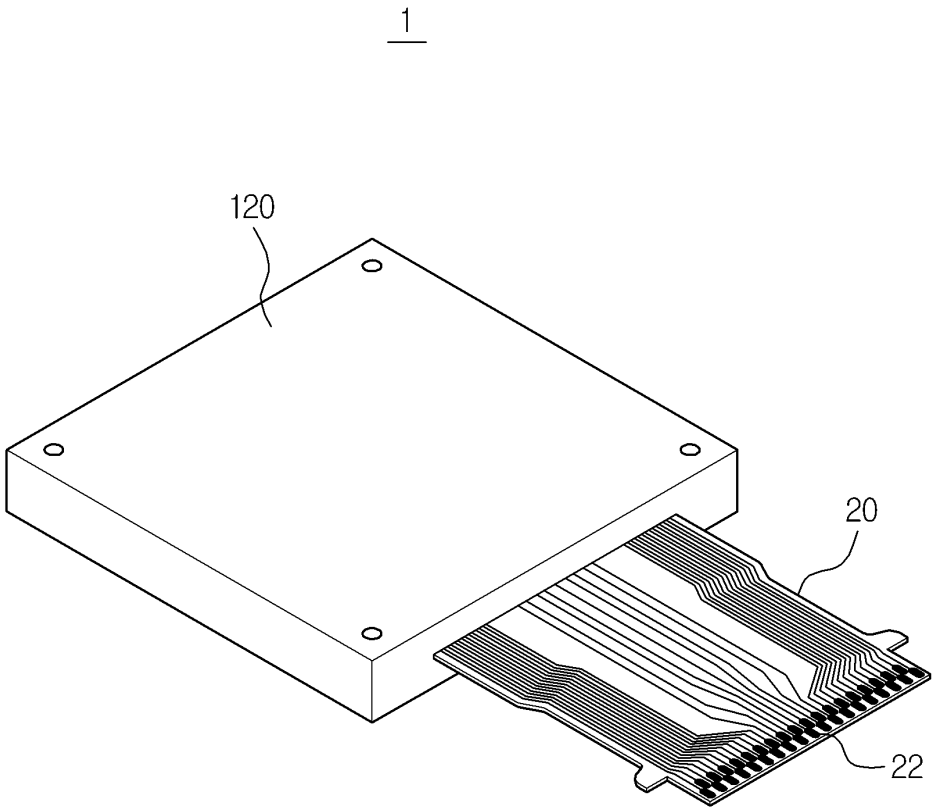
120 : 보호체

311, 312, 411, 412, 413 : 전자 부품

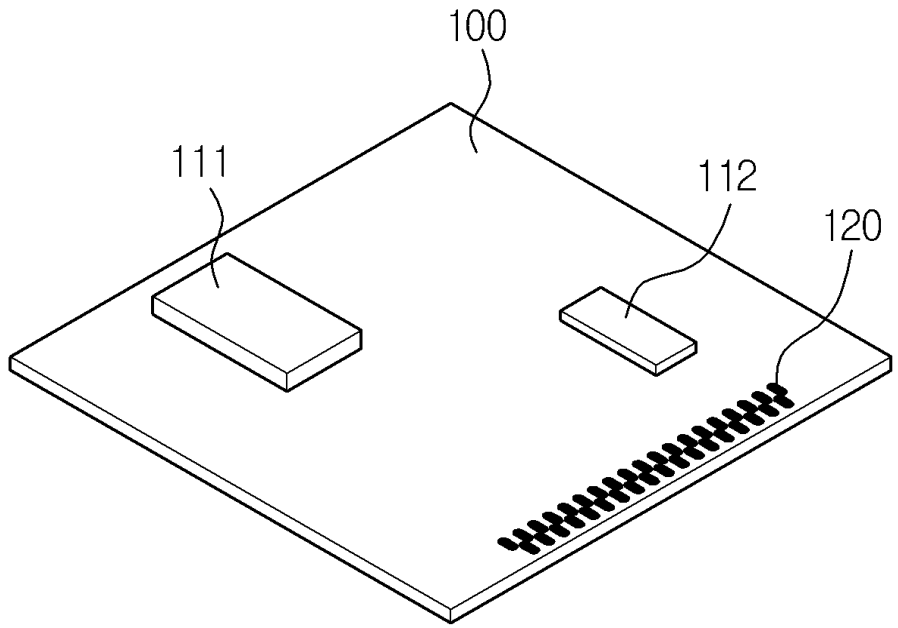
414 : 커넥터

도면

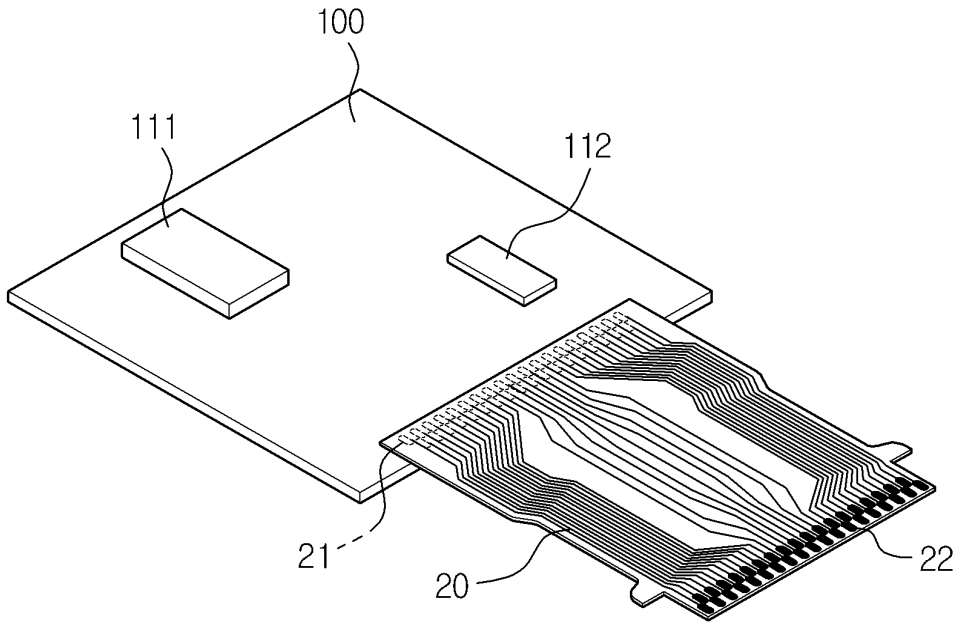
도면1



도면2

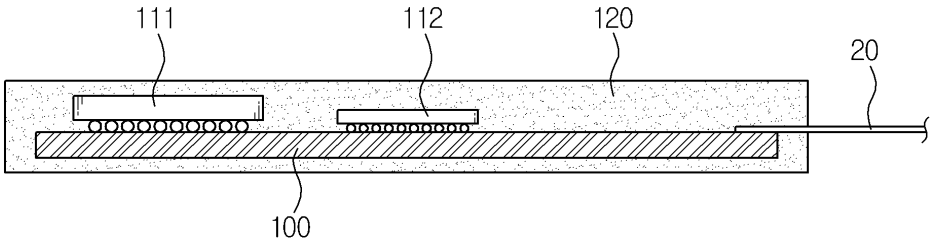


도면3



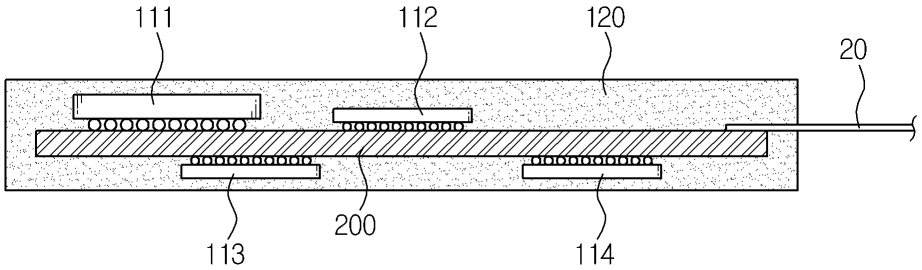
도면4

1

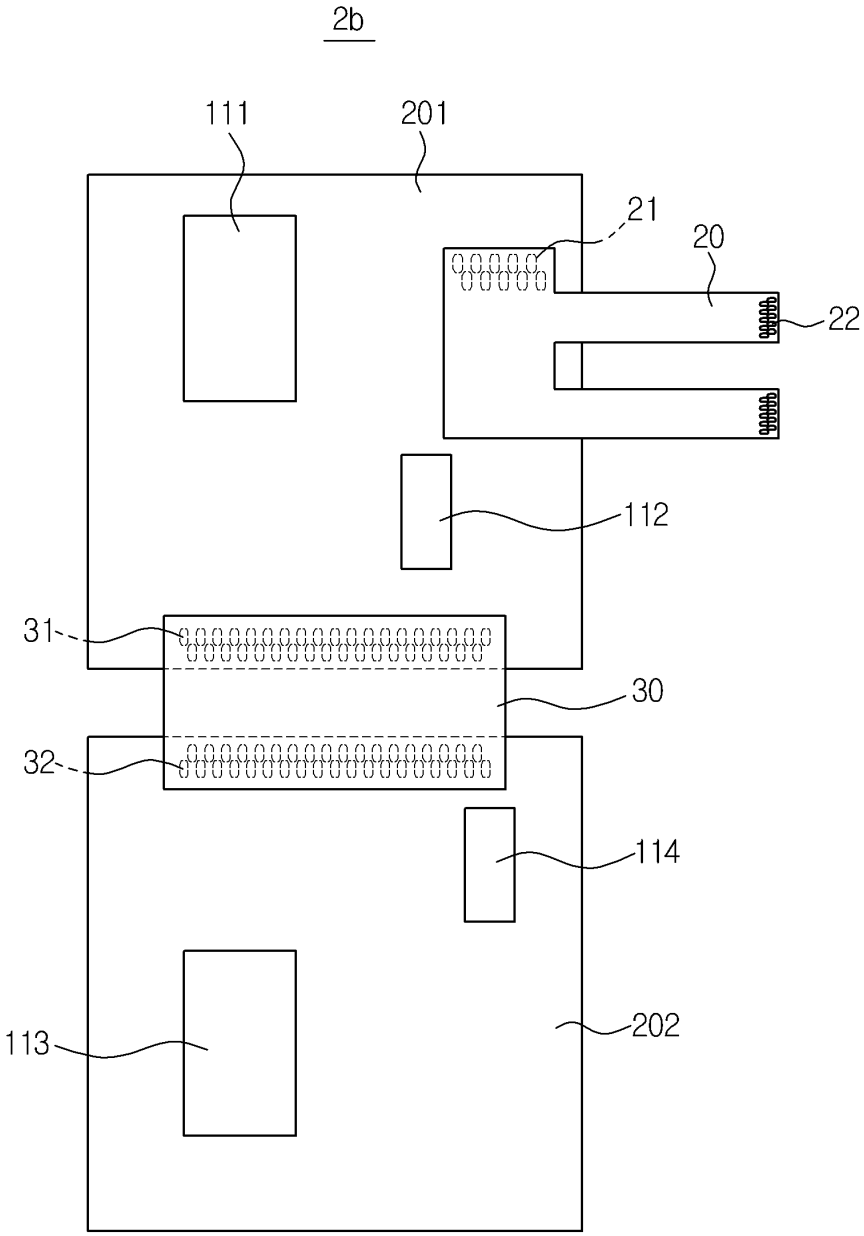


도면5

2a

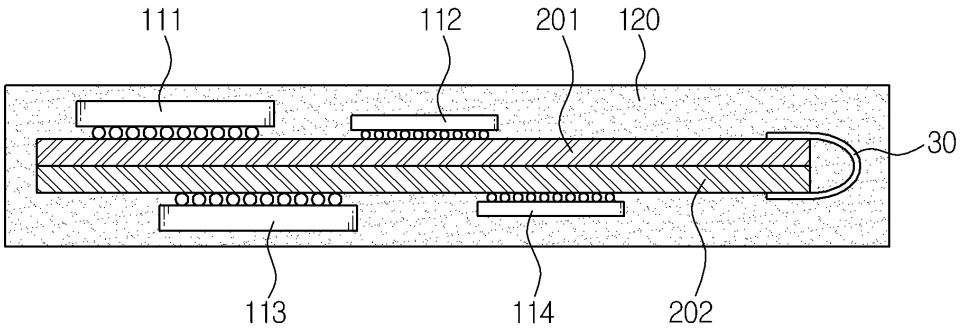


도면6a

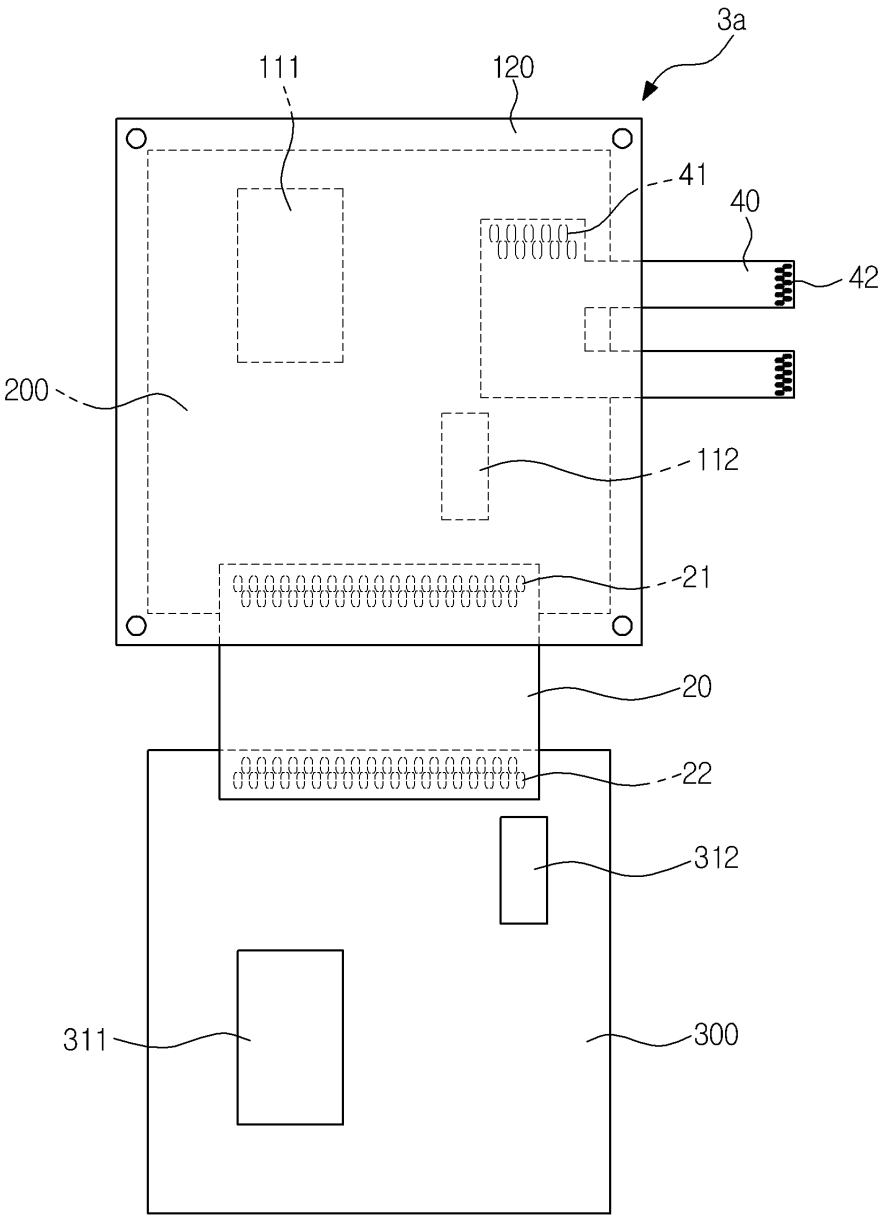


도면6b

2b



도면7



도면8

