

【特許請求の範囲】

【請求項 1】

半導体デバイスパッケージであって、
電気回路を有する第 1 の基板と、
順に積み重ねられ、前記第 1 の基板の上に位置付けられた複数の半導体ダイと、
互いに電氣的に接続され、互いに、かつ第 1 の基板上の電気回路に、前記複数の半導体ダイを電氣的に結合する複数のボンドワイヤであって、前記複数の半導体ダイの第 1 の半導体ダイに接続された第 1 の部分と、前記複数の半導体ダイの第 2 の半導体ダイに接続された第 2 の部分と、前記第 1 の部分と前記第 2 の部分との間の中間部分と、を有する第 1 のボンドワイヤを含む、複数のボンドワイヤと、

10

前記複数の半導体ダイ、前記第 1 のボンドワイヤの前記第 1 の部分、及び前記第 1 のボンドワイヤの第 2 の部分を封入する成形コンパウンドであって、上部平坦面及び側部平坦面を有し、前記側部平坦面が前記上部平坦面に実質的に垂直である、成形コンパウンドと、を備え、

前記第 1 のボンドワイヤの前記中間部分が、前記成形コンパウンドの前記上部平坦面に沿って露出しており、

前記第 1 のボンドワイヤの前記中間部分が、導電性構成要素に接触するように構成されている、半導体デバイスパッケージ。

【請求項 2】

前記導電性構成要素が、前記成形コンパウンドの前記上部平坦面上に位置付けられた導電性パッドである、請求項 1 に記載の半導体デバイスパッケージ。

20

【請求項 3】

第 2 の基板と、

ソルダボールと、

第 3 の半導体ダイと、

前記第 3 の半導体ダイを前記第 2 の基板に電氣的に結合する第 2 のボンドワイヤと、
を更に備え、

前記第 3 の半導体ダイが、前記複数の半導体ダイ及び前記第 1 の基板の前記電気回路と電気通信するように、前記ソルダボールが前記導電性パッドに電氣的に接続されている、請求項 2 に記載の半導体デバイスパッケージ。

30

【請求項 4】

各々が前記複数の半導体ダイを前記第 1 の基板の前記電気回路に電氣的に結合する第 3 のボンドワイヤのセットを更に備え、前記第 3 のボンドワイヤのセットの各第 3 のボンドワイヤが、前記複数の半導体ダイの前記第 1 の半導体ダイに接続された第 1 の部分と、前記複数の半導体ダイの前記第 2 の半導体ダイに接続された第 2 の部分と、第 3 のボンドワイヤのセットの各々の第 1 の部分と第 2 の部分との間に延在する中間部分と、を含み、

前記成形コンパウンドが、前記第 3 のボンドワイヤのセットの各々の前記第 1 の部分及び前記第 2 の部分を封入し、

前記第 3 のボンドワイヤの各々の前記中間部分が、前記成形コンパウンドの上部平坦面に沿って露出されており、

40

前記第 3 のボンドワイヤのセットの各ボンドワイヤの前記中間部分が、複数の導電性構成要素の各々に接触するように構成されている、請求項 3 に記載の半導体デバイスパッケージ。

【請求項 5】

前記導電性パッドが、前記成形コンパウンドの前記上部平坦面に結合され、前記第 1 のボンドワイヤの前記中間部分に電氣的に接続されている、請求項 2 に記載の半導体デバイスパッケージ。

【請求項 6】

前記中間部分が、前記第 1 のボンドワイヤの断面よりも大きい表面積を有する、請求項 1 に記載の半導体デバイスパッケージ。

50

【請求項 7】

前記第 2 の半導体ダイが、前記第 1 の半導体ダイと前記第 1 の基板との間に配置されている、請求項 1 に記載の半導体デバイスパッケージ。

【請求項 8】

半導体デバイスパッケージであって、

電気回路を有する第 1 の基板と、

順に積み重ねられ、前記第 1 の基板の上に位置付けられた複数の半導体ダイと、

互いに電氣的に接続され、前記複数の半導体ダイを互いに、かつ前記第 1 の基板上の前記電気回路に、電氣的に結合する複数のボンドワイヤであって、前記複数の半導体ダイの第 1 の半導体ダイに接続された第 1 の部分と、前記第 1 の基板の前記電気回路に接続された第 2 の部分と、前記第 1 の部分と前記第 2 の部分との間の中間部分と、を有する第 1 のボンドワイヤを含む、複数のボンドワイヤと、

前記複数の半導体ダイ、前記第 1 のボンドワイヤの前記第 1 の部分、及び前記第 1 のボンドワイヤの第 2 の部分を封入する成形コンパウンドであって、上部平坦面及び側部平坦面を有し、前記側部平坦面が前記上部平坦面に実質的に垂直である、成形コンパウンドと、を備え、

前記第 1 のボンドワイヤの前記中間部分が、前記成形コンパウンドの前記側部平坦面に沿って露出しており、

前記第 1 のボンドワイヤの前記中間部分が、導電性構成要素に接触するように構成されている、半導体デバイスパッケージ。

【請求項 9】

前記導電性構成要素が、前記成形コンパウンドの前記側部平坦面上に位置付けられた再分配層である、請求項 8 に記載の半導体デバイスパッケージ。

【請求項 10】

上部平坦面及び電気回路を有する第 2 の基板であって、前記上部平坦面が、前記第 1 の基板の前記上部平坦面に概ね垂直に配向されている、第 2 の基板と、

前記第 2 の基板の前記上部平坦面に電氣的に接続された第 2 の再分配層と、

前記成形コンパウンドの前記側部平坦面上に位置付けられた前記再分配層を前記第 2 の再分配層に電氣的に接続するソルダボールと、を更に備える、請求項 9 に記載の半導体デバイスパッケージ。

【請求項 11】

上部平坦面と電気回路とを有する第 3 の基板であって、前記上部平坦面が、前記第 1 の基板の前記上部平坦面に概ね平行に配向されている、第 3 の基板と、

順に積み重ねられ、前記第 3 の基板の上に位置付けられている、第 2 の複数の半導体ダイと、

互いに電氣的に接続され、前記第 2 の複数の半導体ダイを互いに、かつ前記第 3 の基板上の前記電気回路に、電氣的に結合する第 2 の複数のボンドワイヤであって、前記第 2 の複数の半導体ダイの第 1 の半導体ダイに接続された第 1 の部分と、前記第 3 の基板の前記電気回路に接続された第 2 の部分と、前記第 1 の部分と前記第 2 の部分との間の中間部分と、を有する第 1 のボンドワイヤを含む、第 2 の複数のボンドワイヤと、

前記第 2 の複数の半導体ダイ、前記第 1 のボンドワイヤの前記第 1 の部分、及び前記第 1 のボンドワイヤの第 2 の部分を封入する第 2 の成形コンパウンドであって、上部平坦面及び側部平坦面を有し、前記側部平坦面が前記上部平坦面に実質的に垂直である、第 2 の成形コンパウンドと、

前記第 2 の成形コンパウンドの前記側部平坦面に結合された第 3 の再分配層と、

前記第 3 の再分配層に電氣的に接続された第 2 のソルダボールと、を更に備え、

前記第 1 のボンドワイヤの前記中間部分が、前記第 2 の成形コンパウンドの前記側部平坦面に沿って露出し、前記第 3 の再分配層に電氣的に接続され、

前記第 2 のソルダボールが、前記第 2 の基板の前記上部平坦面に電氣的に接続された第 4 の再分配層に電氣的に接続されている、請求項 10 に記載の半導体デバイスパッケージ。

ジ。

【請求項 1 2】

前記導電性パッドが、前記成形コンパウンドの前記側部平坦面に結合され、前記第 1 のボンドワイヤの前記中間部分に電氣的に接続されている、請求項 8 に記載の半導体デバイスパッケージ。

【請求項 1 3】

前記中間部分が、前記第 1 のボンドワイヤの断面よりも大きい表面積を有する、請求項 8 に記載の半導体デバイスパッケージ。

【請求項 1 4】

半導体デバイスパッケージを形成する方法であって、

電気回路を有する第 1 の基板を提供することと、

前記第 1 の基板に結合された 1 つ以上の構成要素を提供することであって、前記 1 つ以上の構成要素が、

順に積み重ねられ、前記第 1 の基板の上に位置付けられた複数の半導体ダイと、

互いに電氣的に接続され、前記複数の半導体ダイを互いに、かつ第 1 の基板の前記電気回路に、電氣的に結合する複数のボンドワイヤと、を含み、前記複数のボンドワイヤが、前記複数の半導体ダイの第 1 の半導体ダイに接続された第 1 の部分と、前記複数の半導体ダイの第 2 の半導体ダイに接続された第 2 の部分と、前記第 1 の部分と前記第 2 の部分との間に延在する中間部分と、を有する第 1 のボンドワイヤを含む、提供することと、

前記複数の半導体ダイ、及び前記第 1 のボンドワイヤの前記第 1 の部分及び前記第 2 の部分を成形コンパウンドで封入することであって、前記成形コンパウンドが、上部平坦面及び側部平坦面を有し、前記側部平坦面が、前記上部平坦面と実質的に垂直である、封入することと、

前記第 1 のボンドワイヤの前記中間部分を前記成形コンパウンドの前記上部平坦面に沿って露出させることであって、

前記第 1 のボンドワイヤの前記中間部分が、導電性構成要素と接触するように構成されている、露出させることと、を含む、方法。

【請求項 1 5】

前記導電性構成要素が、前記成形コンパウンドの前記表面上に形成された導電性パッド及び再分配層のうちの 1 つである、請求項 1 4 に記載の方法。

【請求項 1 6】

第 2 の基板を提供することと、

ソルダボールを提供することと、

第 3 の半導体ダイを提供することと、

前記第 3 の半導体ダイを前記第 2 の基板に電氣的に結合する第 2 のボンドワイヤを提供することと、

前記第 3 の半導体ダイが前記複数の半導体ダイ及び前記第 1 の基板の前記電気回路と電気通信するように、前記ソルダボールを前記導電性パッドに電氣的に接続することと、更に含む、請求項 1 5 に記載の方法。

【請求項 1 7】

前記導電性構成要素が、前記第 1 のボンドワイヤの前記中間部分において前記成形コンパウンドの前記上面に結合される、請求項 1 4 に記載の方法。

【請求項 1 8】

各々が、前記複数の半導体ダイを前記第 1 の基板の前記電気回路に電氣的に結合する第 3 のボンドワイヤのセットを提供することであって、前記第 3 のボンドワイヤのセットの各第 3 のボンドワイヤが、前記複数の半導体ダイの前記第 1 の半導体ダイに接続された第 1 の部分と、前記複数の半導体ダイの前記第 2 の半導体ダイに接続された第 2 の部分と、前記第 3 のボンドワイヤのセットの各々の前記第 1 の部分と前記第 2 の部分との間に延在する中間部分と、を含む、提供することと、

前記第 3 のボンドワイヤのセットの各々の前記第 1 の部分及び前記第 2 の部分を前記

10

20

30

40

50

成形コンパウンドで封入することと、

前記成形コンパウンドの前記上部平坦面に沿って露出されている前記第3のボンドワイヤの各々の前記中間部分を露出することと、を更に含み、

前記第3のセットのボンドワイヤの各ボンドワイヤの前記中間部分が、複数の導電性構成要素の各々に接触するように構成されている、請求項14に記載の方法。

【請求項19】

前記中間部分が、前記第1のボンドワイヤの断面よりも大きい表面積を有する、請求項14に記載の方法。

【請求項20】

前記第2の半導体ダイが、前記第1の半導体ダイと前記第1の基板との間に配置されている、請求項14に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、概して、半導体デバイス（例えば、NANDフラッシュデバイス）及びそのアセンブリのパッケージングに関し、より具体的には、1つ以上の他のパッケージ化された半導体デバイスに結合するように構成された半導体デバイスのパッケージ、及びその組み立ての方法に関する。

【背景技術】

【0002】

半導体デバイスパッケージは、通常、1つ以上の集積回路（integrated circuit、IC）ダイ（例えば、NANDダイ、特定用途向け集積回路（application-specific integrated circuit、ASIC）ダイ、コントローラダイなど）及び／又はダイと基板の間で電気信号を伝達するボンドワイヤ又は溶ダボールによって基板に電気的に結合された他の半導体デバイスを含む。半導体デバイスパッケージは、多くの場合、記憶容量を増やすために1つ以上の他の半導体デバイスパッケージに結合されている。半導体デバイスパッケージの結合には、多くの場合、一方の半導体デバイスパッケージを別の半導体デバイスパッケージに電気的に接続する垂直ボンドワイヤの使用が含まれる。垂直ボンドワイヤは、多くの場合、ワイヤスweepが発生しやすく、その上に電気接続が形成され得る比較的小さい表面積を提供する。更に、限られた空間内で多数のダイが積み重ねられている単一の半導体デバイスパッケージでは、半導体ダイ間の機械的支持が不足しているために、ダイの屈曲及び／又は崩壊が発生することが多い。

【発明の概要】

【0003】

一実施形態では、電気回路を有する第1の基板を含む半導体デバイスパッケージがあり、複数の半導体ダイが順に積み重ねられ、第1の基板の上に位置付けられている。半導体デバイスパッケージはまた、互いに電気的に接続され、互いに、かつ第1の基板上の電気回路に、複数の半導体ダイを電気的に結合する複数のボンドワイヤを含み、複数のボンドワイヤは、複数の半導体ダイの第1の半導体ダイに接続された第1の部分と、複数の半導体ダイの第2の半導体ダイに接続された第2の部分と、第1の部分と第2の部分との間の中間部分と、を有する第1のボンドワイヤを含む。半導体デバイスパッケージはまた、複数の半導体ダイを封入する成形コンパウンドと、第1のボンドワイヤの第1の部分と、第1のボンドワイヤの第2の部分と、を含み、成形コンパウンドは、上部平坦面及び側部平坦面を有し、側部平坦面は、上部平坦面に実質的に垂直である。第1のボンドワイヤの中間部分は、成形コンパウンドの上部平坦面に沿って露出している。第1のボンドワイヤの中間部分は、導電性構成要素に接触するように構成されている。

【0004】

いくつかの実施形態では、導電性構成要素は、成形コンパウンドの上部平坦面上に位置付けられた導電性パッドである。いくつかの実施形態では、半導体デバイスパッケージは、第2の基板、溶ダボール、第3の半導体ダイ、及び第3の半導体ダイを第2の基板

10

20

30

40

50

に電氣的に結合する第2のボンドワイヤを更に含み、ソルダボールは、第3の半導体ダイが、複数の半導体ダイ及び第1の基板の電気回路と電気通信するように、導電性パッドに電氣的に接続されている。

【0005】

いくつかの実施形態では、半導体デバイスパッケージは、各々が複数の半導体ダイを第1の基板の電気回路に電氣的に結合する第3のボンドワイヤのセットを更に含み、第3のボンドワイヤのセットの各第3のボンドワイヤは、複数の半導体ダイの第1の半導体ダイに接続された第1の部分と、複数の半導体ダイの第2の半導体ダイに接続された第2の部分と、第3のボンドワイヤのセットの各々の第1の部分と第2の部分との間に延在する中間部分と、を含む。成形コンパウンドは、第3のボンドワイヤのセットの各々の第1の部分及び第2の部分を封入することができ、第3のボンドワイヤの各々の中間部分は、成形コンパウンドの上部平坦面に沿って露出されることができ、ボンドワイヤの第3のセットの各ボンドワイヤの中間部分は、複数の導電性構成要素の各々に接触するように構成され得る。

【0006】

いくつかの実施形態では、導電性パッドは、成形コンパウンドの上部平坦面に結合され、第1のボンドワイヤの中間部分に電氣的に接続されている。いくつかの実施形態では、中間部分は、第1のボンドワイヤの断面よりも大きい表面積を有する。いくつかの実施形態では、第2の半導体ダイは、第1の半導体ダイと第1の基板との間に配置されている。

【0007】

別の実施形態では、電気回路を有する第1の基板を含む半導体デバイスパッケージがあり、複数の半導体ダイが順に積み重ねられ、第1の基板の上に位置付けられている。半導体デバイスパッケージは、互いに電氣的に接続され、複数の半導体ダイを互いに、かつ第1の基板上の電気回路に、電氣的に結合する複数のボンドワイヤを更に含み、複数のボンドワイヤは、複数の半導体ダイの第1の半導体ダイに接続された第1の部分と、第1の基板の電気回路に接続された第2の部分と、第1の部分と第2の部分との間の中間部分と、を有する第1のボンドワイヤを含む。半導体デバイスパッケージは、複数の半導体ダイを封入する成形コンパウンドと、第1のボンドワイヤの第1の部分と、第1のボンドワイヤの第2の部分と、を更に含み、成形コンパウンドは、上部平坦面及び側部平坦面を有し、側部平坦面は上部平坦面に実質的に垂直である。第1のボンドワイヤの中間部分は、成形コンパウンドの側部平坦面に沿って露出され、第1のボンドワイヤの中間部分は、導電性構成要素と接触するように構成される。

【0008】

いくつかの実施形態では、導電性構成要素は、成形コンパウンドの側部平坦面上に位置付けられた再分配層である。いくつかの実施形態では、半導体デバイスパッケージは、上部平坦面及び電気回路を有しており、上部平坦面は、第1の基板の上部平坦面に概ね垂直に配向されている第2の基板と、第2の基板の上部平坦面に電氣的に接続された第2の再分配層と、成形コンパウンドの側部平坦面上に位置付けられた再分配層を第2の再分配層に電氣的に接続するソルダボールと、を更に含む。

【0009】

いくつかの実施形態では、半導体デバイスパッケージは、上部平坦面と電気回路とを有する第3の基板であって、上部平坦面が第1の基板の上部平坦面に概ね平行に配向されている第3の基板と、順に積み重ねられ、第3の基板の上に位置付けられている第2の複数の半導体ダイと、互いに電氣的に接続され、第2の複数の半導体ダイを互いに、かつ第3の基板上の電気回路に、電氣的に結合する第2の複数のボンドワイヤであって、第2の複数の半導体ダイの第1の半導体ダイに接続された第1の部分、第3の基板の電気回路に接続された第2の部分、及び第1の部分と第2の部分との間の中間部分を有する第1のボンドワイヤを含む、第2の複数のボンドワイヤと、第2の複数の半導体ダイ、第1のボンドワイヤの第1の部分、及び第1のボンドワイヤの第2の部分を封入する第2の成形コン

パウンドであって、上部平坦面及び側部平坦面を有し、側部平坦面が上部平坦面に実質的に垂直である第2の成形コンパウンドと、第2の成形コンパウンドの側部平坦面に結合された第3の再分配層と、第3の再分配層に電氣的に接続された第2のソルダボールと、を更に含む。第1のボンドワイヤの中間部分が、第2の成形コンパウンドの側部平坦面に沿って露出しており、第3の再分配層に電氣的に接続されており、第2のソルダボールが、第2の基板の上部平坦面に電氣的に接続された第4の再分配層に電氣的に接続されている。

【0010】

いくつかの実施形態では、導電性パッドは、成形コンパウンドの側部平坦面に結合され、第1のボンドワイヤの中間部分に電氣的に接続される。いくつかの実施形態では、中間部分は、第1のボンドワイヤの断面よりも大きい表面積を有する。

10

【0011】

別の実施形態では、電気回路を有する第1の基板を提供することと、第1の基板に結合された1つ以上の構成要素を提供することと、を含む、半導体デバイスパッケージを形成する方法があり、1つ以上の構成要素は、順に積み重ねられ、第1の基板の上に位置付けられた複数の半導体ダイと、互いに電氣的に接続され、互いに、かつ第1の基板上の電気回路に、複数の半導体ダイを電氣的に結合する複数のボンドワイヤと、を含み、複数のボンドワイヤは、複数の半導体ダイの第1の半導体ダイに接続された第1の部分と、複数の半導体ダイの第2の半導体ダイに接続された第2の部分と、第1の部分と第2の部分との間の中間部分と、を有する第1のボンドワイヤを含む。本方法は、複数の半導体ダイ、並びに第1のボンドワイヤの第1の部分及び第2の部分を成形コンパウンドで封入することであって、成形コンパウンドは上部平坦面及び側部平坦面を有し、側部平坦面は上部平坦面と実質的に垂直である、封入することと、第1のボンドワイヤの中間部分を成形コンパウンドの上部平坦面に沿って露出させることと、を更に含む。第1のボンドワイヤの中間部分は、導電性構成要素に接触するように構成される。

20

【0012】

いくつかの実施形態では、導電性構成要素は、導電性パッドのうちの1つであり、成形コンパウンドの表面上に形成された再分配層である。いくつかの実施形態では、本方法は、第2の基板を提供することと、ソルダボールを提供することと、第3の半導体ダイを提供することと、第3の半導体ダイを第2の基板に電氣的に結合する第2のボンドワイヤを提供することと、第3の半導体ダイが、複数の半導体ダイ及び第1の基板の電気回路と電気通信するように、ソルダボールを導電性パッドに電氣的に接続することと、を更に含む。いくつかの実施形態では、導電性構成要素は、第1のボンドワイヤの中間部分において成形コンパウンドの上面に結合される。

30

【0013】

いくつかの実施形態では、本方法は、各々が複数の半導体ダイを第1の基板の電気回路に電氣的に結合する第3のボンドワイヤのセットを提供することであって、第3のボンドワイヤのセットの各第3のボンドワイヤが複数の半導体ダイの第1の半導体ダイに接続された第1の部分、複数の半導体ダイの第2の半導体ダイに接続された第2の部分、及び第3のボンドワイヤのセットの各々の第1の部分と第2の部分との間に延在する中間部分を含む、提供することと、第3のボンドワイヤのセットの各々の第1の部分及び第2の部分を成形コンパウンドで封入することと、成形コンパウンドの上部平坦面に沿って露出される第3のボンドワイヤの各々の中間部分を露出することと、を更に含み、第3のボンドワイヤのセットの各ボンドワイヤの中間部分が複数の導電性構成要素の各々に接触するように構成されている。いくつかの実施形態では、中間部分は、第1のボンドワイヤの断面よりも大きい表面積を有する。いくつかの実施形態では、第2の半導体ダイは、第1の半導体ダイと第1の基板との間に配置されている。

40

【0014】

別の実施形態では、電気回路を有する第1の基板を提供することと、第1の基板に結合された1つ以上の構成要素を提供することと、を含む、半導体デバイスパッケージを形

50

成する方法があり、1つ以上の構成要素は、順に積み重ねられ、第1の基板の上に位置付けられた複数の半導体ダイと、互いに電氣的に接続され、互いに、かつ第1の基板上の電気回路に、複数の半導体ダイを電氣的に結合する複数のボンドワイヤと、を含み、複数のボンドワイヤは、複数の半導体ダイの第1の半導体ダイに接続された第1の部分と、複数の半導体ダイの第2の半導体ダイに接続された第2の部分と、第1の部分と第2の部分との間の中間部分と、を有する第1のボンドワイヤを含む。本方法は、複数の半導体ダイ、並びに第1のボンドワイヤの第1の部分及び第2の部分を成形コンパウンドで封入することであって、成形コンパウンドは上部平坦面及び側部平坦面を有し、側部平坦面は上部平坦面と実質的に垂直である、封入することと、第1のボンドワイヤの中間部分を成形コンパウンドの側部平坦面に沿って露出させることであって、第1のボンドワイヤの中間部分が導電性構成要素に接触するように構成されている、露出させることと、を更に含む。

10

【図面の簡単な説明】

【0015】

前述の発明の概要、及び以下の発明を実施するための形態は、添付の図面と併せて読むことで、よりよく理解されることになる。本開示を例示する目的で、現在好ましい実施形態が図面に示されており、同様の参照番号は、全体を通して同様の要素を示す。しかしながら、本開示の態様は、異なる形態で具体化されることができ、したがって、本明細書に記載のされた例示の実施形態に限定されるものとして解釈されるべきではないことに留意されたい。添付の図面に示されている要素は、必ずしも縮尺通りに描かれておらず、むしろ、その中の主題の重要な特徴を強調するために誇張されている可能性がある。更に、開示された実施形態を理解するために必ずしも必要ではない要素を省略することによって、図面は簡略化されている可能性がある。

20

【0016】

【図1】本開示の例示的な実施形態による、露出されたボンドワイヤを備える半導体デバイスパッケージの断面側面図である。

【0017】

【図2】図1の組み合わされた半導体デバイスパッケージの第1の半導体デバイスパッケージの一部分の断面側面図である。

【0018】

【図3】本開示の別の例示的な実施形態による、組み合わせられた半導体デバイスパッケージの断面側面図である。

30

【0019】

【図4】図3の組み合わせられた半導体デバイスパッケージの第1の半導体デバイスパッケージの断面側面図である。

【0020】

【図5】成形コンパウンドの側部平坦面に沿って部分的に露出したボンドワイヤを備える第1の半導体デバイスパッケージの一部分の断面側面図である。

【0021】

【図6】本開示の別の例示的な実施形態による、第1の半導体デバイスパッケージの一部分の断面側面図である。

40

【0022】

【図7A】図1～図2の組み合わせられた半導体デバイスパッケージの組み立て方法を示している。

【図7B】図1～図2の組み合わせられた半導体デバイスパッケージの組み立て方法を示している。

【図7C】図1～図2の組み合わせられた半導体デバイスパッケージの組み立て方法を示している。

【図7D】図1～図2の組み合わせられた半導体デバイスパッケージの組み立て方法を示している。

【図7E】図1～図2の組み合わせられた半導体デバイスパッケージの組み立て方法を示

50

している。

【図 7 F】図 1 ～図 2 の組み合わせられた半導体デバイスパッケージの組み立て方法を示している。

【図 7 G】図 1 ～図 2 の組み合わせられた半導体デバイスパッケージの組み立て方法を示している。

【図 7 H】図 1 ～図 2 の組み合わせられた半導体デバイスパッケージの組み立て方法を示している。

【0023】

【図 8 A】本開示の実施形態による、部分的に露出されたボンドワイヤを有する半導体デバイスパッケージの代替的アセンブリを示す断面側面図である。

【図 8 B】本開示の実施形態による、部分的に露出されたボンドワイヤを有する半導体デバイスパッケージの代替的アセンブリを示す断面側面図である。

【発明を実施するための形態】

【0024】

ここで、代表的な実施形態が示されている添付の図面を参照して、本主題を以下により完全に説明する。しかしながら、本主題は、異なる形態で具体化されることができ、本明細書に記載の実施形態に限定されると解釈されるべきではない。むしろ、これらの実施形態は、当業者に説明し、当業者が可能にするために提供されている。

【0025】

図 1 を参照すると、本開示の例示的な実施形態による、概して 100 と示された露出したボンドワイヤを備える半導体デバイスパッケージの断面側面図が示されている。半導体デバイスパッケージ 100 は、互いに電氣的に接続された第 1 の半導体デバイスパッケージ 102 及び第 2 の半導体デバイスパッケージ 104 を含む得る。第 1 の半導体デバイスパッケージ 102 は、第 1 の基板 106、1 つ以上の半導体ダイ 108 a ～ 108 d、及びボンドワイヤ 110 a ～ 110 b を含む得、これらのすべては、第 1 の成形コンパウンド 112 内に少なくとも部分的に封入されている。第 2 の半導体デバイスパッケージ 104 は、第 2 の基板 114、1 つ以上の半導体ダイ 116 a ～ 116 d、及びボンドワイヤ 118 a ～ 118 d を含む得、これらのすべては、第 2 の成形コンパウンド 120 内に少なくとも部分的に封入されている。第 1 の成形コンパウンド 112 及び／又は第 2 の成形コンパウンド 120 は、例えば、エポキシ成形コンパウンド (epoxy molding compound、EMC) 又は当技術分野で知られている他の封止材料を含む得る。

【0026】

第 1 の半導体デバイスパッケージ 102 及び／又は第 2 の半導体デバイスパッケージ 104 は、システムインパッケージ (system-in-package、SiP) などの任意のタイプの半導体デバイスであり得る。1 つの非限定的な例では、第 1 の半導体デバイスパッケージ 102 及び／又は第 2 の半導体デバイスパッケージ 104 は、記憶デバイス (例えば、セキュアデジタル (secure digital、SD) カード又はマルチメディアカード (MultiMediaCard、MMC)) であり、半導体ダイ 108 a ～ 108 d 及び 116 a ～ 116 d は NAND メモリダイである。いくつかの実施形態では、半導体デバイスパッケージ 100 は、SiP 又はパッケージオンパッケージ (package-on-package、PoP) などの任意のタイプの半導体デバイスであり得る。

【0027】

いくつかの実施形態では、第 1 の基板 106 は、第 1 の半導体デバイスパッケージ 102 の機械的ベース支持体、及び第 1 の半導体デバイスパッケージ 102 内に収容された半導体ダイ 108 a ～ 108 d へのアクセスを提供する電気インターフェース (又は電気回路) であり得る。例えば、第 1 の基板 106 は、導電性 (例えば、銅) トレース、接地層、及び／又は電源層を使用してデータをルーティングするための少なくとも 1 つの層を含む、第 1 の基板 106 内に配置された複数の金属層を含む得る。いくつかの実施形態では、第 1 の基板 106 は、その上に半導体ダイ 108 a ～ 108 d 及び／又は他の要素のうちの少なくとも 1 つが取り付けられている、上部平坦面 122 を含む。半導体ダイ 10

10

20

30

40

50

8 a ~ 1 0 8 d の各々は、第 1 の基板の上部平坦面 1 2 2 に実質的に平行な上部平坦面を含むことができる。第 1 の半導体デバイスパッケージ 1 0 2 は、第 1 の基板 1 0 6 の底部平坦面 1 2 6 に取り付けられ、第 1 の基板 1 0 6 と電気通信する 1 つ以上のソルダボール 1 2 4 を含むことができる。1 つ以上のソルダボール 1 2 4 は、第 1 の半導体デバイスパッケージ 1 0 2 の外部の 1 つ以上の他の電気部品（図示せず）に第 1 の半導体デバイスパッケージ 1 0 2 を電氣的及び／又は機械的に結合するように構成され得る。

【0028】

いくつかの実施形態では、第 2 の基板 1 1 4 は、第 2 の半導体デバイスパッケージ 1 0 4 の機械的ベース支持体、及び第 2 の半導体デバイスパッケージ 1 0 4 内に収容された半導体ダイ 1 1 6 a ~ 1 1 6 d へのアクセスを提供する電氣的インターフェースであり得る。例えば、第 2 の基板 1 1 4 は、第 2 の基板 1 1 4 内に配置された複数の金属層を含み得、導電性（例えば、銅）トレース、接地層、及び／又は電源層を使用してデータをルーティングするための少なくとも 1 つの層を含む。いくつかの実施形態では、第 2 の基板 1 1 4 は、半導体ダイ 1 1 6 a ~ 1 1 6 d 及び／又は他の要素のうちの少なくとも 1 つが取り付けられている上部平坦面 1 2 8 を含む。第 2 の半導体デバイスパッケージ 1 0 4 は、第 2 の基板 1 1 4 の底部平坦面 1 3 2 に取り付けられ、第 2 の基板 1 1 4 と電気通信する 1 つ以上のソルダボール 1 3 0 を含むことができる。以下でより詳細に考察されるように、1 つ以上のソルダボール 1 3 0 は、第 2 の半導体デバイスパッケージ 1 0 4 を第 1 の半導体デバイスパッケージ 1 0 2 に電氣的及び／又は機械的に結合するように構成され得る。

10

20

【0029】

いくつかの実施形態では、半導体ダイ 1 0 8 a ~ 1 0 8 d は積み重ねられており、順に重ねられて最底部の半導体ダイ 1 0 8 a が、第 1 の基板 1 0 6 の上部平坦面 1 2 2 に結合される。例えば、半導体ダイ 1 0 8 a は、第 1 の基板 1 0 6 の上部平坦面 1 2 2 に結合されており、半導体ダイ 1 0 8 b は、半導体ダイ 1 0 8 a の上面に結合されており、その後、同様に続く。4 枚の半導体ダイ 1 0 8 a ~ 1 0 8 d のみが表示されているが、第 1 の半導体デバイスパッケージ 1 0 2 は、4 枚未満又は 4 枚を超える半導体ダイを含み得ることが理解されるであろう。例えば、第 1 の半導体デバイスパッケージ 1 0 2 は、図 1 に示されているものと同様に、順に積み重ねられた 1 ~ 2 4 枚の半導体ダイを含み得る。同様に、半導体ダイ 1 1 6 a ~ 1 1 6 d は、順に積み重ねられることができ、最底部の半導体ダイ 1 1 6 a は、第 2 の基板 1 1 4 の上部平坦面 1 2 8 に結合されることができる。4 枚の半導体ダイ 1 1 6 a ~ 1 1 6 d のみが第 2 の半導体デバイスパッケージ 1 0 4 に含まれて示されているが、4 枚未満又は 4 枚を超える半導体ダイが第 2 の半導体デバイスパッケージ 1 0 4 に含まれ得ることが理解されるであろう。例えば、第 2 の半導体デバイスパッケージ 1 0 4 は、図 1 に示されているものと同様の順に積み重ねられた 1 ~ 2 4 枚の半導体ダイを含み得る。

30

【0030】

いくつかの実施形態では、第 1 の半導体デバイスパッケージ 1 0 2 は、半導体ダイ 1 0 8 a ~ 1 0 8 d 及び／又は半導体ダイ 1 1 6 a ~ 1 1 6 d との電気通信を提供するように構成されたコントローラ 1 0 9 を含む。いくつかの実施形態では、コントローラ 1 0 9 は、半導体ダイ 1 0 8 a ~ 1 0 8 d 及び／又は半導体ダイ 1 1 6 a ~ 1 1 6 d の機能を制御するように構成された特定用途向け集積回路（application specific integrated circuit、ASIC）チップである。いくつかの実施形態では、コントローラ 1 0 9 は、1 つ以上のボンドワイヤ 1 1 1 によって基板 1 0 6 に電氣的に接続されている。他の実施形態では、コントローラ 1 0 9 は、フリップチップ実装装置を使用して第 1 の基板 1 0 6 に取り付けられ、電氣的に接続されている、フリップチップダイである。

40

【0031】

各半導体ダイ 1 0 8 a ~ 1 0 8 d は、対応するボンドワイヤ 1 1 0 a ~ 1 1 0 d のうちの 1 つを介して、隣接する半導体ダイ 1 0 8 a ~ 1 0 8 d 及び／又は第 1 の基板 1 0 6 に電氣的に接続され得る。例えば、半導体ダイ 1 0 8 a は、ボンドワイヤ 1 1 0 a によ

50

て第1の基板106に電氣的に接続されており、半導体ダイ108bは、ボンドワイヤ110bによって半導体ダイ108aに電氣的に接続されており、その他も同様に接続されている。このようにして、半導体ダイ108a~108dは、互いに、第1の基板106と、及び／又はコントローラ109と電氣通信することができる。同様に、半導体ダイ116a~116dは、対応するボンドワイヤ118a~118dを介して、隣接する半導体ダイ116a~116dと、及び／又は第2の基板114と電氣的に接続され得る。例えば、半導体ダイ116aは、ボンドワイヤ118aによって第2の基板114に電氣的に接続され、半導体ダイ116bは、ボンドワイヤ118bによって半導体ダイ116aに電氣的に接続され、その他も同様に接続されている。このようにして、半導体ダイ116a~116dは、互いに、かつ、第2の基板114と電氣通信することができる。

10

【0032】

いくつかの実施形態では、1つ以上のボンドワイヤ110a~110dは、第1の半導体デバイスパッケージ102を第2の半導体デバイスパッケージ104に電氣的に結合するように構成される。例えば、ボンドワイヤ110dは、第1の成形コンパウンド112の表面に沿って少なくとも部分的に露出され得、第1の半導体デバイスパッケージ102と第2の半導体デバイスパッケージ104との間の電氣的接続が、ボンドワイヤ110dを介して形成され得るようになっている。いくつかの実施形態では、第1の半導体デバイスパッケージ102は、ボンドワイヤ110dが少なくとも部分的に露出されている第1の成形コンパウンド112の表面に取り付けられた1つ以上の導電性パッド134を含む。例えば、ボンドワイヤ110dの一部分は、第1の成形コンパウンド112の上部平坦面136に沿って露出され、導電性パッド134は、第1の成形コンパウンド112の上部平坦面136に取り付けられる。第1の成形コンパウンド112の上部平坦面136は、第1の基板106の上部平坦面122に、及び／又は半導体ダイ108a~108dの上部平坦面に実質的に平行であり得る。第1の成形コンパウンド112は、第1の成形コンパウンドの上部平坦面136に実質的に垂直である側部平坦面137、第1の基板106の上部平坦面122、及び／又は半導体ダイ108a~108dの上部平坦面を含むことができる。導電性パッド134の少なくとも1つは、第1の成形コンパウンド112の上部平坦面136に沿って位置付けられることができ、導電性パッド134が、第1の成形コンパウンド112の上部平坦面136に沿って露出しているボンドワイヤ110dに電氣的に接続されるようになっている。

20

30

【0033】

図1~図2を参照すると、ボンドワイヤ110dは、第1の部分138aと、第1の部分138aの反対側の第2の部分138bと、第1の部分138aと第2の部分138bとの間に延在する中間部分138cと、を含み得る。第1の部分138a、第2の部分138b、及び中間部分138cは、ボンドワイヤ110dが単一構造であるように一体的に形成され得る。第1の部分138a及び第2の部分138bは、ボンドワイヤ110dの第1の端部及び第2の端部であり得る。いくつかの実施形態では、第1の部分138aは、第1の半導体デバイスパッケージ102の最上部の半導体ダイ（例えば、半導体ダイ108d）に接続されている（例えば、物理的に接続されている、及び／又は電氣的に接続されている）。第2の部分138bは、最上部の半導体ダイの下に位置付けられた隣接する半導体ダイ（例えば、半導体ダイ108c）に接続され得る（例えば、物理的に、及び／又は電氣的に接続され得る）。最上部の半導体ダイは、第1の基板106の上部平坦面122の上、かつ、第1の成形コンパウンド112の上部平坦面136の下に位置付けられ得る。したがって、隣接する半導体ダイ（例えば、半導体ダイ108c）は、最上部の半導体ダイと第1の基板106の上部平坦面122との間に位置付けられ得る。

40

【0034】

いくつかの実施形態では、ボンドワイヤ110dの中間部分138cは、1つ以上の他の構成要素が中間部分138cに電氣的に接続され得るよう、第1の成形コンパウンド112の表面に沿って露出される。例えば、中間部分138cは、第1の成形コンパウンド112が中間部分138cを覆わないように、第1の成形コンパウンド112の上部

50

平坦面 136 に沿って露出され得る。このようにして、中間部分 138c は、1 つ以上の他の構成要素（例えば、導電性パッド 134）が電氣的に接続され得る第 1 の成形コンパウンド 112 の上部平坦面 136 で露出した電氣的インターフェース面として機能し得る。いくつかの実施形態では、中間部分 138c は、第 1 の成形コンパウンド 112 の上部平坦面 136 に沿って長さ L_1 で延在する。中間部分 138c の長さ L_1 は、ボンドワイヤ 110d の断面の直径よりも大きくあり得る。いくつかの実施形態では、中間部分 138c の長さ L_1 は、ボンドワイヤ 110d の直径よりも約 4 倍～20 倍大きい。例えば、ボンドワイヤ 110d の直径は、約 25 マイクロメートルであり得、長さ L_1 は約 200 マイクロメートルであり得る。いくつかの実施形態では、中間部分 138c の長さ L_1 は、少なくとも 100 マイクロメートルである。

10

【0035】

図 2 では、中間部分 138c は、第 1 の成形コンパウンド 112 の上部平坦面 136 に概ね平行であるように図示されているが、中間部分 138c は、不規則な、又は平坦でない形状を有し得ることが理解されるであろう。例えば、中間部分 138c は、一般に、長さ L_1 に沿って湾曲又は曲げられ得る。

【0036】

ボンドワイヤ 110d の直径よりも大きい中間部分 138c の長さ L_1 は、従来の半導体デバイスパッケージと比較して、電氣的インターフェースとして機能し得る第 1 の成形コンパウンド 112 の上部平坦面 136 で露出される表面積を増加させ得る。例えば、従来の半導体デバイスパッケージでは、半導体ダイは、従来の半導体デバイスパッケージのボンドワイヤが、成形コンパウンドによって完全に封入されていることを除いてボンドワイヤ 110a～110d に類似しているボンドワイヤを介して互いに電氣的に接続される。成形コンパウンドの表面で露出する電氣的インターフェース面を提供するために、通常、垂直ボンドワイヤが提供される。垂直ボンドワイヤは、通常、半導体ダイに接続され、その半導体ダイから、半導体デバイスパッケージの構成要素を封入する成形コンパウンドの上部平坦面まで垂直に上向きに延在する。

20

【0037】

垂直ボンドワイヤの終端は、通常、成形コンパウンドの上部平坦面に露出しており、1 つ以上の他の構成要素が垂直ボンドワイヤに電氣的に接続することを可能にする。このように、電氣的インターフェース面として機能する垂直ボンドワイヤの終端は、垂直ボンドワイヤの直径によって画定される概して円形の形状を有する。言い換えると、垂直ボンドワイヤは、垂直ボンドワイヤの直径によって画定される概して円形の断面形状を有している。更に、垂直ボンドワイヤは、成形コンパウンドの上部平坦面に対して概して垂直であり、したがって、電氣的界面表面もまた、概して円形であり、垂直ボンドワイヤの直径によって画定された表面積を有する。上で考察された本開示の実施形態では、ボンドワイヤ 110d の中間部分 138c は、第 1 の成形コンパウンドの上部平坦面 136 に対して垂直に配向されていない。代わりに、中間部分 138c は、第 1 の成形コンパウンド 112 の上部平坦面 136 の一部分に沿って長さ L_1 で延在する。このようにして、ボンドワイヤ 110d の中間部分 138c は、電氣的インターフェース面を提供するための垂直ボンドワイヤを含む従来の半導体デバイスパッケージと比較して、より大きい電氣的インターフェース表面積を提供する。

30

40

【0038】

いくつかの実施形態では、ボンドワイヤ 110d は、従来の半導体デバイスパッケージに含まれる垂直ボンドワイヤと比較して、第 1 の成形コンパウンド 112 の流動中にワイヤスイープを起こしにくくなり得る。例えば、従来の半導体デバイスパッケージでは、垂直ボンドワイヤは、多くの場合、従来の半導体デバイスパッケージの構成要素を封入する成形コンパウンドの流動中にワイヤスイープを起こしやすい。本開示によるボンドワイヤ 110d は、対向する端部（例えば、第 1 の部分 138a 及び第 2 の部分 138b）で半導体ダイ 108c～108d に機械的及び電氣的に接続され、一方で、垂直ボンドワイヤは、単一の端部で機械的及び電氣的に接続される。このようにして、ボンドワイヤ 11

50

0 d は、従来の半導体デバイスパッケージの垂直ボンドワイヤよりもワイヤスイープを起こしにくくなり得る。

【0039】

いくつかの実施形態では、1つ以上の導電性パッド134は、ボンドワイヤ110dの中間部分138cと電気通信することができる。例えば、導電性パッド134の少なくとも1つは、ボンドワイヤ110dの中間部分138cの長さ L_1 の少なくとも一部に沿って、第1の成形コンパウンド112の上部平坦面136上に位置付けられ得る。このようにして、導電性パッド134の少なくとも1つは、ボンドワイヤ110dに電氣的に接続され得る。したがって、導電性パッド134は、ボンドワイヤ110dを介して、第1の半導体デバイスパッケージ102の構成要素（例えば、第1の基板106、コントローラ109、及び／又は半導体ダイ108a～108d）と電気通信することができる。いくつかの実施形態では、導電性パッド134は、ボンドワイヤ110dの中間部分138cにボンディングされ得る。

10

【0040】

いくつかの実施形態では、第2の半導体デバイスパッケージ104は、導電性パッド134を介して第1の半導体デバイスパッケージ102に電氣的に接続されている。第2の半導体デバイスパッケージ104の溶ダボール130は、溶ダボール130と導電性パッド134が、互いに電気通信するように、第1の半導体デバイスパッケージ102の導電性パッド134に結合され得る。上で考察されたように、導電性パッド134の少なくとも1つは、ボンドワイヤ110dの中間部分138cに電氣的に接続されている。したがって、第2の半導体デバイスパッケージ104に含まれる溶ダボール130のうちの少なくとも1つは、ボンドワイヤ110dの露出した中間部分138cに電氣的に接続されている導電性パッド134に電氣的に接続され得る。このようにして、第1の半導体デバイスパッケージ102及び第2の半導体デバイスパッケージ104は、ボンドワイヤ110dの中間部分138c及び対応する溶ダボール130に電氣的に接続された導電性パッド134を介して互いに電氣的に接続され得る。したがって、電気信号は、第1の半導体パッケージ102と第2の半導体デバイスパッケージ104との間で伝送され得る。

20

【0041】

いくつかの実施形態では、半導体デバイスパッケージ100は、第1の半導体デバイスパッケージ102と第2の半導体デバイスパッケージ104との間にアンダーフィル140を含む。いくつかの実施形態では、アンダーフィル140は、第1の半導体デバイスパッケージ102と第2の半導体デバイスパッケージ104との間に機械的ボンディングを提供し、溶ダボール130、ボンドワイヤの露出部分（例えば、ボンドワイヤ110dの中間セクション138c）及び導電性パッド134を機械的応力から保護し、かつ／又は、増加した熱伝達能力を提供するように構成され得る。アンダーフィル140は、第1の成形コンパウンド112の上部平坦面136と第2の基板114の底部平坦面132との間の空間に提供され得、溶ダボール130、ボンドワイヤ110dの中間セクション138c、及び導電性パッド134を少なくとも部分的に封入する。いくつかの実施形態では、アンダーフィル140は、ポリマーで構成されている。

30

40

【0042】

2つの半導体デバイスパッケージのみが図1に示されているが、追加の半導体デバイスパッケージが、順に積み重ねられ得、図1に示されているものと同様に、互いに電氣的に接続され得ることが理解されるであろう。例えば、図1において、第2の成形コンパウンド120の上部平坦面に近接するボンドワイヤの一部分（例えば、ボンドワイヤ118dの一部分）は、ボンドワイヤ110dの中間部分138cが、第1の成形コンパウンド112の上部平坦面136で露出する方法と同様に、上部平坦面で露出され得る。導電性パッド134に類似する1つ以上の導電性パッドは、第2の成形コンパウンド120の上部平坦面に結合され得、その少なくとも1つは、ボンドワイヤ118dの露出部分に電氣的に接続され得る。第1の半導体デバイスパッケージ102又は第2の半導体デバイスパ

50

パッケージ 104 のいずれかに概ね類似した第 3 の半導体デバイスパッケージは、ボンドワイヤ 118 d の露出部分に接続された導電性パッドを介して第 2 の半導体デバイスパッケージ 104 に電氣的に接続され得る。いくつかの実施形態では、この構造は、所望の数の半導体ダイ及び／又は半導体デバイスパッケージが、半導体デバイスパッケージ 100 に含まれるまで繰り返され得る。

【0043】

いくつかの実施形態では、半導体デバイスパッケージ 100 に含まれる半導体ダイ 108 a ~ 108 d 及び 116 a ~ 116 d のダイの屈曲及び／又は崩壊のリスクは、従来の半導体デバイスパッケージと比較したとき、防止されることができ、又は少なくとも低減されることができ。ダイの屈曲及び／又は崩壊は、半導体デバイスパッケージに含まれる 1 つ以上の半導体ダイが、限られた領域、多数の積み重ねられたダイによって生じる過剰な重量、及び／又は機械的支持の欠如のために曲げられ、又は変形される場合を指す場合がある。例えば、従来の半導体デバイスパッケージは、多くの場合、限られた空間内で階段状のパターンで順に積み重ねられたいくつかの半導体ダイを含む。限られた空間内で順に積み重ねられた半導体ダイの数が増えると、ダイの屈曲及び／又は崩壊のリスクもまた増すことになる。本開示の半導体デバイスパッケージ 100 を参照して上記のように、互いに電気通信する半導体ダイを提供することにより、ダイの屈曲及び／又は崩壊のリスクを防止するか、又は少なくとも低減することができる。例えば、半導体デバイスパッケージ 100 は、半導体ダイの異なるスタック間（例えば、半導体ダイ 108 a ~ 108 d と半導体ダイ 116 a ~ 116 d との間）に配置された少なくとも複数の基板（例えば、第 1 の基板 106、第 2 の基板 114）を介して、追加の機械的支持を提供する。

【0044】

図 3 を参照すると、本開示の別の例示的な実施形態による、全体が 200 で指示された、組み合わされた半導体デバイスパッケージの断面側面図が示されている。組み合わされた半導体デバイスパッケージ 200 は、互いに電気通信する第 1 の半導体デバイスパッケージ 202 及び第 2 の半導体デバイスパッケージ 204 を含む得る。第 1 の半導体デバイスパッケージ 202 は、第 1 の基板 206、1 つ以上の半導体ダイ 208 a ~ 208 d、及びコントローラ 209 を含む得る。半導体ダイ 208 a ~ 208 d は、ボンドワイヤ 210 a ~ 210 d を介して、互いに、かつ／又は第 1 の基板 206 に電氣的に接続され得る。例えば、半導体ダイ 208 a ~ 208 d は、ボンドワイヤ 210 b ~ 210 d を介して互いに電氣的に接続され、半導体ダイ 208 a は、ボンドワイヤ 210 a を介して第 1 の基板 206 に電氣的に接続される。同様に、コントローラ 209 は、ボンドワイヤ 211 を介して第 1 の基板 206 に電氣的に接続され得る。いくつかの実施形態では、半導体ダイ 208 a ~ 208 d、コントローラ 209、ボンドワイヤ 210 a ~ 210 d 及び／又はボンドワイヤ 211 は、第 1 の成形コンパウンド 212 によって少なくとも部分的に封入されている。第 1 の成形コンパウンド 212 は、例えば、EMC 又は当技術分野で知られている他の封入材を含む得る。

【0045】

第 2 の半導体デバイスパッケージ 204 は、概して、第 1 の半導体デバイスパッケージ 202 と同じであり得る。例えば、第 2 の半導体デバイスパッケージ 204 は、第 2 の基板 214、1 つ以上の半導体ダイ 216 a ~ 216 d、及びコントローラ 219 を含む得る。半導体ダイ 216 a ~ 216 d は、ボンドワイヤ 218 a ~ 218 d を介して、互いに、かつ／又は第 2 の基板 214 に電氣的に接続され得る。例えば、半導体ダイ 216 a ~ 216 d は、ボンドワイヤ 218 b ~ 218 d を介して互いに電氣的に接続され、半導体ダイ 216 a は、ボンドワイヤ 218 a を介して第 2 の基板 214 に電氣的に接続されている。同様に、コントローラ 219 は、ボンドワイヤ 221 を介して第 2 の基板 214 に電氣的に接続され得る。いくつかの実施形態では、半導体ダイ 216 a ~ 216 d、コントローラ 219、ボンドワイヤ 218 a ~ 218 d 及び／又はボンドワイヤ 221 は、第 2 の成形コンパウンド 220 によって少なくとも部分的に封入されている。第 2 の成形コンパウンド 220 は、例えば、EMC 又は当技術分野で知られている他の封入材を含

み得る。

【0046】

第1の半導体デバイスパッケージ202及び第2の半導体デバイスパッケージ204の両方は、ボンドワイヤの少なくとも1つが、上部平坦面ではなく、それぞれの成形コンパウンドの側部平坦面に露出していることを除いて、図1～図2を参照して上述した第1の半導体デバイスパッケージ102と同様であり得る。簡潔化のために、基板206、214、半導体ダイ208a～208d、216a～216d、コントローラ209、219、及び成形コンパウンド212、220のすべての機能性は考察されない。図1～図2を参照して上で考察されたように、各々の機能性は、基板106、半導体ダイ108a～108d、コントローラ109、及び成形コンパウンド112と概して同じであり得るこ
10
とが理解されよう。ボンドワイヤ210a～210d及び218a～218dは、ボンドワイヤ210a～210d及び218a～218dの各セットの少なくとも1つのボンドワイヤが、それぞれ、第1の成形コンパウンド212の側部平坦面222において、かつ、第2の成形コンパウンド220の側部平坦面224において、部分的に露出され得ることを除いて、ボンドワイヤ110a～110dと概して同じであり得る。第1の成形コンパウンド212の側部平坦面222及び第2の成形コンパウンド220の側部平坦面224は、それぞれ、第1の基板206の上部平坦面207及び第2の基板214の上部平坦面215に実質的に垂直であり得る。側部平坦面222、224は、第1の成形コンパ
20
ウンド212の上部平坦面223、及び第2の成形コンパウンド220の上部平坦面225に対して実質的に垂直であり得る。いくつかの実施形態では、ボンドワイヤ210a及び218aの少なくとも一部を露出することによって、第1の半導体デバイスパッケージ202及び第2の半導体デバイスパッケージ204は、図3に示される垂直配向で第3の基板226に電氣的に結合され得る。例えば、第3の基板226は、第1の基板206の上部平坦面207及び／又は第2の基板214の上部平坦面215に概して垂直に配向された上部平坦面234を含むことができる。

【0047】

ボンドワイヤ210a及び218aの露出部分は、水平方向の第1の半導体デバイスパッケージ202の側面断面図を示す図4を参照することにより、よりよく理解されるであろう。上述のように、第1の半導体デバイスパッケージ202及び第2の半導体デバイスパッケージ204は、概ね同じものであり、したがって、簡潔化のために、第1の半導
30
体デバイスパッケージ202のみを説明する。しかしながら、第1の半導体デバイスパッケージ202の以下の説明は、第2の半導体デバイスパッケージ204及びその対応する構成要素に適用され得ることが理解されよう。

【0048】

ボンドワイヤ210aは、第1の成形コンパウンド212の側部平坦面222に沿って少なくとも部分的に露出され得、ボンドワイヤ210aが、第1の成形コンパウンド212の側部平坦面222に結合された導電性パッド及び／又は再分配層（redistribution layer、RDL）228に電氣的に接続されるようになっている。いくつかの実施形態では、RDL228は、半導体ダイ208a～208dを第1の基板206に電氣的に結合する。例えば、ボンドワイヤ210aは、半導体ダイ208aに電氣的に接続された
40
第1の部分227aと、第1の成形コンパウンド212の側部平坦面222で少なくとも部分的に露出された第2の部分227bと、を有し得る。RDL228は、第2の部分227bの露出領域に電氣的に接続され得、RDL228がボンドワイヤ210aを介して半導体ダイ208aに電氣的に結合されるようになっている。したがって、ボンドワイヤ210b～210dは、残りの半導体ダイ208b～208dをRDL228に電氣的に結合することができる。RDL228は、半導体ダイ208a～208dがRDL228を介して第1の基板206に電氣的に結合されるように、第1の基板206に電氣的に接続され得る。

【0049】

図5を参照すると、成形コンパウンド212の側部平坦面で部分的に露出されたボン

10

20

30

40

50

ドワイヤ 410a を備える第 1 の半導体ダイ 202 の一部分の断面側面図が示されている。ボンドワイヤ 410a は、ボンドワイヤ 410a が成形コンパウンド 212 の側部平坦面 222 で露出している中間部分 427c を含むことを除いて、ボンドワイヤ 210a と概して同じであり得る。ボンドワイヤの第 1 の部分 427a は、半導体ダイ 208a に電氣的に接続され得、第 2 の部分 427b は、第 1 の基板 206 の上部平坦面 207 に電氣的に接続され得る。中間部分 427c は、第 1 の部分 427a と第 2 の部分 427b との間に延在し、かつ、第 1 の成形コンパウンド 212 の側部平坦面 222 で露出しているボンドワイヤ 410a の部分であり得る。いくつかの実施形態では、中間部分 427c は、導電性パッド又は RDL 228 が、中間部分 427c に電氣的に接続され得るように、第 1 の成形コンパウンド 212 の長さ L_2 に沿って露出される。RDL 228 は、中間部分 427c に電氣的に接続されているとき、少なくとも第 1 の基板 206 及び半導体ダイ 208a ~ 208d と電気通信することができる。いくつかの実施形態では、長さ L_2 は、ボンドワイヤ 410a の断面よりも大きい。いくつかの実施形態では、長さ L_2 は少なくとも 100 マイクロメートルである。

10

【0050】

成形コンパウンドの長さに沿ってボンドワイヤを露出することの利点は、図 1 ~ 図 2 及びボンドワイヤ 110d を参照して上で考察されており、同じ利点がボンドワイヤ 410a にも適用されることが分かるであろう。したがって、簡潔化のために、上述の利点については、再度考察されない。

20

【0051】

図 3 ~ 図 5 を参照すると、第 1 の半導体デバイスパッケージ 202 及び第 2 の半導体デバイスパッケージ 204 は、ボンドワイヤ 210a 及び／又は 410a と同様に露出されたボンドワイヤを含み得ることが理解される。例えば、一実施形態では、第 1 の半導体デバイスパッケージ 202 は、露出した中間部分 427c を有するボンドワイヤ 410a を含み得、第 2 の半導体デバイスパッケージは、ボンドワイヤ 210a と概して同じ構成を有するボンドワイヤ 218a を含み得る。別の実施形態では、第 1 の半導体デバイスパッケージ 202 は、ボンドワイヤ 410a を含み得、第 2 の半導体デバイスパッケージ 204 のボンドワイヤ 218a は、ボンドワイヤ 410a と概して同じ構成を有し得る。組み合わせられた半導体デバイスパッケージ 200 に含まれる半導体デバイスパッケージにおいて、ボンドワイヤ構成の任意の組み合わせが使用され得ることが理解されよう。

30

【0052】

いくつかの実施形態では、第 1 の半導体デバイスパッケージ 202 を第 3 の基板 226 に電氣的に結合するために、RDL 228 に電氣的に接続されたソルダボール 230 が存在する。例えば、第 3 の基板 226 は、第 3 の基板 226 の上部平坦面 234 に電氣的に接続された導電性パッド及び／又は RDL 232 を含み得る。ソルダボール 230 は、第 1 の半導体デバイスパッケージ 202 の RDL 228 及び第 3 の基板 226 の RDL 232 に電氣的に接続され得る。このようにして、第 1 の半導体デバイスパッケージ 202 は、第 1 の基板 226 と電気通信することができる。同様に、第 2 の半導体デバイスパッケージ 204 は、図 4 を参照して上記で説明したように、RDL 228 が、ボンドワイヤ 210a に電氣的に接続される方法と同様に、ボンドワイヤ 218a に電氣的に接続された RDL 236 を含み得る。第 2 の半導体デバイスパッケージ 204 は、RDL 236 に電氣的に接続されたソルダボール 238 を含み得る。第 3 の基板 226 の上部平坦面 234 に電氣的に接続された第 2 の RDL 240 があり得、ソルダボール 238 は、第 2 の半導体デバイスパッケージ 204 が第 3 の基板 226 に電氣的に結合されるように、第 2 の RDL 240 に電氣的に接続され得る。したがって、第 1 の半導体デバイスパッケージ 202 及び第 2 の半導体デバイスパッケージ 204 は、第 3 の基板 226 を介して互いに電気通信することができる。

40

【0053】

いくつかの実施形態では、第 1 の半導体デバイスパッケージ 202 の RDL 228 及び対応するソルダボール 230 は、第 1 の RDL 228 及び第 1 のソルダボール 230 で

50

あり、半導体デバイスパッケージ 202 は、第 3 の基板 226 に電氣的に接続されるように構成された追加の RDL 及びソルダボールを含む。例えば、第 1 の半導体デバイスパッケージ 202 は、第 2 の RDL 242 と、第 2 の RDL 242 に電氣的に接続された第 2 のソルダボール 244 と、を含み得る。第 2 の RDL 242 は、第 1 の成形コンパウンド 212 の側部平坦面 222 に結合され、第 1 の RDL 228 から間隔が置かれ得る。第 3 の基板 226 は、上部平坦面 234 に電氣的に接続された第 3 の RDL 246 を含み得、第 2 のソルダボール 244 は、第 3 の RDL 246 に電氣的に接続され得る。このようにして、第 1 の RDL 228 及び第 2 の RDL 242、並びに対応するソルダボール 230、244 は、第 1 の半導体デバイスパッケージ 202 を第 3 の基板 226 に機械的及び電氣的に結合することができる。いくつかの実施形態では、アンダーフィル（図示せず）が、第 3 の基板 226 の上部平坦面 234 と第 1 の成形コンパウンド 212 の側部平坦面 222 との間に設けられ、第 1 の半導体デバイスパッケージ 202 と第 3 の基板 226 との間に追加の機械的支持を提供する。

10

【0054】

第 1 の半導体デバイスパッケージ 202 と同様に、第 2 の半導体デバイスパッケージ 204 は、第 2 の半導体デバイスパッケージ 204 を第 3 の基板 226 に機械的及び電氣的に結合するための 1 つ以上の追加の再分配層及び対応するソルダボールを含み得る。例えば、RDL 236 及びソルダボール 238 は、第 2 の半導体デバイスパッケージ 204 の第 1 の RDL 236 及び第 1 のソルダボール 238 であり得る。第 2 の RDL 248、第 2 の半導体デバイスパッケージ 204 に含まれる第 2 のソルダボール 250、及び第 3 の基板 226 の上部平坦面 234 に電氣的に接続された第 4 の RDL 252 が存在し得る。第 1 の半導体デバイスパッケージ 202 と同様に、第 2 のソルダボール 250 は、第 2 の半導体デバイスパッケージ 204 の第 2 の RDL 248 及び第 3 の基板 226 の第 4 の RDL 252 に電氣的に接続され得る。このようにして、第 1 の RDL 236 及び第 2 の RDL 248 並びに対応するソルダボール 238、250 は、第 2 の半導体デバイスパッケージ 204 を第 3 の基板 226 に機械的及び電氣的に結合することができる。いくつかの実施形態では、アンダーフィル（図示せず）が、第 3 の基板 226 の上部平坦面 234 と第 2 の成形コンパウンド 220 の側部平坦面 224 との間に設けられ、第 2 の半導体デバイスパッケージ 204 と第 3 の基板 226 との間に追加の機械的支持を提供する。

20

【0055】

2 つの半導体デバイスパッケージ（例えば、第 1 の半導体デバイスパッケージ 202 及び第 2 の半導体デバイスパッケージ 204）が図 3 に示されているが、組み合わされた半導体デバイスパッケージ 200 は、第 3 の基板 226 に結合され、互いに電気通信する任意の数の半導体デバイスパッケージを含み得ることが理解される。例えば、第 1 の半導体デバイスパッケージ 202 及び／又は第 2 の半導体デバイスパッケージ 204 と概ね同じである第 3 の半導体デバイスパッケージは、上で考察されたような概ね同じ様式で第 3 の基板 226 に電氣的に接続され得、第 3 の半導体デバイスパッケージが、第 1 の半導体デバイスパッケージ 202 及び第 2 の半導体デバイスパッケージ 204 と電気通信するようになっている。いくつかの実施形態では、組み合わされた半導体デバイスパッケージ 200 は、第 3 の基板 226 に電氣的に接続され、互いに電気通信する 2 ～ 20 個の半導体デバイスパッケージを含み得る。

30

40

【0056】

図 6 を参照すると、本開示の別の実施形態による、組み合わされた半導体デバイスパッケージ 300 の側面断面図が示されている。組み合わされた半導体デバイスパッケージ 300 は、それに電氣的に接続された第 1 の半導体デバイスパッケージ 302 及び第 2 の半導体デバイスパッケージ 304 を含み得る。第 1 の半導体デバイスパッケージ 302 は、図 3 ～ 図 5 を参照して上で考察されたように、第 1 の半導体デバイスパッケージ 202 及び／又は第 2 の半導体デバイスパッケージ 204 と概して同じであり得る。例えば、第 1 の半導体デバイスパッケージ 302 は、それに結合された半導体ダイ 308 a ～ 308 d を有する第 1 の基板 306、コントローラ 309、ボンドワイヤ 310 a ～ 310 d、

50

及びボンドワイヤ 311 を含み得、これらの各々は、第 1 の成形コンパウンド 312 によって少なくとも部分的に封入されている。第 1 の基板 306、半導体ダイ 308a~308d、コントローラ 309、ボンドワイヤ 310a~310d 及びボンドワイヤ 311 は、基板 206、半導体ダイ 208a~208d、コントローラ 209、ボンドワイヤ 210a~210d、及びボンドワイヤ 211 と概して同じであり得、簡潔化のために、また、本開示の態様を曖昧にしないために、説明されることはない。

【0057】

第 1 の半導体デバイスパッケージ 302 は、RDL 328 が第 1 の基板 306 に直接接続されていないことを除いて、RDL 228 と概ね同じである RDL 328 を含み得る。例えば、RDL 328 は、RDL 328 が基板 306 に電氣的に接続されないように、第 1 の成形コンパウンド 312 の側部平坦面 322 で露出したボンドワイヤ 310a の一部分に電氣的に接続され得る。いくつかの実施形態では、RDL 328 に電氣的に接続されたソルダボール 330 が存在する。

【0058】

第 2 の半導体デバイスパッケージ 304 は、上部平坦面 315、及び 1 つ以上のボンドワイヤ 318 を介してそれに電氣的に接続された少なくとも 1 つの半導体ダイ 316 を有する第 2 の基板 314 を含み得る。半導体ダイ 316 は、ASIC チップ又はメモリダイ（例えば、NAND ダイ）であり得る。いくつかの実施形態では、半導体ダイ 316 は、フリップチップ実装装置を使用して第 2 の基板 314 に取り付けられ、それと電氣的に接続されるフリップチップダイである。いくつかの実施形態では、半導体ダイ 316 は、コンデンサ又は抵抗器であるか、又はそれを含む。いくつかの実施形態では、半導体ダイ 316 及びボンドワイヤ 318 は、第 2 の成形コンパウンド 320 によって少なくとも部分的に封入されている。第 2 の成形コンパウンド 320 は、EMC 又は当技術分野で既知の他の封入材を含み得る。いくつかの実施形態では、第 2 の基板 314 の上部平坦面 315 は、第 1 の基板 306 の上部平坦面 307 に対して概ね垂直に配向されている。いくつかの実施形態では、ソルダボール 330 は、第 2 の基板 314 に電氣的に接続されている。このようにして、第 1 の半導体デバイスパッケージ 302 及び第 2 の半導体デバイスパッケージ 304 は、電氣的に結合され得る。いくつかの実施形態では、半導体ダイ 308a~308d 及び／又は第 1 の基板 306 に対して概ね垂直に配向された半導体ダイ 316 を提供することによって、半導体デバイスパッケージ 300 の全長が短縮され得る。例えば、半導体ダイ 316 が第 1 の基板 306 に概ね平行に配向されている場合、半導体デバイスパッケージ 300 の全長は、半導体ダイ 316 及び基板 314 が概ね垂直に配向されているときよりも長くなり得る。

【0059】

図 7A~図 7H を参照すると、図 1~図 2 を参照して上で考察された半導体デバイスパッケージ 100 の組み立て方法が示されている。図 7A を参照すると、第 1 の基板 106 には、それに結合された 1 つ以上の構成要素（例えば、半導体ダイ 108a~108d、コントローラ 109、ボンドワイヤ 110a~110d）が設けられ得る。ボンドワイヤ 110a~110d は、それぞれ、対応する半導体ダイ 108a~108d 及び基板 106 に電氣的に接続されることができる。第 1 の基板 106 及びそれに結合された構成要素は、第 1 の成形コンパウンド 112 及び金型 103 と第 1 の成形コンパウンド 112 との間に位置付けられたリリースフィルム 113 を含む金型 103 の上に位置付けられ得る。別の言い方をすれば、リリースフィルム 113 は、第 1 の成形コンパウンド 112 がリリースフィルム 113 の上にあるように、金型 103 の底面に沿って位置付けられ得る。いくつかの実施形態では、第 1 の成形コンパウンド 112 は、第 1 の基板 106 及びそれに結合された構成要素が第 1 の成形コンパウンド 112 に浸漬され得るように、液体又は流動性の状態にある。他の実施形態では、第 1 の成形コンパウンド 112 は、粉末の形態で提供されており、金型 103 が第 1 の基板 106 及びそれに結合された構成要素上に圧縮され得、それによって、第 1 の成形コンパウンド 112 を、粉末状態から液体又は半液体の状態に移させるようになる。

【0060】

図7Bを参照すると、金型103は、成形コンパウンド112が、半導体ダイ108a～108d、コントローラ109、及びボンドワイヤ110a～110dを少なくとも部分的に封入するように、第1の基板106及びそれに結合された構成要素上に圧縮され得る。いくつかの実施形態では、ボンドワイヤ110dの一部分は、ボンドワイヤ110dの一部分が、第1の成形コンパウンド112によって封入されないように、リリースフィルム113に当接し、かつ／又はその中に延在する。例えば、封入されていないボンドワイヤ110dの一部分は、図2を参照して説明したように、中間部分138cであり得る。いくつかの実施形態では、ボンドワイヤ110dの長さ、金型103の寸法、及び／又は、金型103内に設けられた第1の成形コンパウンド112の体積は、調整されることができ、第1の成形コンパウンド112によって封入されていないボンドワイヤ110dの一部分が、調整（例えば、増加又は減少）されるようになっている。液体成形コンパウンド112は、その後、硬化又は固化され得、液体成形コンパウンド112が固化して第1の基板106、半導体ダイ108a～108d、コントローラ109、及び／又はボンドワイヤ110a～110dを保護するようになっている。

10

【0061】

図7Cを参照すると、リリースフィルム113は除去されることができ、少なくとも部分的に封入された構成要素を有する第1の基板106が金型103から除去されることができ。このようにして、成形コンパウンドの表面で露出したボンドワイヤを有する半導体デバイスパッケージが組み立てられ得る。例えば、図7Cに示されているものは、図1～図2を参照して上で考察された第1の基板106の底部に結合された溶ダボール124を有さない第1の半導体デバイスパッケージ102である。図7A～図7Cでは、第1の半導体デバイスパッケージ102のアセンブリが示されているが、図3～図6に示される半導体パッケージのいずれかを組み立てるために同様の組み立てが実行され得ることが理解されよう。例えば、第1の半導体デバイスパッケージ202は、図7A～図7Cに示されるアセンブリに従って組み立てられ得る。図7A～図7Bに示されるように、リリースフィルム113は、金型103の底面及び側面にわたって延在している。このようにして、リリースフィルム113は、成形コンパウンドの側面を覆い、それによって、1つ以上のボンドワイヤ（例えば、ボンドワイヤ210a、ボンドワイヤ310a、ボンドワイヤ410a）の一部分が、リリースフィルム113に当接すること、及び／又は、その中に延在することを可能にする。したがって、リリースフィルム113に当接、及び／又は、その中に延在するボンドワイヤの一部分は、成形コンパウンドによって封入され得ず、それにより、一部分が成形コンパウンドの側面に露出されることを可能にする。

20

30

【0062】

図7Dを参照すると、除去可能マスク142は、第1の成形コンパウンド112の上部平坦面136の上に位置付けられ得る。除去可能マスク142は、第1の成形コンパウンド112の上部平坦面136から除去されるように構成され得る。除去可能マスク142は、除去可能マスク142に沿って位置付けられ、それを通して延在する1つ以上の開口部144を画定することができる。いくつかの実施形態では、1つ以上の開口部144は、ボンドワイヤ110dの露出部分の上に位置付けられ、除去可能マスク142が、第1の成形コンパウンド112の上部平坦面136に結合されるときに、ボンドワイヤ110dの露出部分が、開口部144内に位置付けられるようになっている。図7Dでは、除去可能マスク142は、概して同じサイズ及び形状である5つの開口部144を画定するが、除去可能マスク142は、5つ未満の開口部又は5つを超える開口部を画定し得、そのうちの少なくとも1つは、別のものとは異なる形状、サイズ、及び／又は配向を有し得ることが理解されるであろう。

40

【0063】

1つ以上の開口部は、第1の成形コンパウンド112の上部平坦面136の上に形成される1つ以上の導電性素子（例えば、図7Eに示される導電性パッド134）の位置、配向、及び／又は形状を規定し得る。いくつかの実施形態では、1つ以上の導電性パッド

50

134は、スパッタリング処理によって形成されることができる。例えば、導電性材料（例えば、銅）のイオン146は、スパッタリング処理中にもたらされ得る。イオン146は、開口部144が位置する第1の成形コンパウンド112の上部平坦面136の一部分の上に堆積され得る。別の言い方をすれば、開口部144は、除去可能マスク142上の開口部として機能することができ、第1の成形コンパウンド112の上部平坦面136の部分が除去可能マスク142によって覆われないようにする。このようにして、イオン146は、第1の成形コンパウンドの上部平坦面136上に堆積されて、1つ以上の導電性素子（例えば、導電性パッド134）を形成することができる。いくつかの実施形態では、除去可能マスク142は、開口部144の間に延在する1つ以上のチャンネル（図示せず）を画定でき、スパッタリング処理中に、イオン146が、チャンネルを介して第1の成形コンパウンド112の上部平坦面136上に堆積され、導電性パッド134間の電氣的接続を形成することができるようになっている。

10

【0064】

図7Eを参照すると、第1の半導体デバイスパッケージ102の上面図が示されている。除去可能マスク142は、スパッタリング処理に続いて、第1の成形コンパウンド112の上部平坦面136から除去され得る。図示されるように、第1の成形コンパウンド112の上部平坦面136に結合された複数の導電性パッド134が存在する。いくつかの導電性パッド（例えば、第1の導電性パッド134a）は、ボンドワイヤ110dの露出部分（例えば、中間セクション138c）に電氣的に接続され得る。残りの導電性パッド（例えば、第2の導電性パッド134b）は、それらがボンドワイヤ110dの中間セクション138cに直接接続されないように、第1の成形コンパウンド112の上部平坦面136に結合され得る。図7Eでは、ボンドワイヤ110dと概ね同じ複数の露出したボンドワイヤがあり、各々がボンドワイヤ110dと概ね同じように機能し得ることが理解されるであろう。いくつかの実施形態では、第1の導電性パッド134aと第2の導電性パッド134bのうちの少なくとも1つとの間に形成された電氣的接続（例えば、トレース148）が存在する。上述のように、除去可能マスク142は、第1の導電性パッド134aと対応する第2の導電性パッド134bとの間に延在するトレース148の経路を画定するチャンネル（図示せず）を含み得る。トレース148は、図7Dに示されるスパッタリング処理によって形成され得る。

20

【0065】

いくつかの実施形態では、第2の導電性パッド134bのすべてが、トレース148を介して対応する第1の導電性パッド134aに電氣的に結合され得るわけではない。同様に、第1の導電性パッド134aのすべてが、トレース148を介して対応する第2の導電性パッド134bに電氣的に結合され得るわけではない。例えば、図7Eでは、13個の第1の導電性パッド134a及び20個の第2の導電性パッド134bが存在する。第2の導電性パッド134bのいくつかは、第2の導電性パッド134bを第1の導電性パッド134aに電氣的に接続するトレース148を有さない。同様に、トレース148を介して第2の導電性パッド134bに電氣的に接続されていない第1の導電性パッド134aが存在する。図7Eに示される第1の導電性パッド134aと第2の導電性パッド134b及びトレース148は、例であり、第1の導電性パッド134aと第2の導電性パッド134b及びトレース148の任意の所望の構成が、含まれ得ることが理解されるであろう。例えば、第1の導電性パッド134a、及び／又は第2の導電性パッド134bの数は、図7Eに示されているものとは異なる場合がある。同様に、トレース148の経路、及び／又はそれによって形成される接続は、図7Eに示されるものとは異なる場合がある。図7Eでは、第1の導電性パッド134aは、第2の導電性パッド134bよりも小さいが、第1の導電性パッド134a及び第2の導電性パッド134bは、概ね同じサイズ及び／又は形状である場合があることが理解される。

30

40

【0066】

図7Fを参照すると、1つ以上の溶ダボール124は、第1の基板106の底部平坦面126に結合され得る。いくつかの実施形態では、溶ダボール124は、基板10

50

6に機械的及び電氣的に接続され、図1～図2を参照してより詳細に説明されるように、ソルダボール124が第1の半導体デバイスパッケージ102の構成要素と電気通信するようになっている。

【0067】

図7Gを参照すると、別の半導体デバイスパッケージ（例えば、第2の半導体デバイスパッケージ104）が、第1の半導体デバイスパッケージ102に結合され得る。いくつかの実施形態では、第1の半導体デバイスパッケージ102及び第2の半導体デバイスパッケージ104は、図1～図2を参照してより詳細に考察されるように、互いに電氣的に結合されている。したがって、第1の半導体デバイスパッケージ102と第2の半導体デバイスパッケージ104の機械的及び／又は電氣的結合は、簡潔化のために、かつ、本開示の態様を曖昧にしないために、ここでは更に詳細に説明しない。

10

【0068】

図7Hを参照すると、液体アンダーフィル140は、ノズル150を介して、第1の半導体デバイスパッケージ102と第2の半導体デバイスパッケージ104との間に提供され得る。例えば、ノズル150の出口が、第1の半導体デバイスパッケージ102と第2の半導体デバイスパッケージ104との間の空間に面するように、ノズル150は位置付けられることができる。液体アンダーフィル140は、アンダーフィル140が第1の半導体デバイスパッケージ102及び第2の半導体デバイスパッケージ104を接続する構成要素を封入するように、ノズル150の出口を通して流れることができる。このようにして、半導体デバイスパッケージ100は組み立てられることができる。アンダーフィル140は、図1～図2を参照して上で説明されており、簡潔化のために、かつ、本開示の態様を曖昧にしないために、再度説明されない。

20

【0069】

図8A～図8Bを参照すると、露出したボンドワイヤを有する半導体デバイスパッケージ（例えば、第1の半導体デバイスパッケージ102）の代替的アセンブリが示されている。図8Aでは、基板102、及びそれに結合された構成要素は、第1の成形コンパウンド112の上部平坦面136が、ボンドワイヤ110dを完全に封入することができることを除いて、図7A～図7Bに示されたものと同様の様式で、第1の成形コンパウンド112によって少なくとも部分的に封入され得る。いくつかの実施形態では、成形コンパウンド112は、エッチング処理（例えば、化学エッチング、レーザーエッチング、プラズマエッチング）に曝され得、成形コンパウンド112の層が除去されるようになっている。このようにして、（図7C及び図8Bに示されるように）ボンドワイヤ110dが第1の成形コンパウンド112の上部平坦面136で少なくとも部分的に露出されるように、上部平坦面136が基板106に近づけられることができる。組み合わされた半導体デバイスパッケージ100のアセンブリは、続いて図7D～図7Hに示されたステップを含み得る。

30

【0070】

当業者は、その広範な発明概念から逸脱することなく、上に示し、説明した例示的な実施形態に変更が加えられることができることを理解されたい。したがって、本発明は、図示され説明された例示的な実施形態に限定されないが、特許請求の範囲によって定義される本発明の趣旨及び範囲内の修正を網羅することが意図されることが理解される。例えば、例示的な実施形態の特定の特徴は、特許請求される発明の一部である場合もそうでない場合もあり、開示された実施形態の様々な特徴が組み合わせられることができる。「右」、「左」、「下方」、及び「上方」という語は、参照がなされる図面内での方向を示す。本明細書に具体的に記載されない限り、「a」、「an」、及び「the」という用語は、1つの要素に限定されず、代わりに「少なくとも1つ」を意味するものとして読み取られるべきである。

40

【0071】

本発明の図面及び説明の少なくともいくつかは、本発明の明確な理解に関連する要素に焦点を合わせるために簡略化されており、同時に、明確化のために省略されている当業

50

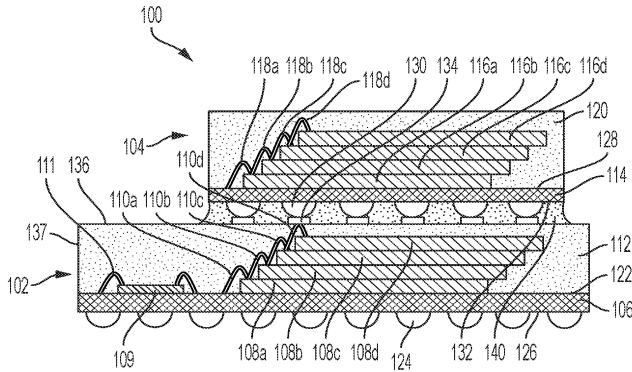
者が理解する他の要素も本発明の一部を含み得ることを理解されたい。しかしながら、そのような要素は当技術分野で周知であり、必ずしも本発明のよりよい理解を容易にするものではないため、そのような要素の説明は本明細書では提供されない。

【 0 0 7 2 】

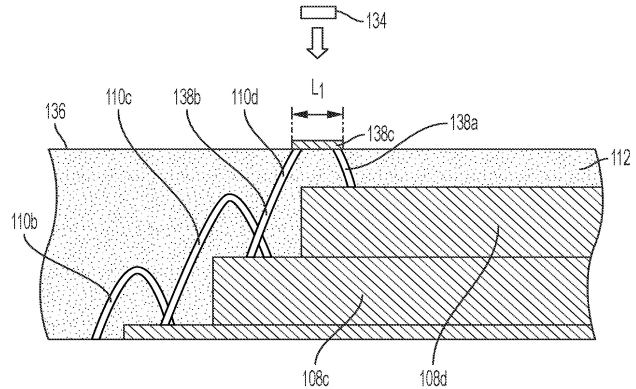
更に、本発明の方法が本明細書に記載のステップの特定の順序に依存しない限り、ステップの特定の順序は、特許請求の範囲に限定されるものとして解釈されるべきではない。本発明の方法に関する任意の特許請求の範囲は、書面によるそれらのステップの性能に限定されるべきではなく、当業者は、ステップが変更され得、また本発明の趣旨及び範囲内にあることを容易に理解することができる。

【 図 面 】

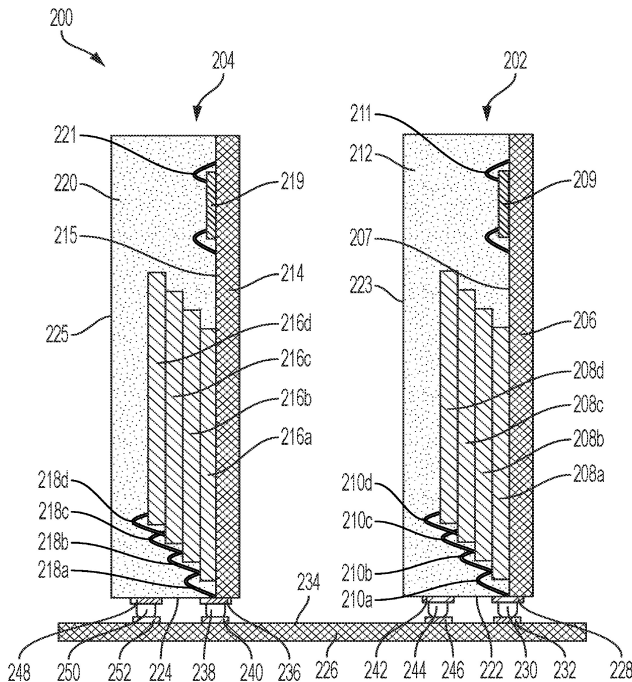
【 図 1 】



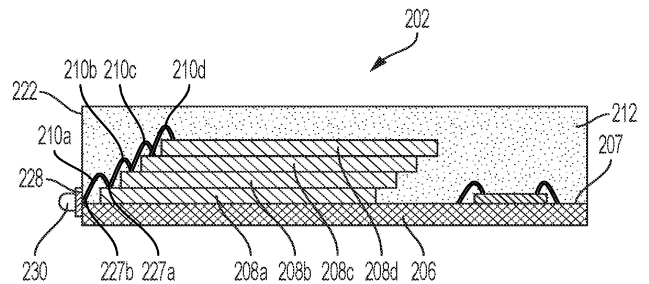
【 図 2 】



【 図 3 】



【 図 4 】



10

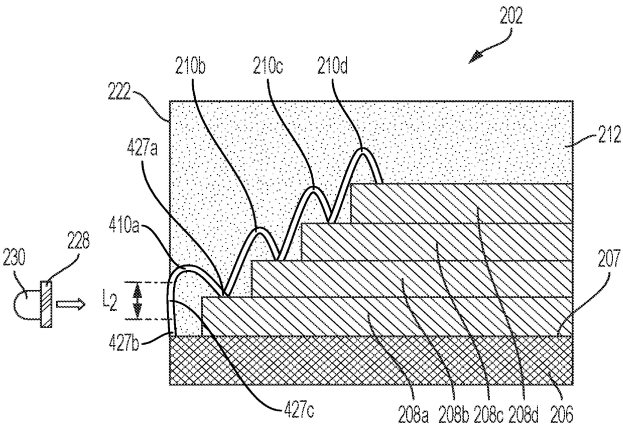
20

30

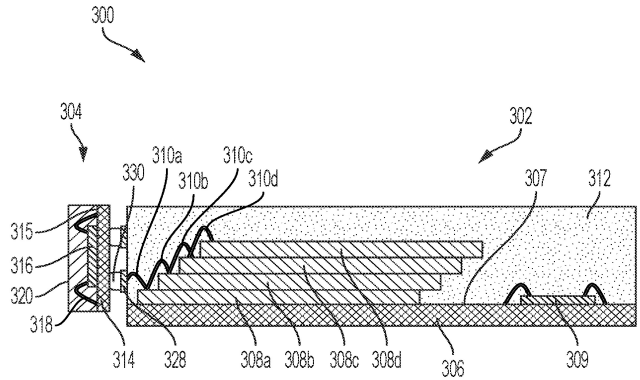
40

50

【図 5】

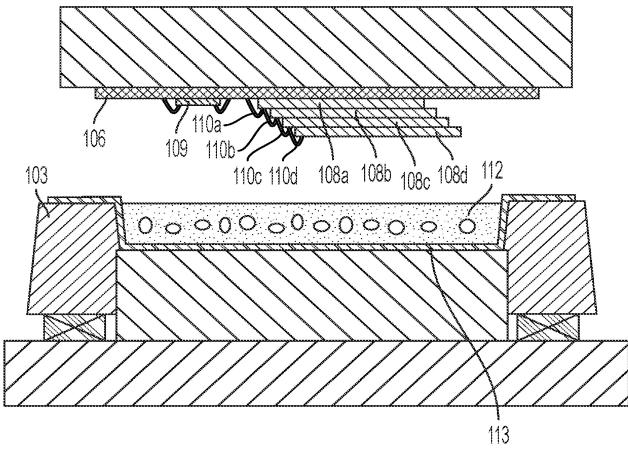


【図 6】

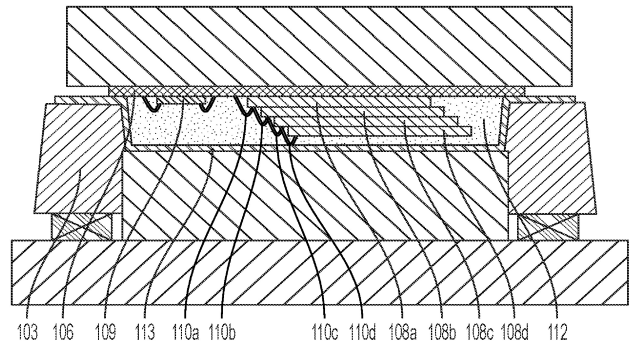


10

【図 7 A】

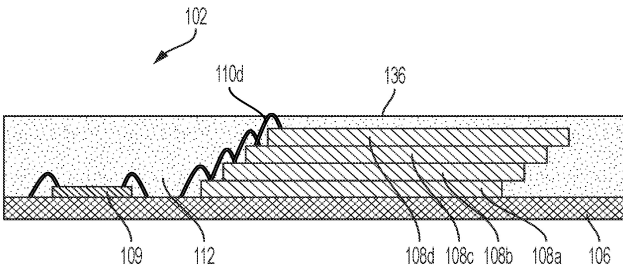


【図 7 B】

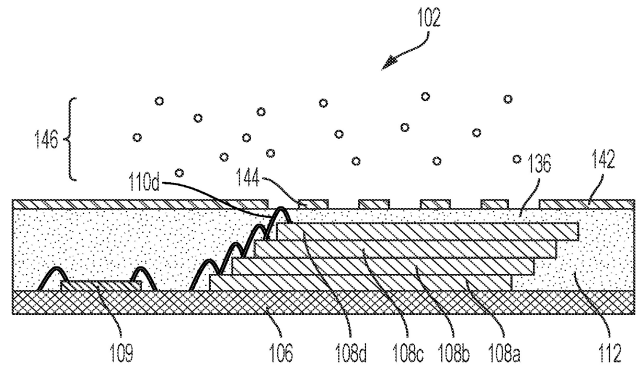


20

【図 7 C】



【図 7 D】

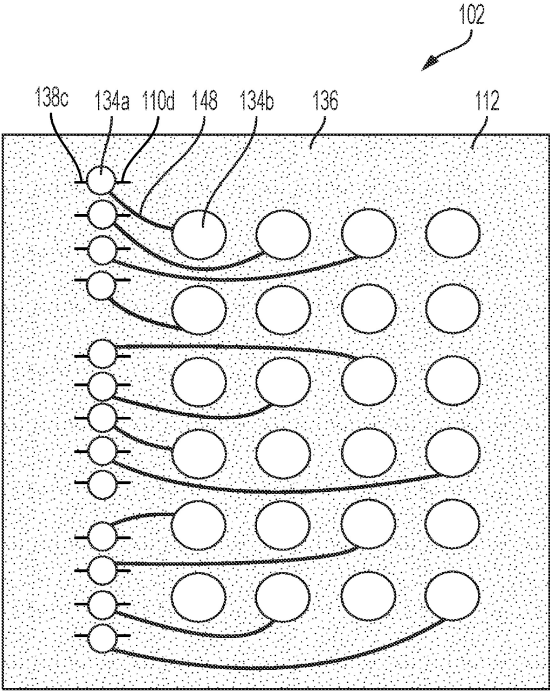


30

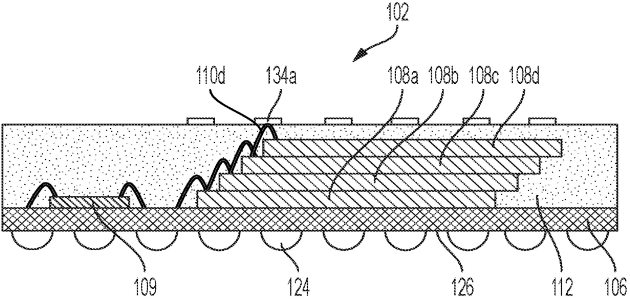
40

50

【図 7 E】



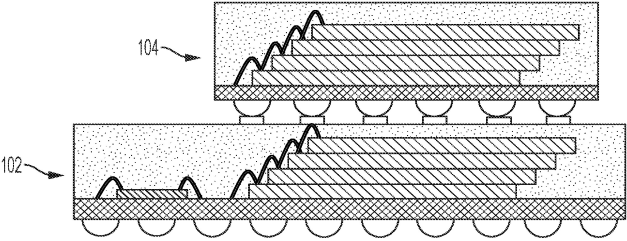
【図 7 F】



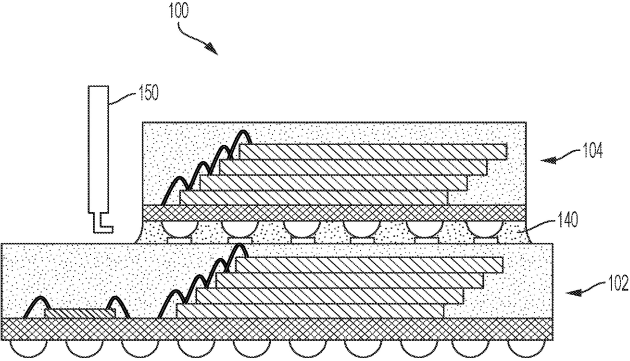
10

20

【図 7 G】



【図 7 H】

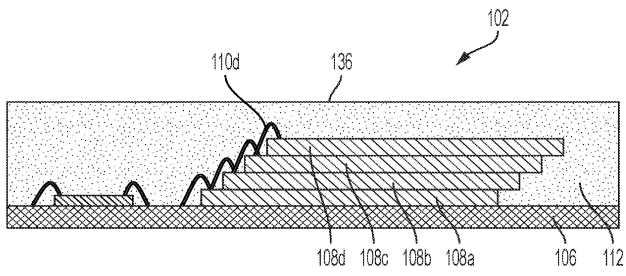


30

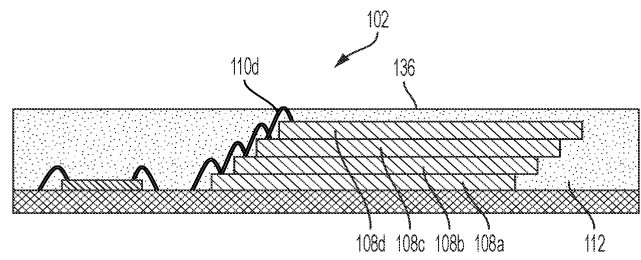
40

50

【図 8 A】



【図 8 B】



10

【外国語明細書】

[2023118033000018.pdf](#)[2023118033000019.pdf](#)[2023118033000020.pdf](#)[2023118033000021.pdf](#)

20

30

40

50

フロントページの続き

- アメリカ合衆国 カリフォルニア州 9 5 1 1 9 サン ノゼ, グレート オークス パークウェイ 5
6 0 1, ウェスタン デジタル テクノロジーズ インコーポレーテッド宛
- (72)発明者 ウェイティン・チアン
アメリカ合衆国 カリフォルニア州 9 5 1 1 9 サン ノゼ, グレート オークス パークウェイ 5
6 0 1, ウェスタン デジタル テクノロジーズ インコーポレーテッド宛
- (72)発明者 エリー・チャン
アメリカ合衆国 カリフォルニア州 9 5 1 1 9 サン ノゼ, グレート オークス パークウェイ 5
6 0 1, ウェスタン デジタル テクノロジーズ インコーポレーテッド宛
- (72)発明者 ツォン・チャン
アメリカ合衆国 カリフォルニア州 9 5 1 1 9 サン ノゼ, グレート オークス パークウェイ 5
6 0 1, ウェスタン デジタル テクノロジーズ インコーポレーテッド宛
- (72)発明者 サイモン・トン
アメリカ合衆国 カリフォルニア州 9 5 1 1 9 サン ノゼ, グレート オークス パークウェイ 5
6 0 1, ウェスタン デジタル テクノロジーズ インコーポレーテッド宛
- (72)発明者 ジェリー・タン
アメリカ合衆国 カリフォルニア州 9 5 1 1 9 サン ノゼ, グレート オークス パークウェイ 5
6 0 1, ウェスタン デジタル テクノロジーズ インコーポレーテッド宛
- (72)発明者 ロージー・チャオ
アメリカ合衆国 カリフォルニア州 9 5 1 1 9 サン ノゼ, グレート オークス パークウェイ 5
6 0 1, ウェスタン デジタル テクノロジーズ インコーポレーテッド宛
- F ターム (参考) 5F044 AA07 AA12