



(19)中華民國智慧財產局

(12)新型說明書公告本

(11)證書號數：TW M659114 U

(45)公告日：中華民國 113 (2024) 年 08 月 11 日

(21)申請案號：113200778

(22)申請日：中華民國 113 (2024) 年 01 月 22 日

(51)Int. Cl. : H01L21/60 (2006.01)

H01L21/56 (2006.01)

(71)申請人：威盛電子股份有限公司(中華民國) VIA TECHNOLOGIES, INC. (TW)

新北市新店區中正路 533 號 8 樓

(72)新型創作人：徐業奇 HSU, YEH-CHI (TW)

(74)代理人：葉璟宗；卓俊傑

(NOTE)備註：相同的創作已於同日申請發明專利(Another patent application for invention in respect of the same creation has been filed on the same date)

申請專利範圍項數：9 項 圖式數：8 共 41 頁

(54)名稱

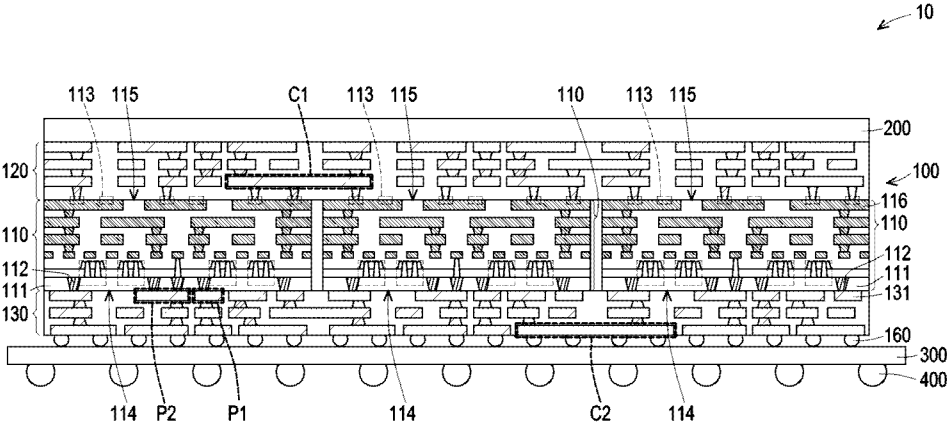
電子封裝體

(57)摘要

一種電子封裝體包括一次封裝體。次封裝體包括多個晶片、一第一重佈線路結構以及一第二重佈線路結構。這些晶片排列在一平面上。這些晶片的每一個具有一晶片基板、多個埋入電源軌道及多個晶片接墊。晶片基板構成對應的晶片的背面。這些埋入電源軌道穿設於晶片基板，且這些晶片接墊配置在對應的晶片的主動面上。第一重佈線路結構配置在這些晶片的主動面上並電性連接這些晶片接墊。第二重佈線路結構配置在這些晶片的背面並連接這些埋入電源軌道。這些晶片的這些埋入電源軌道經由第二重佈線路結構電性連接外界電源。

An electronic package includes a sub-package. The sub-package includes a plurality of chips, a first redistribution wiring structure and a second redistribution wiring structure. The plurality of chips arranged on a plane. Each of the plurality of chips includes a chip substrate, a plurality of buried power rails and a plurality of chip pads. The chip substrate forms the corresponding back surface of the chip. The plurality of buried power rails are through the chip substrate, and the plurality of chip pads disposed on the corresponding active surface of the plurality of chips. The first redistribution wiring structure disposed on the active surface of the plurality of chips and electrically connected to the plurality of chip pads. The second redistribution wiring structure disposed on the back surface of the plurality of chips and connected with the plurality of buried power rails. The plurality of buried power rails of the plurality of chips electrically connected to the external power supply through the second redistribution wiring structure.

指定代表圖：



【圖2】

符號簡單說明：

- 10:電子封裝體
- 100:次封裝體
- 110:晶片
- 111:晶片基板
- 112:埋入電源軌道
- 113:晶片接墊
- 114:背面
- 115:主動面
- 116:金屬內連線
- 120:第一重佈線路結構
- 130:第二重佈線路結構
- 131:電源面
- 160:導電凸塊
- 200:支撐載板
- 300:線路載板
- 400:導電球
- C1、C2、P1、P2:區域



M659114

【新型摘要】

【中文新型名稱】電子封裝體

【英文新型名稱】ELECTRONIC PACKAGE

【中文】

一種電子封裝體包括一次封裝體。次封裝體包括多個晶片、一第一重佈線路結構以及一第二重佈線路結構。這些晶片排列在一平面上。這些晶片的每一個具有一晶片基板、多個埋入電源軌道及多個晶片接墊。晶片基板構成對應的晶片的背面。這些埋入電源軌道穿設於晶片基板，且這些晶片接墊配置在對應的晶片的主動面上。第一重佈線路結構配置在這些晶片的主動面上並電性連接這些晶片接墊。第二重佈線路結構配置在這些晶片的背面並連接這些埋入電源軌道。這些晶片的這些埋入電源軌道經由第二重佈線路結構電性連接外界電源。

【英文】

An electronic package includes a sub-package. The sub-package includes a plurality of chips, a first redistribution wiring structure and a second redistribution wiring structure. The plurality of chips arranged on a plane. Each of the plurality of chips includes a chip substrate, a plurality of buried power rails and a plurality of chip pads. The chip substrate forms the corresponding

back surface of the chip. The plurality of buried power rails are through the chip substrate, and the plurality of chip pads disposed on the corresponding active surface of the plurality of chips. The first redistribution wiring structure disposed on the active surface of the plurality of chips and electrically connected to the plurality of chip pads. The second redistribution wiring structure disposed on the back surface of the plurality of chips and connected with the plurality of buried power rails. The plurality of buried power rails of the plurality of chips electrically connected to the external power supply through the second redistribution wiring structure.

【指定代表圖】圖2。

【代表圖之符號簡單說明】

10:電子封裝體

100:次封裝體

110:晶片

111:晶片基板

112:埋入電源軌道

113:晶片接墊

114:背面

115:主動面

116:金屬內連線

120:第一重佈線路結構

第2頁，共3頁(新型摘要)

130:第二重佈線路結構

131:電源面

160:導電凸塊

200:支撐載板

300:線路載板

400:導電球

C1、C2、P1、P2:區域

【新型說明書】

【中文新型名稱】 電子封裝體

【英文新型名稱】 ELECTRONIC PACKAGE

【技術領域】

【0001】 本新型創作是有關於一種電子零件，且特別是有關於一種電子封裝體。

【先前技術】

【0002】 目前晶片的電源(power)可由晶片的主動面或背面提供。當電源由晶片的主動面提供時，傳送電源的電源線會需要經過信號層，使得電源的路徑過長而增加耗能。另外，當電源由晶片的背面提供時，需要在晶片的背面製作高深寬比的奈米矽穿孔(Nano-Through-Silicon Via, nano-TSV)以連接晶片背面的埋入電源軌(Buried Power Rail)以及電源線。然而，奈米矽穿孔的孔徑大於埋入電源軌的孔徑，使得埋入電源軌與奈米矽穿孔連接不完全，導致電源線的阻坑增加，進而增加晶片的耗能。

【新型內容】

【0003】 本新型創作提供一種電子封裝體，用以降低耗能。

【0004】 本新型創作的一實施例的一種電子封裝體包括一次封裝體。次封裝體包括多個晶片、一第一重佈線路結構以及一第二重

佈線路結構。這些晶片排列在一平面上。這些晶片的每一個具有一晶片基板、多個埋入電源軌道及多個晶片接墊。晶片基板構成對應的晶片的背面。這些埋入電源軌道穿設於晶片基板，且這些晶片接墊配置在對應的晶片的主動面上。第一重佈線路結構配置在這些晶片的主動面上並電性連接這些晶片接墊。第二重佈線路結構配置在這些晶片的背面並連接這些埋入電源軌道。這些晶片的這些埋入電源軌道經由第二重佈線路結構電性連接外界電源。

【0005】 基於上述，在本新型創作中，將第二重佈線路結構直接與多個晶片的埋入電源軌道連接，使得電子封裝體的多個晶片可以透過第二重佈線路結構直接與外接電源連接，如此將有助於增加晶片的效能。另外，將晶片的埋入電源軌道直接與第二重佈線路結構連接，可以省略製作奈米矽穿孔的製程以降低晶片的生產成本。

【圖式簡單說明】

【0006】

圖 1 為本新型創作的一實施例的一種電子封裝體的晶片的示意圖。

圖 2 為本新型創作的一實施例的一種電子封裝體的示意圖。

圖 3 為本新型創作的另一實施例的一種電子封裝體的示意圖。

圖 4 為本新型創作的另一實施例的一種電子封裝體的示意圖。

圖。

圖 5A 至圖 5F 繪示本新型創作的一實施例的電子封裝體之製作方法。

圖 6A 至圖 6I 繪示本新型創作的另一實施例的一種電子封裝體之製作方法。

圖 7A 至圖 7C 繪示圖 5B 至圖 5C 的實施例的數個替換步驟。

圖 8 為本新型創作的一實施例的電源面的局部示意圖。

【實施方式】

【0007】 請同時參考圖 1 和圖 2，在本實施例中，電子封裝體 10 包括一次封裝體 100。次封裝體 100 包括多個晶片 110、一第一重佈線路結構 120 以及一第二重佈線路結構 130。這些晶片 110 排列在一平面上。這些晶片 110 的每一個具有一晶片基板 111、多個埋入電源軌道 112 及多個晶片接墊 113。晶片基板 111 構成對應的晶片 110 的背面 114。這些埋入電源軌道 112 穿設於晶片基板 111，且例如是向頁面內延伸。這些晶片接墊 113 配置在對應的晶片 110 的主動面 115 上。第一重佈線路結構 120 配置在這些晶片 110 的主動面 115 上並電性連接這些晶片接墊 113。第二重佈線路結構 130 配置在這些晶片 110 的背面 114 並連接這些埋入電源軌道 112。這些晶片 110 的這些埋入電源軌道 112 經由第二重佈線路結構 130 電性連接外接電源（未繪示）。

【0008】 這些晶片 110 的每一個更具有一金屬內連線 116 以及多

個電晶體 117。部分的金屬內連線 116 在主動面 115 構成這些晶片接墊 113。這些電晶體 117 設置在晶片基板 111 上。這些電晶體 117 在物理上或是電性上連接金屬內連線 116 以及這些埋入電源軌道 112。具體而言，這些電晶體 117 透過金屬內連線 116 連接第一重佈線路結構 120，且這些電晶體 117 透過這些埋入電源軌道 112 連接第二重佈線路結構 130。在一實施例中，第一重佈線路結構 120 中的部份的導電結構，可以電性上或物理上連接至少二晶片 110，用以傳遞多個晶片 110 之間的訊號，如圖 2 所標示的區域 C1 所示。另外，在一些實施例中，第二重佈線路結構 130 中的部份的導電結構，可以電性上或物理上連接至少二晶片 110，用以傳遞多個晶片 110 之間的訊號，如圖 2 所標示的區域 C2 所示。換言之，這些晶片 110 之間雖然彼此獨立設置，但是在電性上，可以透過第一重佈線路結構 120 或第二重佈線路結構 130 連接。

【0009】 在本實施例中，第二重佈線路結構 130 更具有多個電源面（power plane）131。這些電源面 131 設置在靠近這些晶片 110 的背面 114 的一端，且這些電源面 131 的每一個直接連接這些埋入電源軌道 112 的至少一個。也就是說，這些電源面 131 的每一個與這些埋入電源軌道 112 連接的數量可以是一個，也可以是一個以上，視需求調整，其例如圖 2 所標示的區域 P1、P2 所示。另外，將電源面 131 直接連接這些埋入電源軌道 112，使得這些晶片 110 的每一個直接透過第二重佈線路結構 130 與外接電源連接，如此可以省略在這些晶片 110 的背面 114 製作高深寬比的奈米矽穿

孔。

【0010】 次封裝體 100 更包括多個導電凸塊 160。這些導電凸塊 160 設置在第二重佈線路結構 130 上且遠離電源面 131 的一端。電子封裝結構 10 更包括一支撐載板 200、一線路載板 300 以及多個導電球 400。支撐載板 200 與第一重佈線路結構 120 彼此疊置。次封裝體 100 藉由這些導電凸塊 160 安裝在線路載板 300 上，並將多個導電球 400 連接至線路載板 300。

【0011】 圖 3 的實施例與圖 2 的實施例大致相同，兩者不同的是，在圖 3 的實施例中，次封裝體 100 更包括一介電層 140。介電層 140 包覆這些晶片 110 並暴露出多個晶片接墊 113 以及多個埋入電源軌道 112，並且介電層 140 填滿相鄰的兩個晶片 110 之間的縫隙。

【0012】 請繼續參考圖 3，在本實施例中，次封裝體 100 更具有多個導電柱 150。這些導電柱 150 貫穿該介電層 140 並連接該第一重佈線路結構 120 及該第二重佈線路結構 130。換句話說，這些晶片 110 設置在這些導電柱 150 之間且被介電層 140 包覆，而第一重佈線路結構 120 透過導電柱 150 與第二線路結構 130 電性連接。類似的，這些晶片 110 之間雖然彼此獨立設置，但第一重佈線路結構 120 中的部份的導電結構，可以電性上或物理上連接至少二晶片 110，用以傳遞多個晶片 110 之間的訊號，如圖 3 所標示的區域 C3 所示。第二重佈線路結構 130 中的部份的導電結構，可以電性上或物理上連接至少二晶片 110，用以傳遞多個晶片 110 之間的訊

號，如圖 3 所標示的區域 C4 所示。

【0013】 圖 4 的實施例與圖 3 的實施例大致相同，兩者不同的是，在圖 4 的實施例中，電子封裝體 10 更包括多個電子元件 500，且這些電子元件 500 可透過多個導電球 600 安裝在第一重佈線路結構 120 上。具體而言，在安裝電子元件 500 於第一重佈線路結構 120 上之前，先將支撐載板 200 移除。也就是說，這些電子元件 500 直接與第一重佈線路結構 120 電性連接。

【0014】 下文請參考圖 5A 至圖 5F 來說明本新型創作的一實施例的一種電子封裝體 10 之製作方法，其可製作出如同圖 2 的實施例的電子封裝體 10。

【0015】 請參考圖 5A 至圖 5B，在一支撐載板 200 上製作一第一重佈線路結構 120，並在第一重佈線路結構 120 上安裝多個晶片 110。這些晶片 110 的主動面 115 連接第一重佈線路結構 120。具體而言，這些晶片 110 具有多個晶片接墊 113。這些晶片接墊 113 設置在主動面 115 上，且這些晶片接墊 113 連接第一重佈線路結構 120。因此，雖然這些晶片 110 在空間上是獨立設置，但是這些晶片 110 可藉由第一重佈線路結構 120 彼此電性連接，使這些晶片 110 之間可以傳遞訊號。

【0016】 在本實施例中，這些晶片 110 的每一個更具有一晶片基板 111 以及多個埋入電源軌道 112。晶片基板 111 構成對應的晶片 110 的背面 114，且這些埋入電源軌道 112 設置於晶片基板 111 內。這些晶片 110 之一可以是中央處理器晶片、邏輯晶片、繪圖處理

晶片、輸出入晶片、記憶體晶片、基頻（base band）晶片、射頻（RF）晶片或特定功能的積體電路晶片。換句話說，這些晶片 110 可包括前述不同功能類型的晶片的組合，使得圖 2 至圖 4 的電子封裝體 10 可用於小晶片（Chiplet）封裝技術，其類似系統封裝（System in a Packaging, SiP）。由於這些晶片 110 可能有不同功用，這些晶片 110 的尺寸可以不同。在一些實施例中，這些晶片 110 可以是中央處理器晶片和邏輯晶片的組合、中央處理器晶片和輸出入晶片的組合、繪圖處理晶片和記憶體晶片的組合、射頻晶片和基頻晶片的組合，也可以是二個相同功用的晶片組合。在一些實施例中，這些晶片 110 可以是二個以上，其視需求而定。

【0017】請參考圖 5C，薄化及平坦化這些晶片 110 的晶片基板 111 以暴露出這些埋入電源軌道 112。在本實施例中，薄化及平坦化可採用化學機械研磨（Chemical-Mechanical Polishing，簡稱 CMP）或乾式/溼式蝕刻（Dry/wet etching）。另一方面，透過此步驟，可以解決在一些情況下，這些晶片 110 其各自厚度不同的問題。

【0018】請參考圖 5D 至圖 5E，形成一第二重佈線路結構 130 於這些晶片 110 的背面 114。第二重佈線路結構 130 直接連接暴露的這些埋入電源軌道 112。此外，第二重佈線路結構 130 更具有多個電源面（power plane）131。這些電源面 131 設置在靠近這些晶片 110 的背面 114 的一端，且這些電源面 131 的每一個直接連接這些埋入電源軌道 112 的至少一個。也就是說，這些電源面 131 的每一個與這些埋入電源軌道 112 連接的數量可以是一個，也可以是

一個以上，視需求調整。另外，將電源面 131 直接連接這些埋入電源軌道 112，使得這些晶片 110 的每一個直接透過第二重佈線路結構 130 與外接電源連接，如此可以省略在這些晶片 110 的背面 114 製作高深寬比的奈米矽穿孔。最後，在第二重佈線路結構 130 上形成多個導電凸塊 160。至此，完成了次封裝體 100。

【0019】 請參考 5F，將這些導電凸塊 160 連接至一線路載板 300，並將多個導電球 400 連接至線路載板 300。至此，完成了電子封裝體 10。

【0020】 下文將參考圖 6A 至圖 6H 來說明本新型創作的另一實施例的一種電子封裝體 10 之製作方法，其可製作出如同圖 3 的實施例的電子封裝體 10。

【0021】 請參考圖 6A 至圖 6B，在一支撐載板 200 上製作一第一重佈線路結構 120，並在第一重佈線路結構 120 上形成多個導電柱 150。

【0022】 請參考圖 6C，將多個晶片 110 安裝在第一重佈線路結構 120 上。這些晶片 110 的主動面 115 連接第一重佈線路結構 120，並且這些晶片 110 設置在相鄰的兩個導電柱 150 之間。具體而言，這些晶片 110 具有多個晶片接墊 113。這些晶片接墊 113 設置在主動面 115 上，且這些晶片接墊 113 連接第一重佈線路結構 120。因此，雖然這些晶片 110 在空間上是獨立設置，但是這些晶片 110 可藉由第一重佈線路結構 120 彼此電性連接，使這些晶片 110 之間可以傳遞訊號。

【0023】 在本實施例中，這些晶片 110 的每一個更具有一晶片基板 111 以及多個埋入電源軌道 112。晶片基板 111 構成對應的晶片 110 的背面 114，且這些埋入電源軌道 112 設置於晶片基板 111 內。

【0024】 請參考圖 6D，形成一介電層 140 在第一重佈線路結構 120 上。介電層 140 包覆這些晶片 110 及這些導電柱 150，且介電層 140 填滿這些晶片 110 之間的縫隙。

【0025】 請參考圖 6E，薄化及平坦化介電層 140，以暴露出這些埋入電源軌道 112 以及這些導電柱 150。在本實施例中，薄化及平坦化可採用化學機械研磨（Chemical-Mechanical Polishing，簡稱 CMP）與乾式/溼式蝕刻（Dry/wet etching）。另一方面，透過此步驟，可以解決在一些情況下，這些晶片 110 其各自厚度不同的問題。

【0026】 請參考圖 6F 至圖 6G，形成一第二重佈線路結構 130 於介電層 140 上。第二重佈線路結構 130 直接連接暴露的這些埋入電源軌道 112 以及這些導電柱 150。此外，第二重佈線路結構 130 更具有多個電源面（power plane）131。這些電源面 131 設置在靠近這些晶片 110 的背面 114 的一端，且這些電源面 131 的每一個直接連接這些埋入電源軌道 112 的至少一個。也就是說，這些電源面 131 的每一個與這些埋入電源軌道 112 連接的數量可以是一個，也可以是一個以上，視需求調整。另外，將電源面 131 直接連接這些埋入電源軌道 112，使得這些晶片 110 的每一個直接透過第二重佈線路結構 130 與外接電源連接，如此可以省略在這些晶

片 110 的背面 114 製作高深寬比的奈米矽穿孔。最後，在第二重佈線路結構 130 上形成多個導電凸塊 160。至此，完成了次封裝體 100。

【0027】 請參考圖 6H，將這些導電凸塊 160 連接至一線路載板 300，並將多個導電球 400 連接至線路載板 300，至此，完成了電子封裝體 10。

【0028】 請參考圖 6I，其可製作出如同圖 4 的實施例的電子封裝體 10。在完成前面圖 6A 至圖 6H 的步驟後，移除支撐載板 200 並安裝多個電子元件 500 於第一重佈線路結構 120 上。這些電子元件 500 可透過多個導電球 600 與第一重佈線路結構 120 電性連接。

【0029】 在另一實施例中，也可以將圖 5B 至 5C 的步驟更改為圖 7A 至圖 7C 的步驟，如下文所述。

【0030】 具體而言，在圖 5A 的步驟之後，請參考圖 7A，在形成第二重佈線路結構 130 於這些晶片 110 的背面 114 的步驟更包括於這些晶片 110 的背面 114 形成一圖案化罩幕 P。

【0031】 請參考圖 7B，移除被圖案化罩幕 P 暴露出的這些晶片 110 的每一個的多個部分，並暴露出這些埋入電源軌道 112。

【0032】 請參考圖 7C，形成多個電源面 131 於暴露的這些埋入電源軌道 112 上。這些電源面 131 的每一個直接連接這些埋入電源軌道 112 的至少一個。在移除被圖案化罩幕 P 暴露出的這些晶片 110 的每一個的多個部分的步驟中，可以使用乾/濕式蝕刻的方式，使沒有被圖案化罩幕 P 遮住的地方被蝕刻至暴露出埋入電源軌道

112。至此，完成將這些埋入電源軌道 112 暴露出這些晶片 110 的背面 114。

【0033】 請參考圖 2 及圖 8，在本實施例中，第二重佈線路結構 130 的這些電源面 131 包括第一電源面 131a 及第二電源面 131b，且第一電源面 131a 與第二電源面 131b 彼此平行。第一電源面 131a 具有多個第一開口 131a1，第二電源面 131b 具有多個第二開口 131b1，且這些第一開口 131a1 與這些第二開口 131b1 彼此不重疊。第二重佈線路結構 130 更包括多個第一重佈導電孔道 132a、多個第二重佈導電孔道 132b 以及多個第三重佈導電孔道 132c。這些第一重佈導電孔道 132a 穿過這些第一開口 131a1 並連接第二電源面 131b，以電性連接這些晶片 110 的這些埋入電源軌道 112。這些第二重佈導電孔道 132b 穿過這些第二開口 131b1 並連接第一電源面 131a，以電性連接這些晶片 110 的這些埋入電源軌道 112。這些第三重佈導電孔道 132c 穿過這些第一開口 131a1 以及這些第二開口 131b1 並連接至第二重佈線路結構 130，也就是說，這些第三重佈導電孔道 132c 沒有連接第一電源面 131a 及第二電源面 131b。具體而言，在本實施例中，這些第一重佈導電孔道 132a 例如是連接這些晶片 110 的電源端（VDD），這些第二重佈導電孔道 132b 例如是連接這些晶片 110 的接地端（VSS），且這些第三重佈導電孔道 132c 例如是連接這些晶片 110 的訊號端（SIG）。由於這些第一重佈導電孔道 132a、這些第二重佈導電孔道 132b 以及這些第三重佈導電孔道 132c 沒有彼此電性連接，可以降低訊號之間的互相干

擾。另外，將這些晶片 110 的這些埋入電源軌道 112 分別直接連接至對應的這些電源面 131（例如：第一電源面 131a 或第二電源面 131b），可以增加這些晶片 110 與第二重佈線路結構 130 電性連接的接觸面積，進而增加電源金屬路徑（Power strip），以提高晶片 110 的效能。

【0034】綜上所述，在本新型創作中，將第二重佈線路結構的電源面直接與多個晶片的埋入電源軌道連接，使得電子封裝體的多個晶片可以透過第二重佈線路結構直接與外接電源連接，如此將有助於降低晶片的電路效率並增加晶片的效能。另外，將晶片的埋入電源軌道直接與第二重佈線路結構連接，可以省略製作奈米矽穿孔的製程以降低晶片的生產成本。

【符號說明】

【0035】

10:電子封裝體

100:次封裝體

110:晶片

111:晶片基板

112:埋入電源軌道

113:晶片接墊

114:背面

115:主動面

116:金屬內連線

117:電晶體

120:第一重佈線路結構

130:第二重佈線路結構

131:電源面

131a:第一電源面

131a1:第一開口

131b:第二電源面

131b1:第二開口

132a:第一重佈導電孔道

132b:第二重佈導電孔道

132c:第三重佈導電孔道

140:介電層

150:導電柱

160:導電凸塊

200:支撐載板

300:線路載板

400、600:導電球

500:電子元件

P:圖案化罩幕

C1、C2、C3、C4、P1、P2:區域

【新型申請專利範圍】

【請求項1】 一種電子封裝體，包括：

一次封裝體，包括：

多個晶片，排列在一平面上，其中該些晶片的每一個具有一晶片基板、多個埋入電源軌道及多個晶片接墊，該晶片基板構成對應的該晶片的背面，該些埋入電源軌道穿設於該晶片基板，且該些晶片接墊配置在對應的該晶片的主動面上；

一第一重佈線路結構，配置在該些晶片的主動面上並電性連接該些晶片接墊；以及

一第二重佈線路結構，配置在該些晶片的背面並連接該些埋入電源軌道，其中該些晶片的該些埋入電源軌道經由該第二重佈線路結構電性連接外界電源。

【請求項2】 如請求項1所述的電子封裝體，其中該第二重佈線路結構具有多個電源面，且該些電源面的每一個直接連接該些埋入電源軌道的至少一個。

【請求項3】 如請求項1所述的電子封裝體，其中該些晶片經由該第一重佈線路結構彼此電性連接。

【請求項4】 如請求項1所述的電子封裝體，其中該次封裝體更包括：

一介電層，包覆該些晶片。

【請求項5】 如請求項4所述的電子封裝體，其中該次封裝體更包括：

多個導電柱，貫穿該介電層並連接該第一重佈線路結構及該第二重佈線路結構。

【請求項6】 如請求項1所述的電子封裝體，更包括：

一支撐載板，與該第一重佈線路結構彼此疊置。

【請求項7】 如請求項1所述的電子封裝體，更包括：

多個電子元件，安裝在該第一重佈線路結構上。

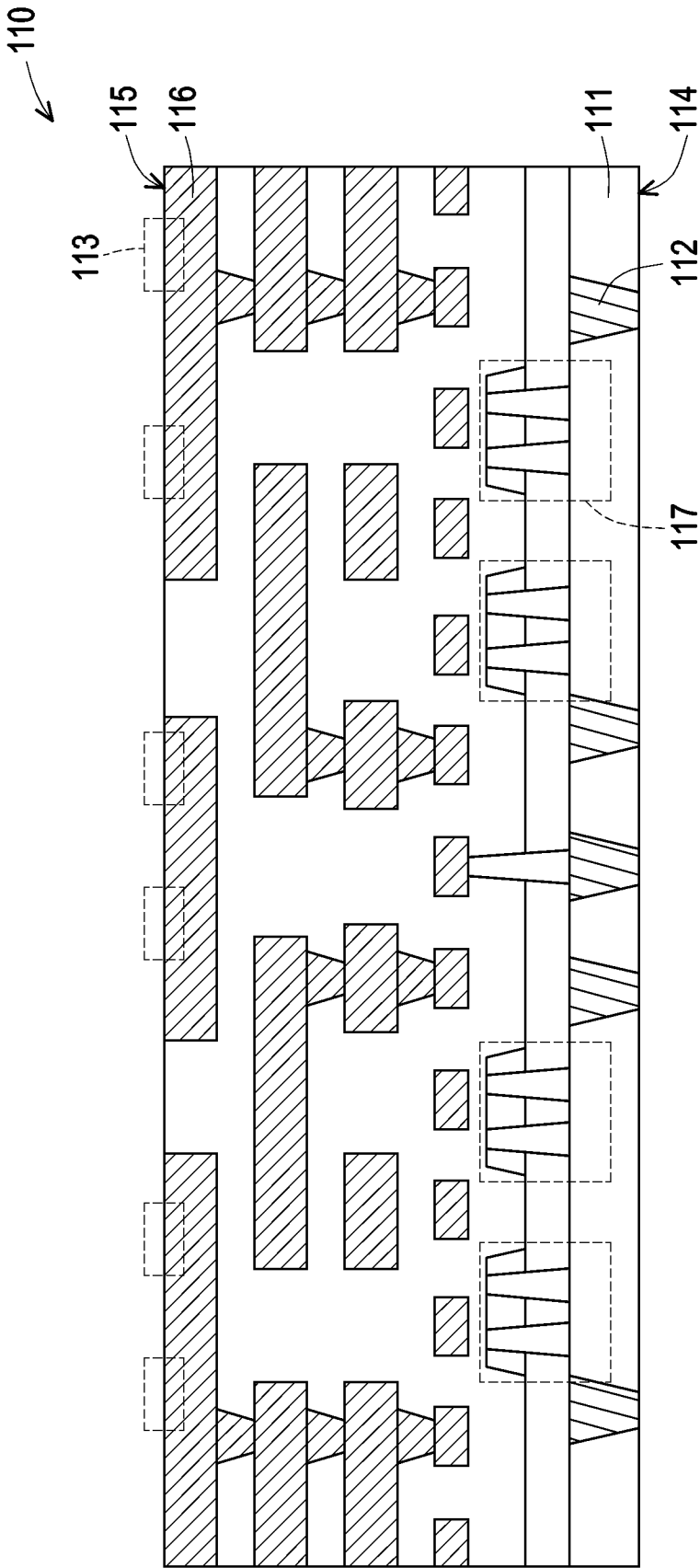
【請求項8】 如請求項1所述的電子封裝體，其中該次封裝體更包括：

多個導電凸塊，配置在該第二重佈線路結構上，以連接外界電源。

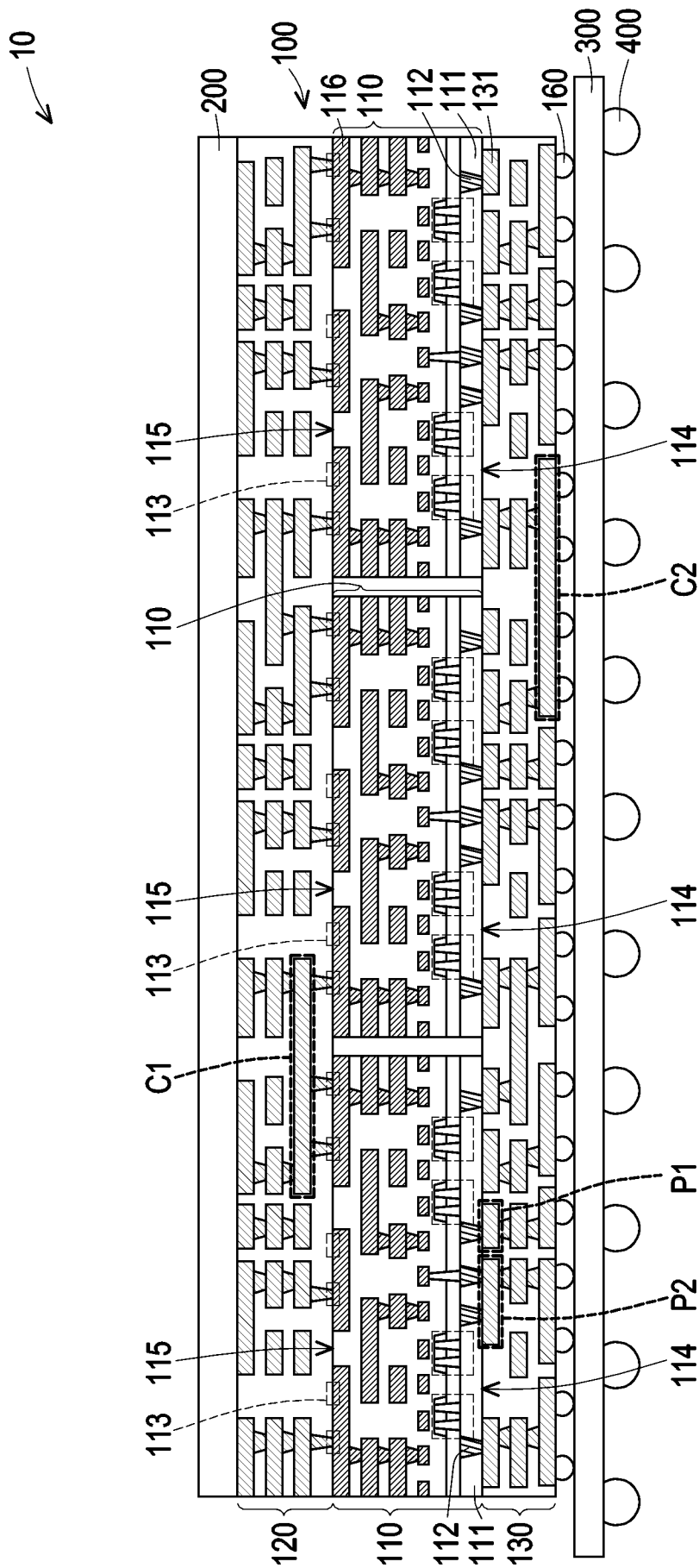
【請求項9】 如請求項1所述的電子封裝體，更包括：

一線路載板，該次封裝體安裝在該線路載板上。

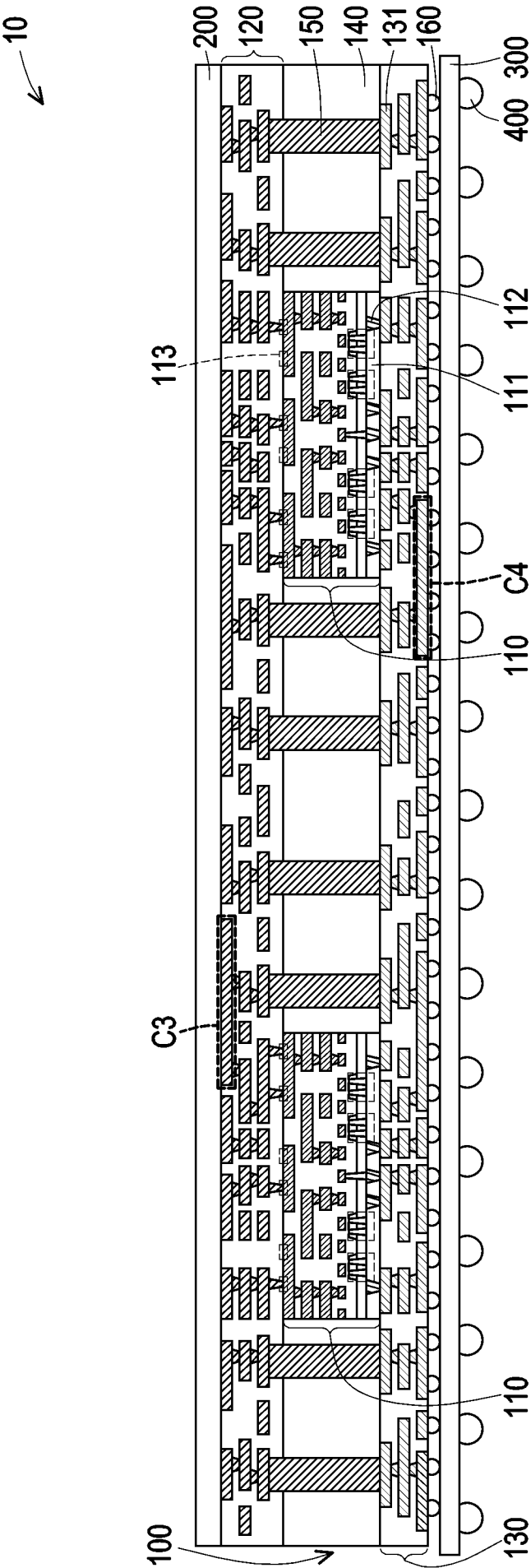
【新型圖式】



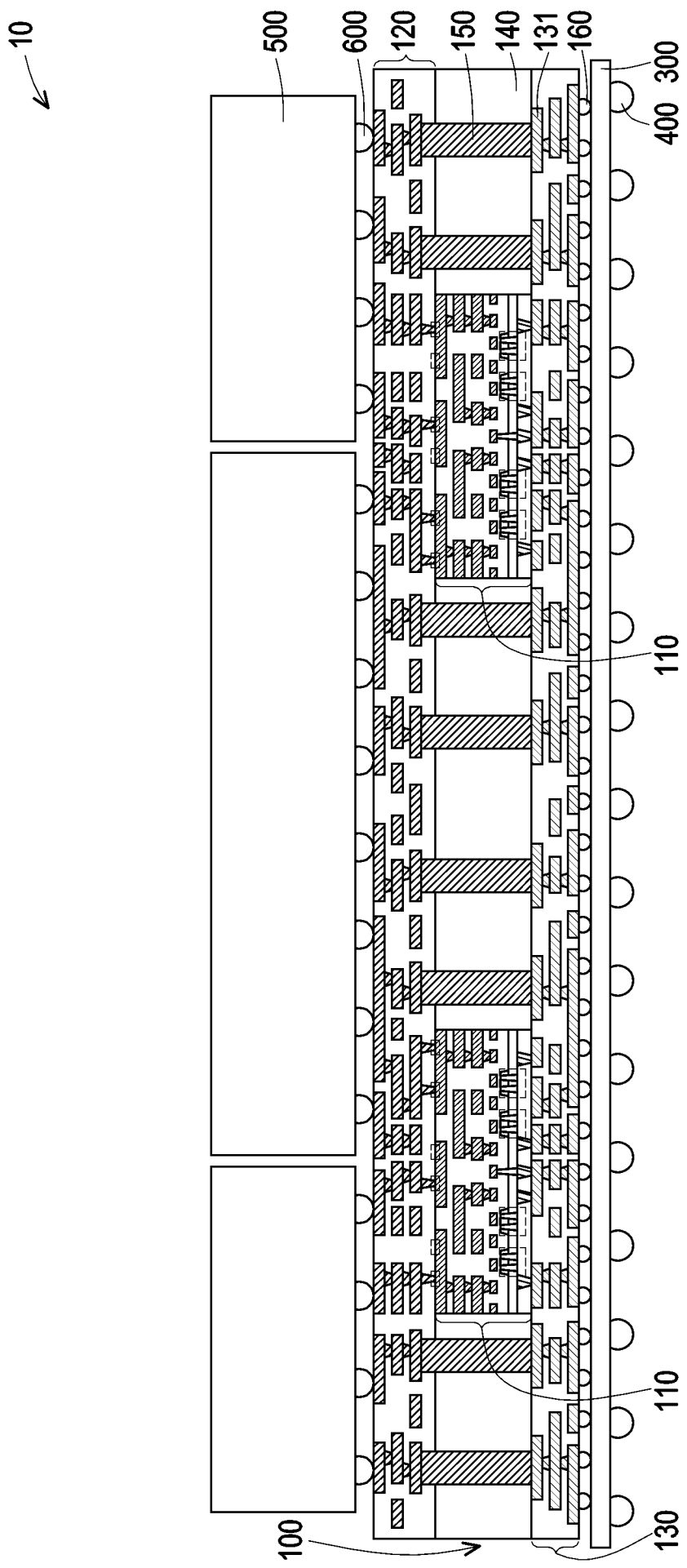
【圖1】



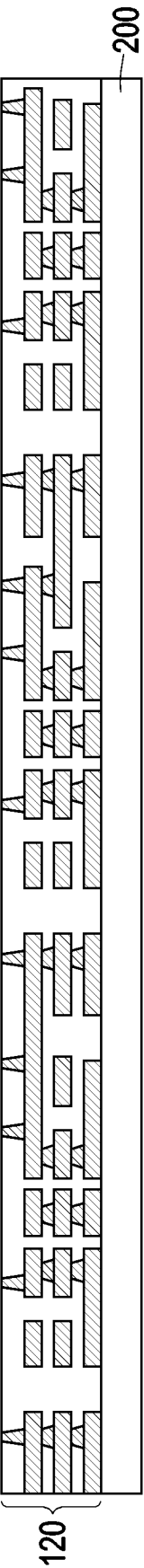
【圖2】



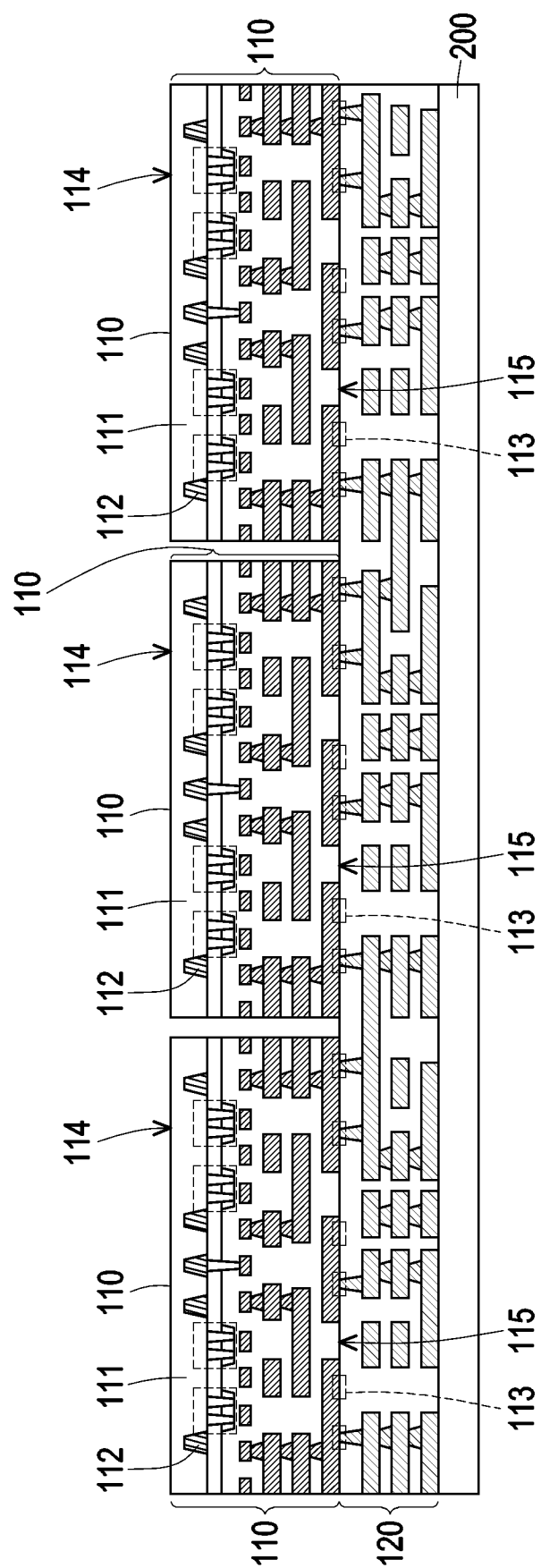
【圖3】



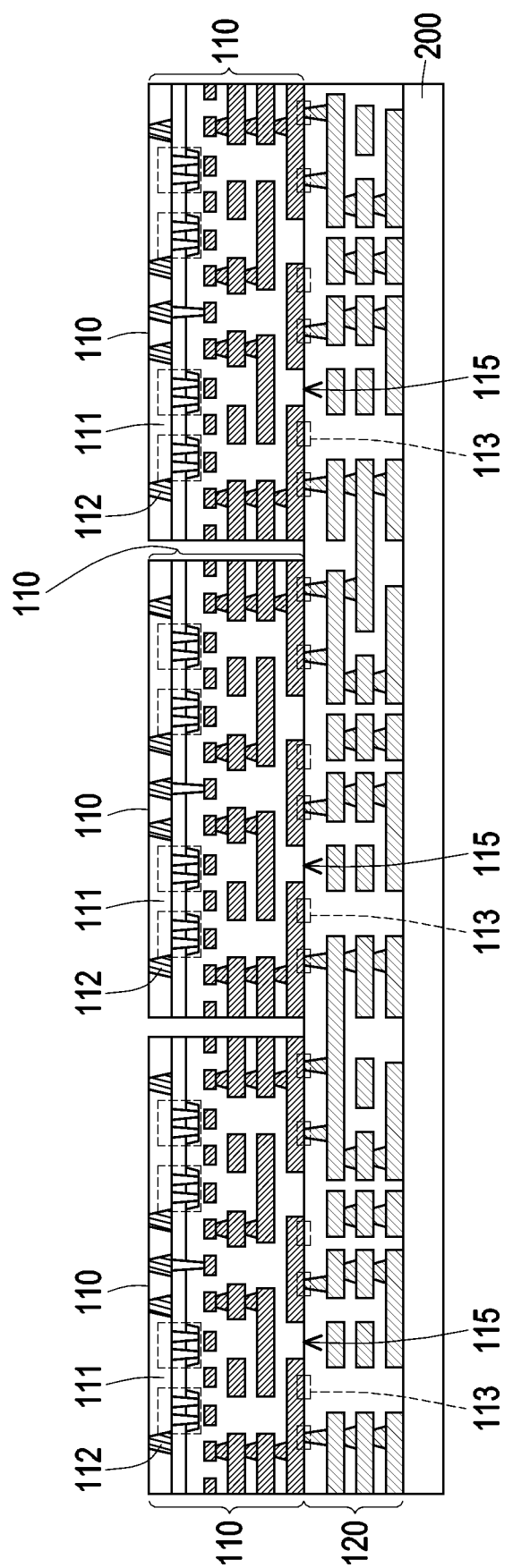
【圖4】



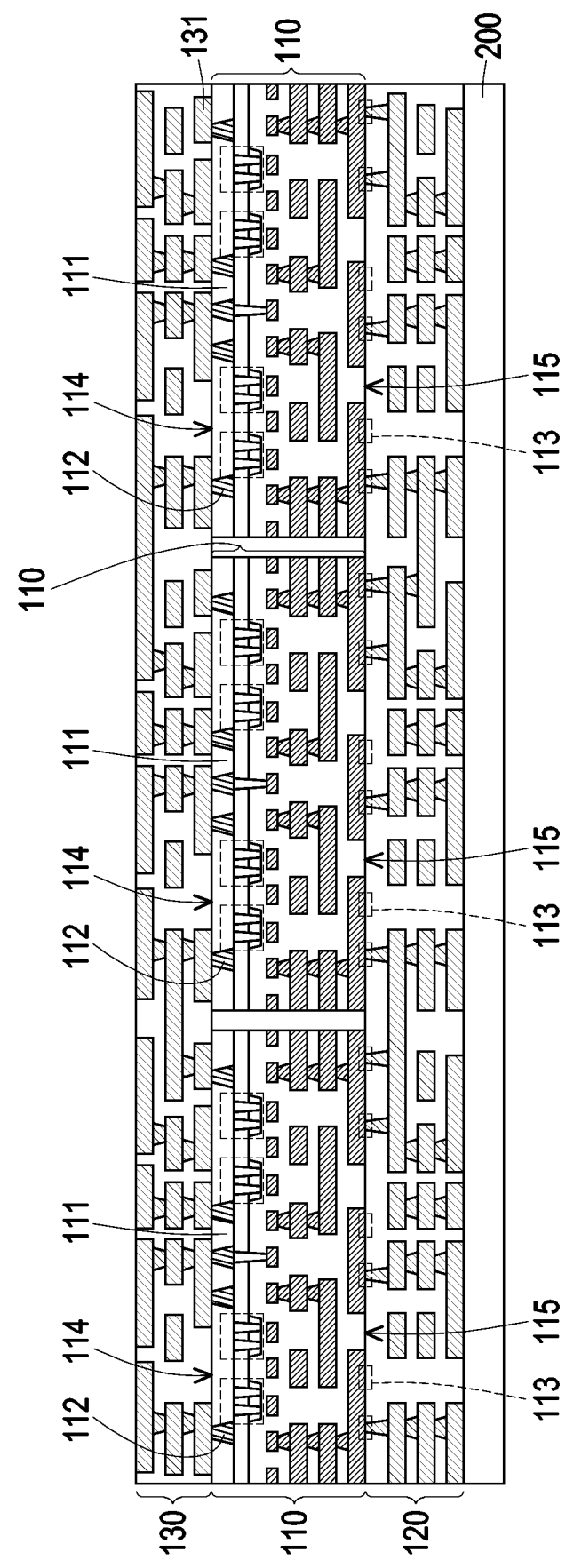
【圖5A】



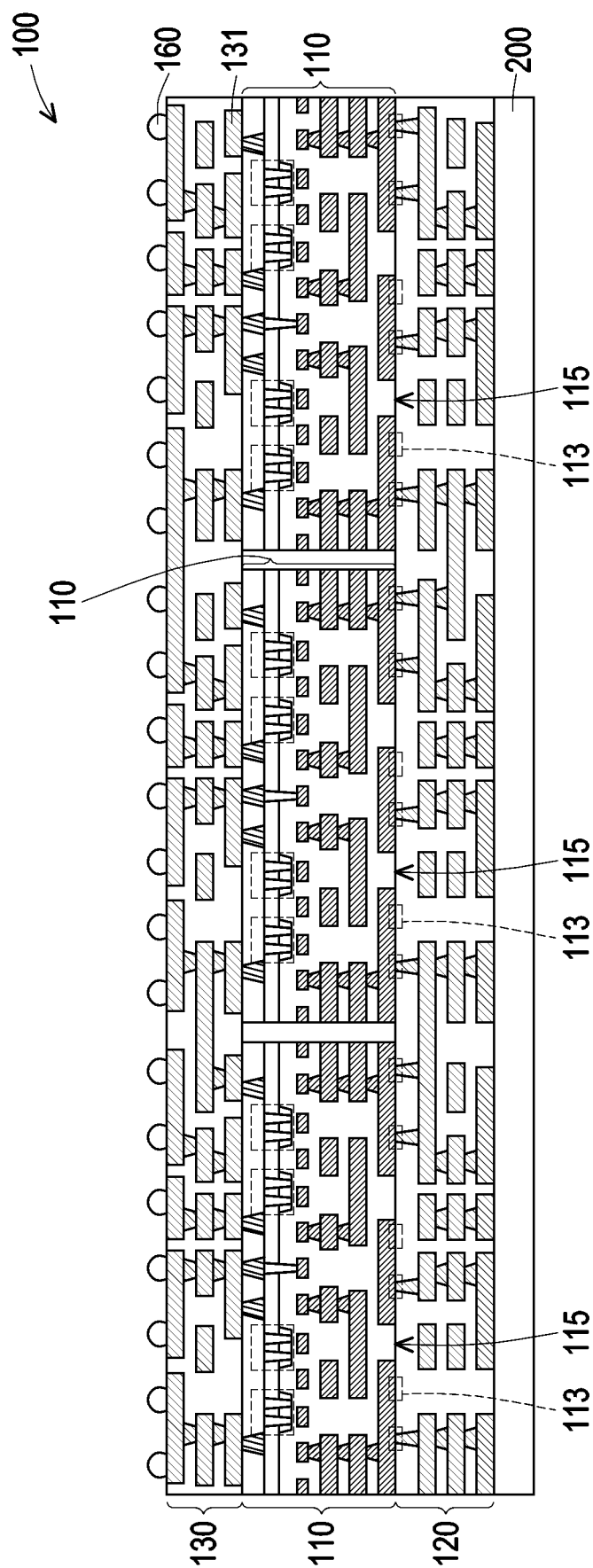
【圖5B】



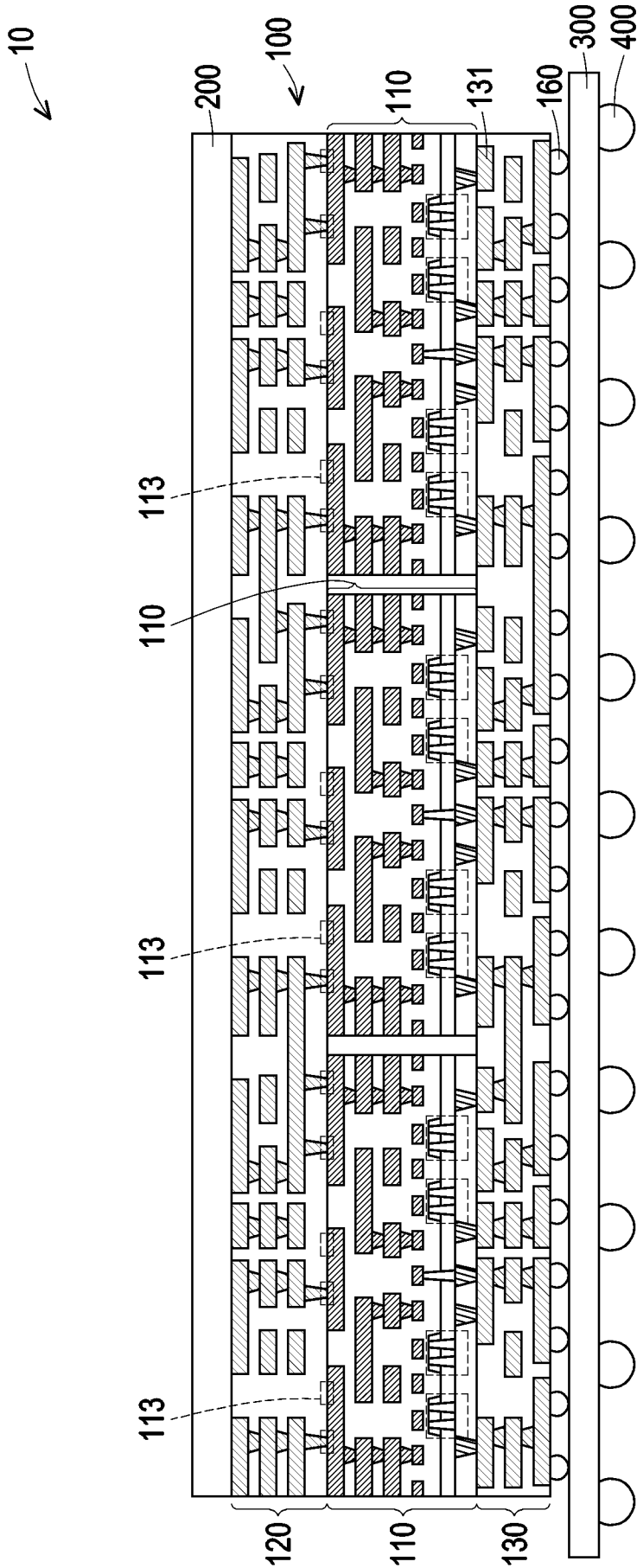
【圖5C】



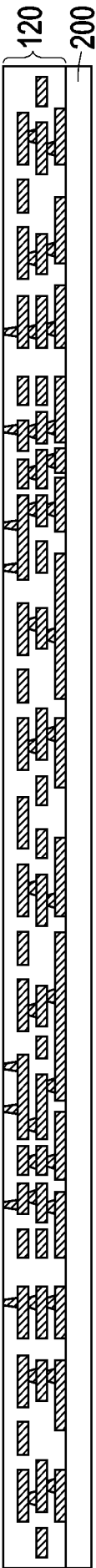
【圖5D】



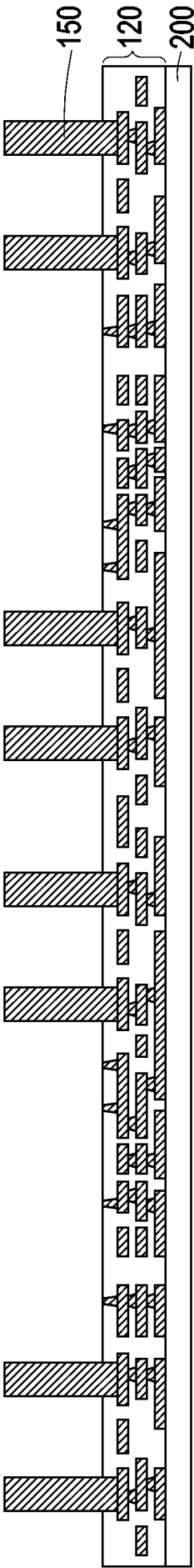
【圖5E】



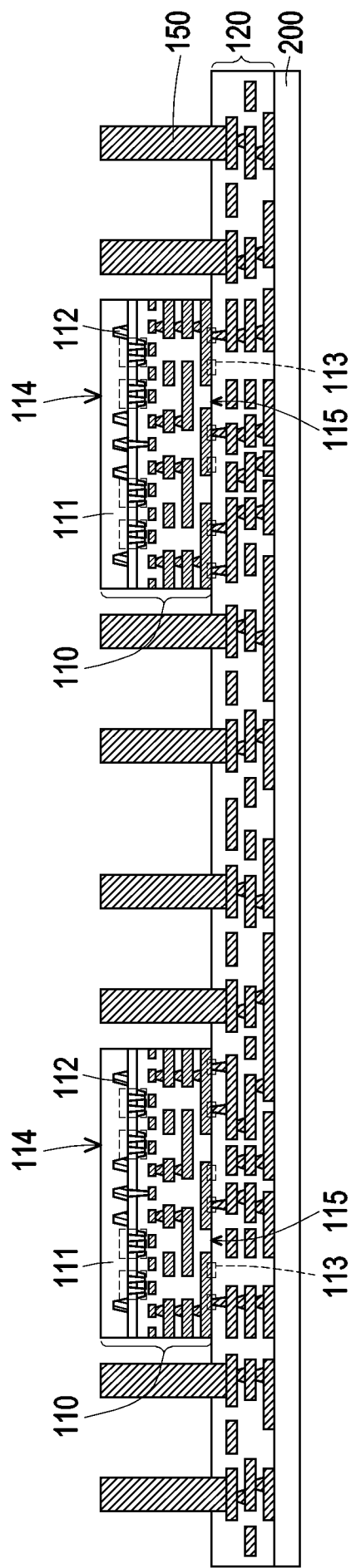
【圖5F】



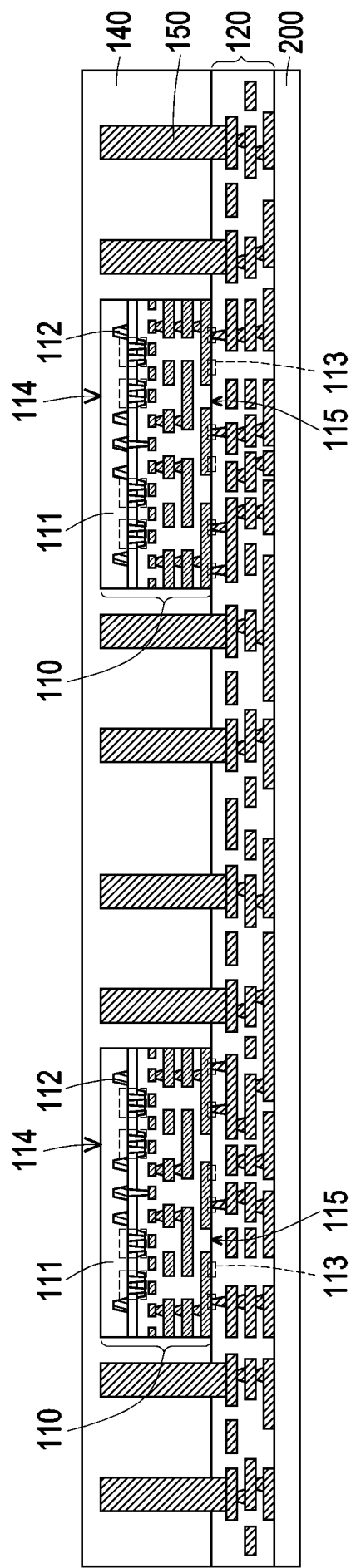
【圖6A】



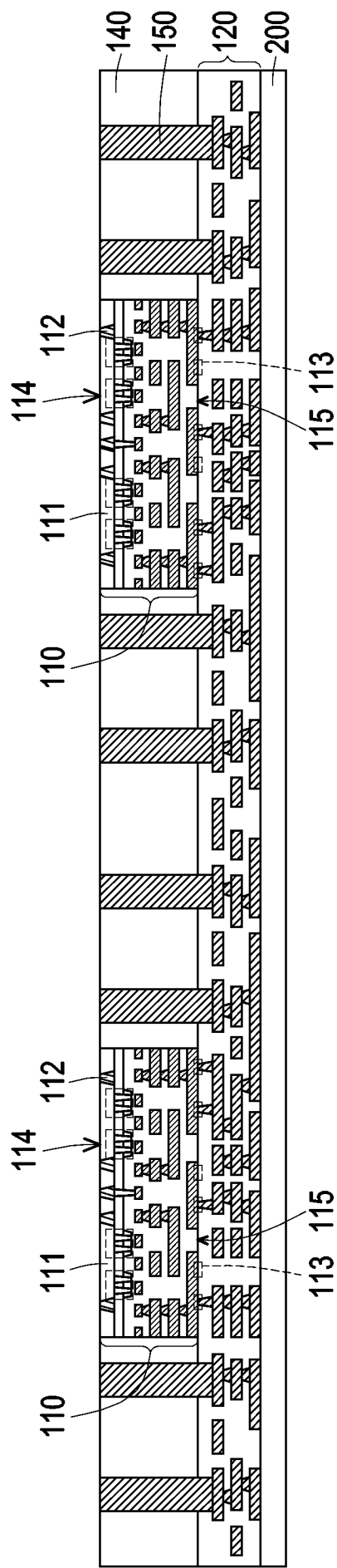
【圖6B】



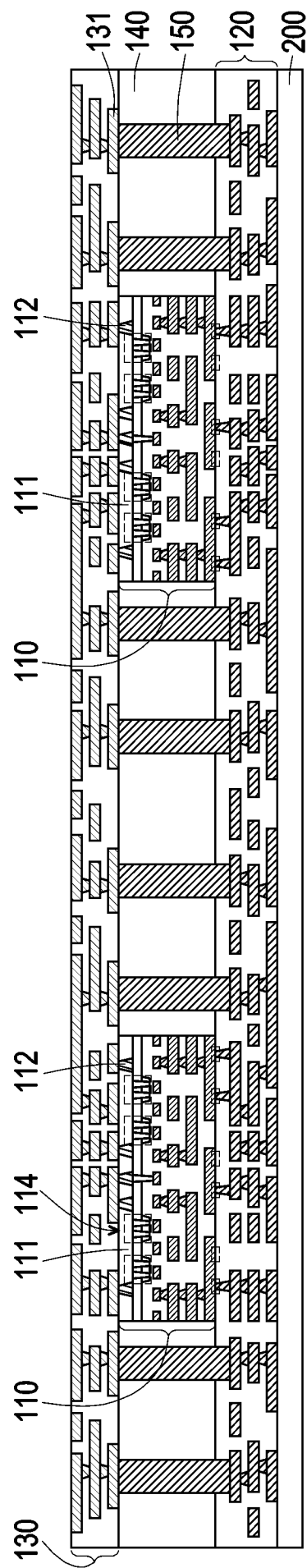
【圖6C】



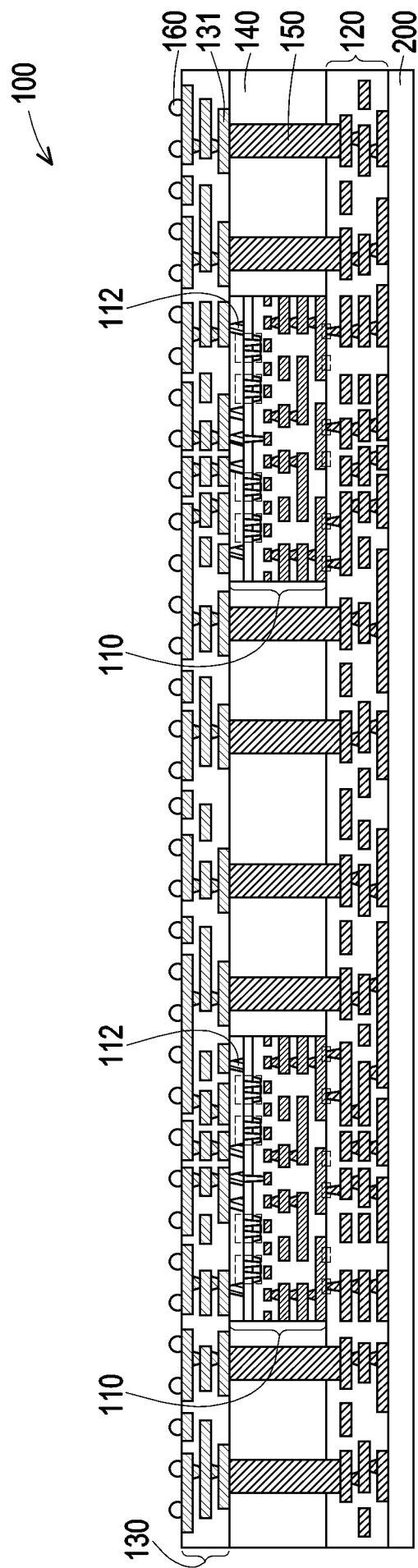
【圖6D】



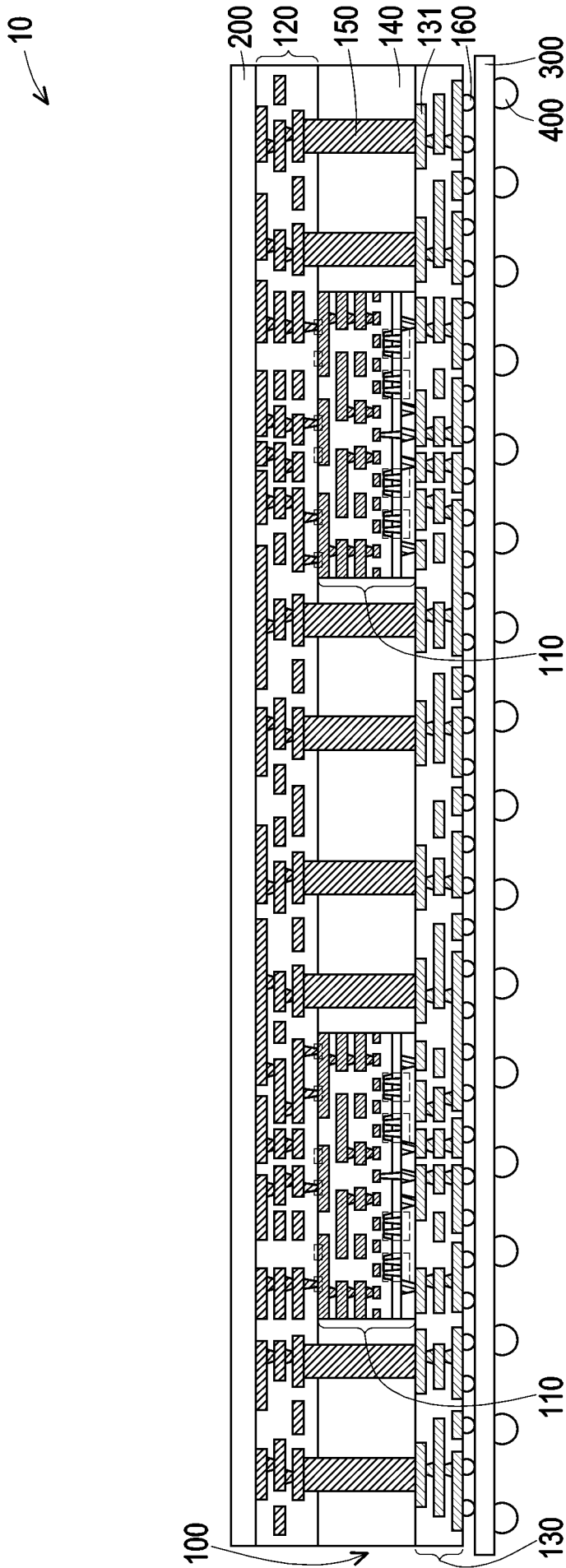
【圖6E】



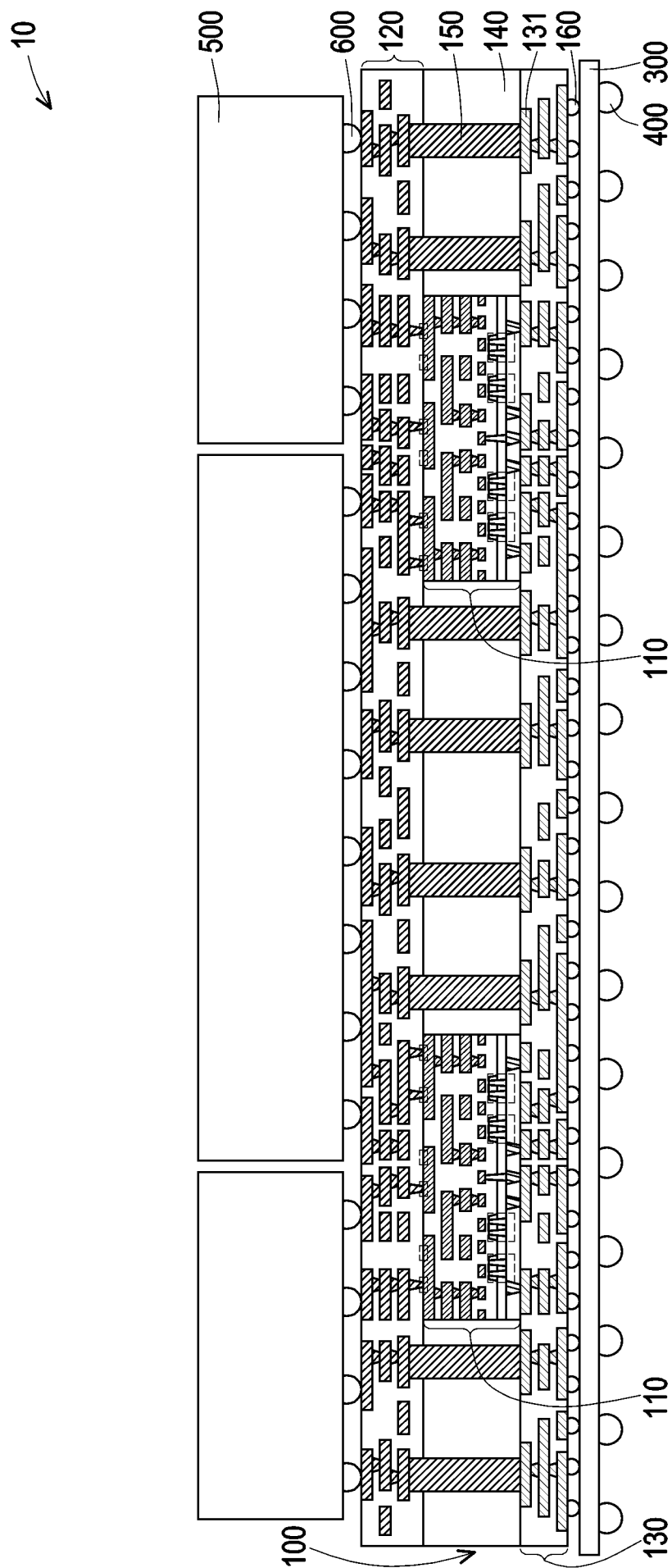
【圖6F】



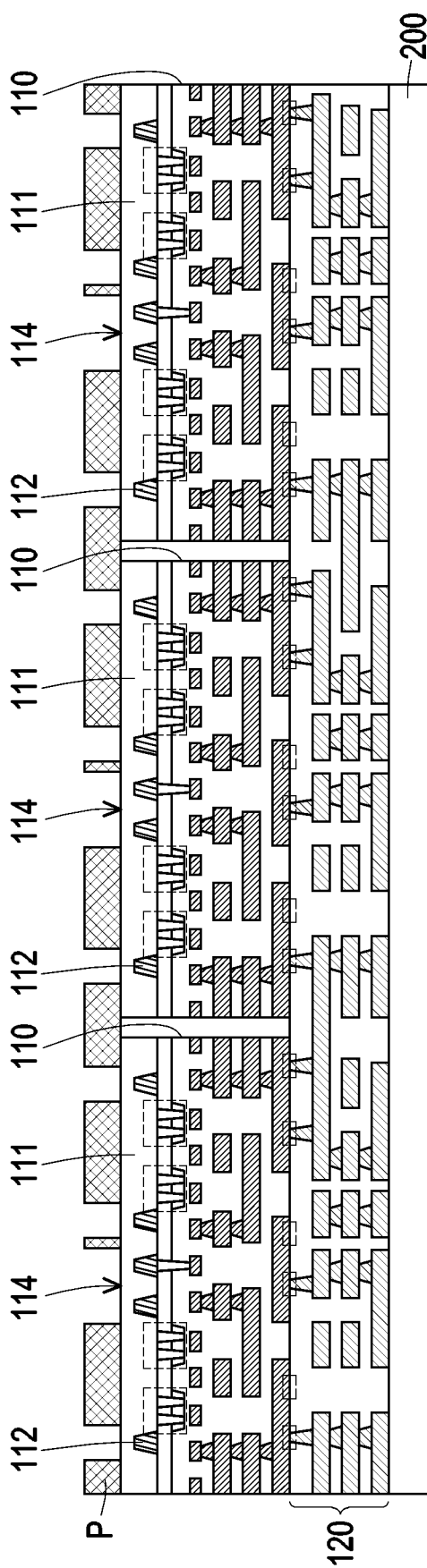
【圖6G】



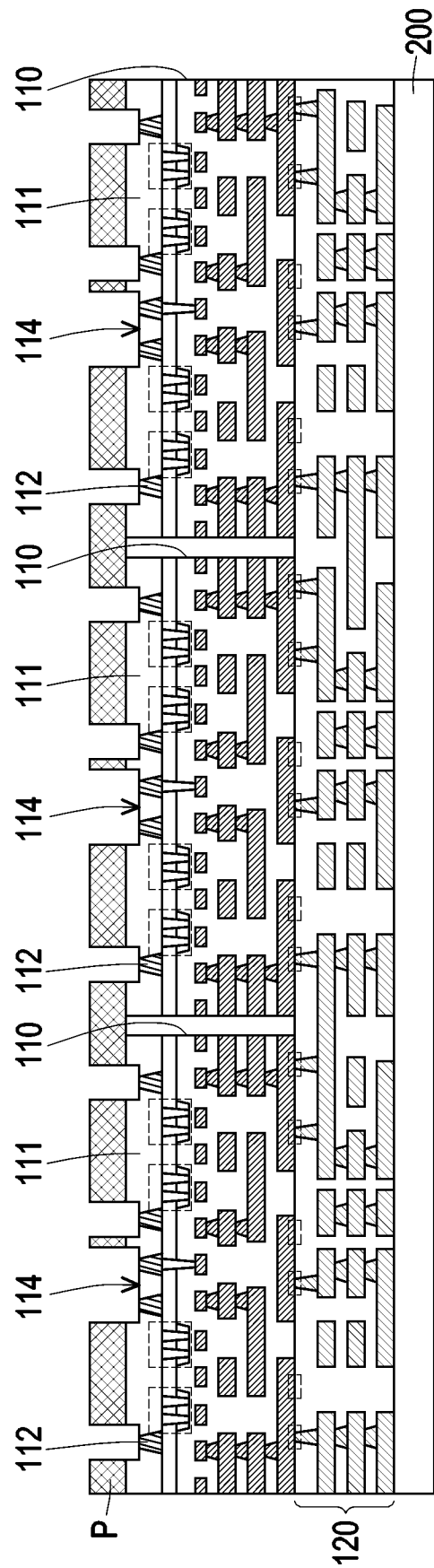
【圖6H】



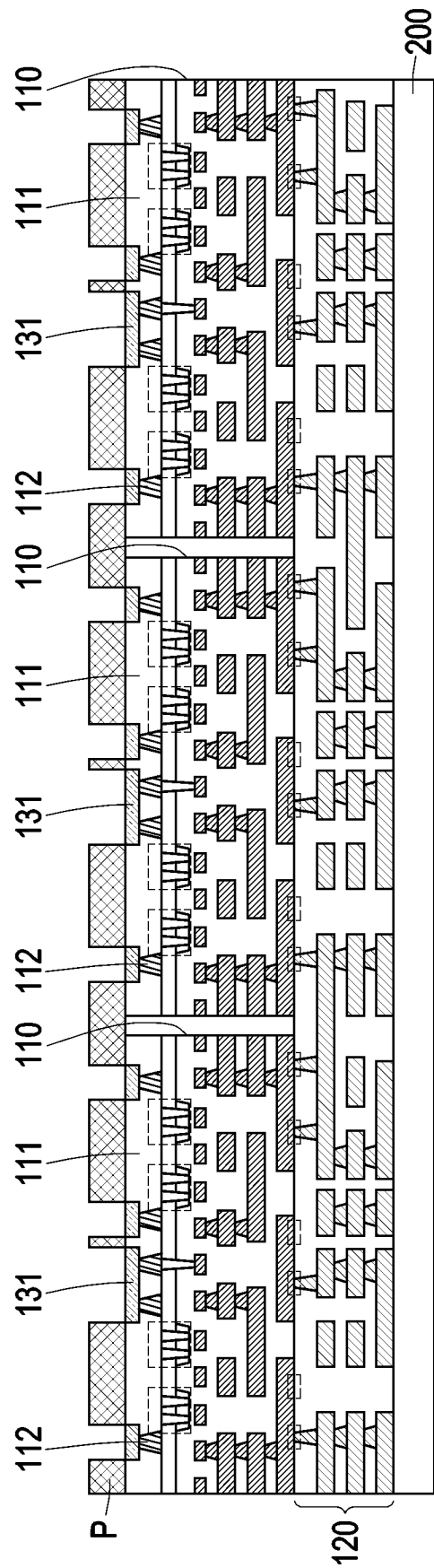
【19回】



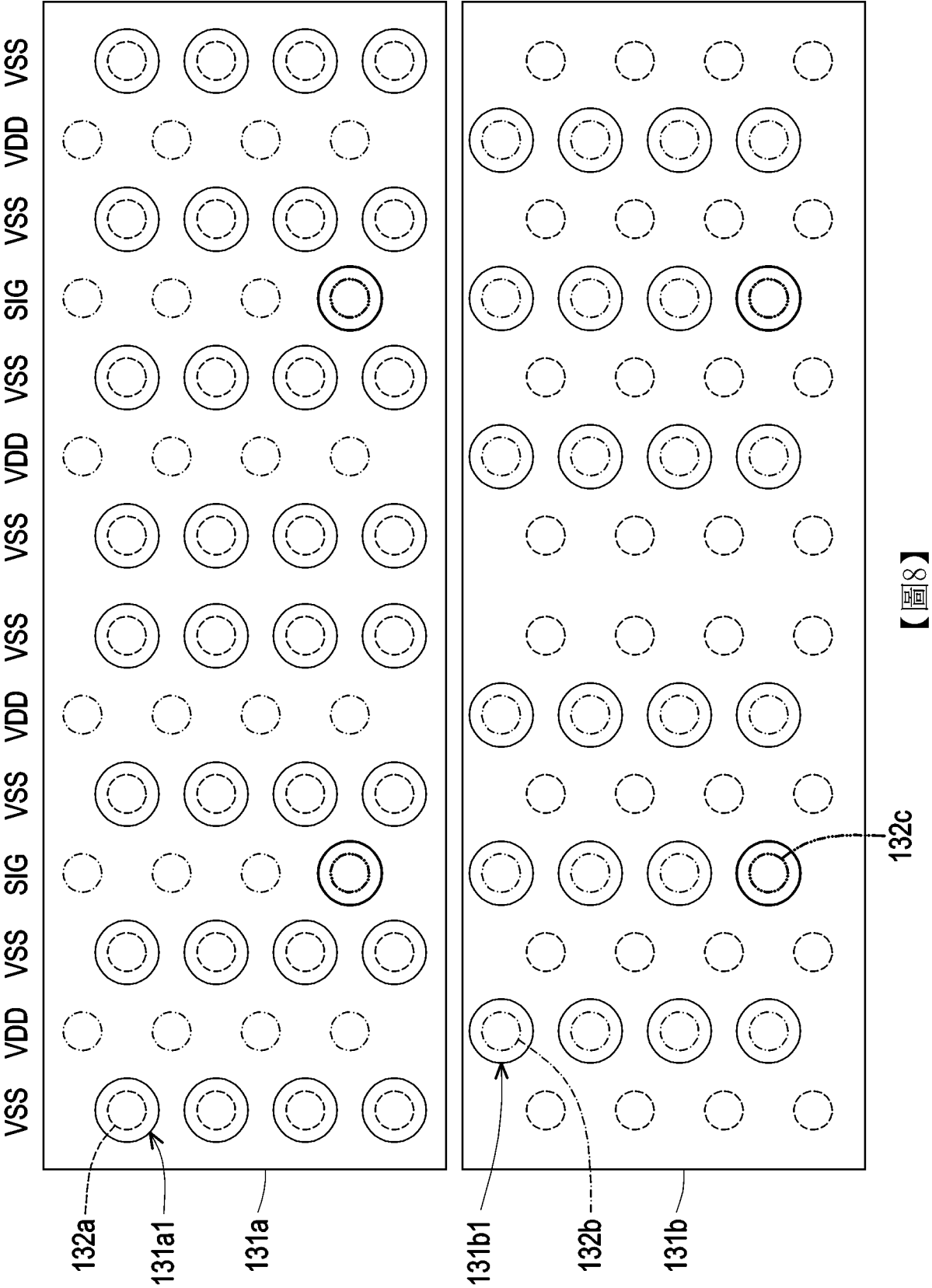
【圖7A】



【圖7B】



【圖7C】



【圖8】