



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K PATENTU

253552

(11)

(B2)

(51) Int. Cl.⁴

H 04 M 3/00.

(22) Přihlášeno 11 10 77
(21) PV 6595-77
(32) (31) (33) Právo přednosti od 13 10 76
(BE-1273) Maďarská lidová republika

(40) Zveřejněno 16 04 87

(45) Vydáno 15 09 88

(72) Autor vynálezu

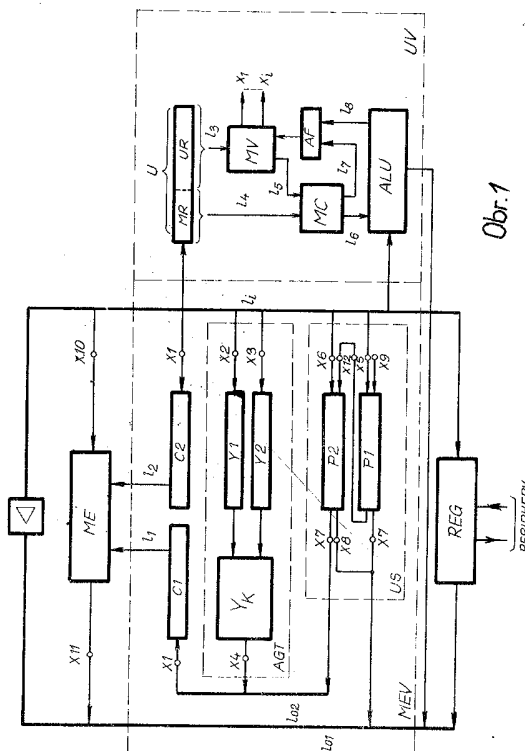
MAKAY ATTILA ing., MOLNÁR PÁL dr. ing.,
HAFFNER JÁNOS ing., BALOGH DEZSŐ ing., BUDAPEST (MLR)

(73) Majitel patentu

BHG HURADÁSTECHNIKAI VÁLLALAT, BUDAPEST (MLR)

(54) Programovatelná řídicí jednotka pro použití v malých a středních
přepínacích soustavách, zejména v telefonních ústřednách

Paměť adresy stránek dat v bloku řízení paměti má první a druhý registr adresy stránek dat, mající vstupy připojené k záznamové sběrnici a výstupy k prvnímu a druhému vstupu spínací jednotky, jejíž výstup je připojen prostřednictvím druhé sběrnice snímání ke vstupu prvního registru adres. Čítač instrukcí má první a druhý registr čítače se vstupy připojenými k záznamové sběrnici s příslušnými výstupy připojenými k první sběrnici snímání. Druhý výstup druhého registru čítače je připojen k druhé sběrnici snímání, druhý vstup prvního registru čítače k devátému povolovému vedení mikroprogramovaného řídicího bloku a druhý vstup druhého registru čítače k druhému výstupu prvního registru čítače. U registru instrukcí je první skupina bitových buněk připojena třetím svazkem vedení adres k mikroprogramovanému řídicímu bloku a druhá skupina bitových buněk je připojena čtvrtým svazkem vedení adres k operační paměti adres.



Vynález se týká programovatelné řídicí jednotky pro použití v malých a středních přepínacích soustavách, zejména v telefonních ústřednách, obsahující paměť programu a dat, blok řízení paměti s prvním a druhým registrem adres, které jsou připojeny prostřednictvím prvního svazku vedení adres, popřípadě druhého svazku vedení adres, k paměti programu a dat, dále čítač instrukcí a paměť adresy stránek dat, jednotku pracovního registru a jednotku provádění instrukcí, opatřenou registrem instrukcí, mikroprogramovaným řídicím blokem, operační pamětí adres, aritmetickou a logickou jednotkou a vnitřní pamětí stavu.

Jsou známy různé typy programovatelných řídicích jednotek pro telefonní ústředny. Z ekonomických důvodů jsou tyto známé řídicí jednotky používány hlavně ve větších spínacích soustavách s několika tisíci účastnickým vedením nebo se zátěží odpovídající takovému počtu vedení. Použití řízení opřené o programy uložené v paměti v menších ústřednách je stále ještě sporná záležitost, v první řadě vlivem vysokých nákladů řízení samotného. Poměrně vysoké náklady jsou důsledkem několika činitelů, z nichž role paměti a zpracovací jednotky bude prodiskutována podrobně.

Programovatelné řídicí jednotky obsahují zpravidla paměť prostředky řízení paměti pro ukládání a přenášení dat pro adresování paměti, jednotku pracovního registru včetně vstupně-výstupního vazebního členu, ukládajícího do paměti vnitřní operační data a vytvářející spojení k vnějším jednotkám, a jednotku provádění instrukce obsahující typický registr instrukcí, řídicí blok většinou mikroprogramovaný, aritmetickou a logickou jednotku a tak dále.

Paměť slouží pro ukládání programů potřebných pro činnost řízené spínací jednotky, dat týkajících se operačních stavů vedení, jiných částí propojovací jednotky a konečně jiných operačních dat. Požadovaná kapacita paměti pro ukládání programu a různých dat je při prvním přiblížení totožná v případě každého většího střediska. U malých spínacích systémů se množství zpracovávaných dat v podstatě snižuje úměrně k rozsahu zprostředkování, ale množství programů definujících řídicí algoritmy se může zmenšit, jen když se sdružené funkce rovněž zjednoduší. Základní funkce v telefonní technice jsou totožné u větších i menších ústředen. Tím je pro spínací jednotky menších rozměrů kapacita paměti určována rozhodujícím způsobem velikostí paměti programu. Ale velikost paměti programu při stanovených algoritmech a programovací schopnosti závisí hlavně na strojově kódovaném programovacím jazyku, který je určen konstrukčním vytvořením zpracovávací jednotky. Racionální konstrukce zpracovávací jednotky může značně zredukovat velikost paměti programu.

Cílem vynálezu je vytvořit v paměti uložené řízení programu pro malé a střední ústředny s ekonomickou účinností, které by mohlo být srovnáno s řízením větších systémů, nebo poskytnout složení řídicí jednotky umožňující použití programů pro realizaci řídicích funkcí požadovaných pro telefonní ústředny s nejmenší možnou potřebou paměti v kombinaci s optimálními požadavky na technické vybavení v řídicí jednotce.

Aby byly nahoře uvedené cíle dosaženy, byly vzaty v úvahu následující skutečnosti.

Konstrukční složení zpracovávací jednotky je racionální, jestliže využívá speciálních vlastností typických struktur dat a programů (algoritmů), charakteristických pro danou oblast aplikace. V případě telefonních ústředen lze seznat následující základní a podstatné rysy v algoritmech a strukturách dat popisujících řídicí funkce:

Řídicí systém celé telefonní ústředny nebo její nezávislé části sestává z poměrně velkého počtu kratších programů, které jsou k sobě vázány jako články řetězu. Typickým rysem takových programů je, že mohou provádět různé transformace na prvcích souboru dat obsahujícího data ve funkčním vztahu a nejčastěji jako výsledek po sobě jdoucích zkoumání elementárního logického vztahu jsou určité prvky souboru modifikovány. Ve zvláštních případech jsou vytvářeny poměrně krátké rozhodné sekvence, ale vlivem samotné možné velké proměnlivosti prvků může vyjít velký počet různých výsledků. Tak jsou programy složeny z několika kratších a síťově

rozvětvených paralelních rozhodných smyček. Tyto větve končí ve většině případů uvnitř sdruženého programu, čímž k odkazům na jiné vnější programy dochází poměrně zřídka. Totéž platí také pro soubory dat, ježto k odkazům na jiné soubory dat dochází také zřídka a dochází-li, tak jen s dočasným charakterem, což znamená, že jakýkoliv odkaz na jiný soubor dat je následně sdružen s návratem k prvkům vlastního souboru. "Jiné" soubory dat jsou ve většině případů ve formě společné tabulky nebo konstantní paměti, z níž mohou být požadovaná data vyčtena, načež programy pokračují ve zpracování svých vlastních dat.

Nahoře uvedené úvahy mohou být aplikovány na způsob zacházení s adresami programů a dat, takže délka programů připravených podle tohoto principu by měla být podstatně kratší, než kdyby byly vytvořeny ve strojovém jazyce kteréhokoliv procesoru všeobecného použití. To však vyžaduje, aby systém instrukcí speciálního procesoru navrženého pro tuto metodu byl na stejné úrovni, co se týče jeho expresivity, jako procesor všeobecného použití, uvedený nahoře pro srovnání. "Expresivita" souboru instrukcí je většinou charakterizována počtem strojových instrukcí. Zřejmě, zvýší-li se počet strojových instrukcí, bude "expresivita" lepší, to jest soubor instrukcí může být použit pro vytvoření kratších a stručnějších programů. Také je nutno chápat, že zvýšená expresivita je spojena se složitější jednotkou provádění instrukcí v procesoru s většími požadavky na technické vybavení, než kdyby byl realizován menší počet strojových instrukcí. Je-li například provádění instrukcí mikroprogramováno, pak operační kód instrukce definuje, jak je známo, spouštěcí adresu mikroprogramu této instrukce v paměti mikroprogramů na základě obsahu paměti spouštěcích adres.

Z toho plyne, že kapacita jak paměti mikroprogramů, tak paměti spouštěcích adres, je úměrná největšímu počtu, který může být vyjádřen operačním kódem. Je-li možné najít formu operačního kódu, který umožňuje určitý druh paralelismu, což znamená, že řídicí signály potřebné pro provedení instrukce jsou generovány současně příslušnými jednotkami řízení oddělenými skupinami bitů operačního kódu, pak kapacita uvedených pamětí a rozsah sdruženého dekódovače a jiných obvodů mohou být podstatně zredukovány. Teoretická možnost pro vytvoření takového kódu je dána při aplikacích na poli telefonní techniky, kde většina často se vyskytujících specifických instrukcí a operačních typů může být poznána a použita pro racionalizaci. Jak bylo dříve uvedeno, nejobyčejnější úlohou při řídicích procesech je logická analýza souborů dat, po které následuje provádění logicko-aritmetických operací na stanovených prvcích souboru. Takto téměř každá z elementárních operací (instrukcí), které se mají provést, může být vztažena nejen na jeden, ale na množství logicko-aritmetických operací.

Jestliže většina instrukcí (více než 80 %) náleží k tomuto typu, může být použito bitové skupiny v operačním kódu pro označení operace a tato skupina může být zpracovávána odděleně, což znamená, že jen zbývající bitová skupina je potřebná pro řízení mikroprogramového řídicího bloku. To se, co do účinku, rovná tomu, jako kdyby byl snížen počet instrukcí. Ale skutečný počet instrukcí je určen celou délkou operačního kódu, čímž se zaručuje vysoká hodnota "expresivity", která má velký vliv na kapacitu paměti programu.

Redukcí kapacity paměti programu se ušetří mnohem více než snížením pořizovacích nákladů na paměť. Toto snížení pořizovacích nákladů jeví se bezvýznamným ve srovnání s úsporami spojenými s údržbou (například hledáním poruch) a s dalším využitím času procesoru uvolněného vlivem kratšího času chodu programu, umožněného kratšími programy. Je známo, že u programových systémů běžně používaných spínacích systémů řízených programy uloženými v paměti činí podíl skutečně řídicích programů kolem 30 až 40 %, zatímco zbývající část je potřebná pro manipulaci se složitým a objemným programovým vybavením, jakož i pro výkon operačních, dohlédacích, záložních funkcí a pro zjišťování poruch. Značná část součinitele vysokých nákladů řízení pramení z těchto činitelů. Je ale pravda, že v případě ústřední středních velikostí může být množství tohoto přídatného programového vybavení značně sníženo použitím jiných způsobů řízení, například decentralizovaným systémem řízení, přičemž zbývající část bude rozhodujícím způsobem závislá na rozsahu programů přímého řízení.

Uvedené nevýhody odstraňuje programovatelná řídicí jednotka podle vynálezu, jejíž podstata spočívá v tom, že paměť adresy stránek dat, umístěná v bloku řízení paměti, je opatřena prvním registrem adres stránek dat a druhým registrem adres stránek dat, přičemž první registr adres stránek dat a druhý registr adres stránek dat mají vstupy připojené k záznamové sběrnici s výstupy připojené k prvnímu a druhému vstupu spínací jednotky, výstup spínací jednotky je připojen prostřednictvím druhé sběrnice snímání ke vstupu prvního registru adres, čítač instrukcí je opatřen prvním registrem čítače a druhým registrem čítače se vstupy připojenými k záznamové sběrnici a příslušnými výstupy připojenými k první sběrnici snímání, přičemž je připojen druhý výstup druhého registru čítače k druhé sběrnici snímání, druhý vstup prvního registru čítače k devátému povolovému vedení mikroprogramovaného řídicího bloku a druhý vstup druhého registru čítače k druhému výstupu prvního registru čítače, a dále první registrovaná část registru instrukcí, tvořící první skupinu bitových buněk, je připojena prostřednictvím třetího svazku vedení adres k mikroprogramovanému řídicímu bloku a druhá registrovaná část registru instrukcí, tvořící druhou skupinu bitových buněk, je připojena prostřednictvím čtvrtého svazku vedení adres k operační paměti adres.

Vynálezem se dosahuje snížení počtu instrukcí zatěžování registru, úspora kapacity paměti a snižuje se objem mikroprogramované paměti.

Příklad provedení programovatelné řídicí jednotky podle vynálezu je znázorněn na připojených výkresech, na nichž na obr. 1 je obecné blokové schéma programovatelné řídicí jednotky podle vynálezu a na obr. 2 je detailní schéma spínací jednotky z obr. 1.

Podle obr. 1 je programovatelná řídicí jednotka podle vynálezu opatřena pamětí ME programu a dat, její první vstup je připojen k záznamové sběrnici 1_1 a její výstup je připojen k první sběrnici 1_{01} snímání. Mezi obě je zapojen zesilovací stupeň.

Dále je mezi nimi zapojena jednotka REG pracovního registru, jejíž vstup a výstup jsou připojeny k perifériím. Dále programovatelná řídicí jednotka obsahuje blok MEV řízení paměti, složenou z paměti AGT adresy stránek dat, prvního registru C1 adres, druhého registru C2 adres a čítače US instrukcí, a jednotku UV provádění instrukcí.

Paměť AGT adresy stránek dat obsahuje spínací jednotku Y_K , první registru Y1 adres stránek dat a druhý registr Y2 adres stránek dat, přičemž vstup prvního registru Y1 adres stránek dat a druhého registru Y2 adres stránek dat jsou připojeny k záznamové sběrnici 1_1 , výstup prvního registru Y1 adres stránek dat je spojen s prvním vstupem spínací jednotky Y_K , s jejímž druhým vstupem je spojen výstup druhého registru Y2 adres stránek dat a jejíž výstup je spojen s druhou sběrnici 1_{02} snímání, jež je spojen se vstupem prvního registru C1 adres, jehož výstup je spojen prvním svazkem 1_1 vedení adres s druhým vstupem paměti ME programu a dat, jejíž třetí vstup je spojen druhým svazkem 1_2 vedení adres s výstupem druhého registru C2 adres, jehož vstup je spojen se záznamovou sběrnici 1_1 .

Čítač US instrukcí obsahuje první registr P1 čítače, jehož první vstup je připojen k záznamové sběrnici 1_1 a jehož první výstup je spojen s první sběrnici 1_{01} snímání, a druhý registr B2 čítače, jehož první vstup je připojen k záznamové sběrnici 1_1 a jehož druhý výstup je spojen s druhou sběrnici 1_{02} snímání.

První výstup prvního registru P1 čítače je spojen s prvním výstupem druhého registru P2 čítače, jehož druhý vstup je spojen s druhým výstupem prvního registru P1 čítače.

V jednotce UV provádění instrukcí je registr U instrukcí, jehož vstup je spojen se záznamovou sběrnici 1_1 a který je rozdělen na první skupinu UR bitových buněk, která je třetím svazkem 1_3 vedení adres připojena k prvnímu vstupu mikroprogramovaného řídicího bloku MV, a na druhou skupinu MR bitových buněk, která je čtvrtým svazkem 1_4 vedení adres spojena s prvním vstupem operační paměti MC adres, jejíž druhý vstup je spojen pátým svazkem 1_5 vedení adres s výstupem mikroprocesorovaného řídicího bloku MV.

První výstup operační paměti MC adres je spojen šestým svazkem 1₆ vedení adres s prvním vstupem aritmetické a logické jednotky ALU, jejíž druhý vstup je spojen se záznamovou sběrnicí 1₁, jejíž první výstup je spojen s první sběrnicí 1₀₁ snímání a jejíž druhý výstup je spojen osmým svazkem 1₃ vedení adres s druhým vstupem vnitřní paměti MC adres a jejíž výstup je spojen s druhým vstupem mikroprogramovaného řídicího bloku MV.

Na další výstupy mikroprogramovaného řídicího bloku MV je připojeno první až i-té povelové vedení, vyznačené na obr. 1 kroužky, přičemž první povelové vedení S1 je spojeno se vstupem prvního registru C1 adres a druhého registru C2 adres, druhé povelové vedení X2 je spojeno se vstupem prvního registru Y1 adres stránek dat, třetí povelové vedení X3 je spojeno se vstupem druhého registru Y2 adres stránek dat, čtvrté povelové vedení X4 je spojeno s výstupem spínací jednotky Y_K, páté povelové vedení X5 je spojeno s prvním vstupem prvního registru P1 čítače, šesté povelové vedení X6 je spojeno s prvním vstupem druhého registru P2 čítače, sedmé povelové vedení X7 je spojeno s prvním výstupem prvního registru P1 čítače a druhého registru P2 čítače, osmé povelové vedení X8 je spojeno s druhým výstupem druhého registru P2 čítače, deváté povelové vedení X9 je spojeno s druhým vstupem prvního registru P1 čítače, desáté povelové vedení X10 je spojeno s prvním vstupem paměti ME programu a dat, jedenácté povelové vedení X11 je spojeno s výstupem paměti ME programu a dat a dvanácté povelové vedení X12 je spojeno s druhým vstupem druhého registru P2 čítače.

Podle obr. 2 obsahuje spínací jednotka Y_K klopný obvod F typu J-K, jehož první řídicí vstup J je připojen k třetímu povelovému vedení X3, jehož druhý řídicí vstup K je připojen ke čtvrtému povelovému vedení X4, jehož první výstup Q o n větvích je připojen k druhým vstupům druhých součinových hradel 2E_i a jehož druhý vstup Q̄ o n větvích je připojen k druhým vstupům prvních součinových hradel 1E_i.

První vstupy prvních součinových hradel 1E_i jsou připojeny k výstupům prvních registrů Y1 adres stránek dat, první vstupy druhých součinových hradel 2E_i jsou připojeny k výstupům druhých registrů Y2 adres stránek dat.

Výstupy prvních součinových hradel 1E_i jsou připojeny k prvním vstupům součinových hradel 2E_i jsou připojeny k výstupům druhých registrů Y2 adres stránek dat. Výstupy prvních součinových hradel 1E_i jsou připojeny k prvním vstupům součtových hradel V_i a výstupy druhých součinových hradel 2E_i jsou připojeny k druhým vstupům součtových hradel V_i.

Výstupy součtových hradel V_i jsou připojeny k prvním vstupům třetích součinových hradel 3E_i a druhé vstupy třetích součinových hradel 3E_i jsou připojeny ke čtvrtým řídicím vedením X4, spojeným s výstupem paměti AGT adresy stránek dat. Výstupy třetích součinových hradel 3E_i tvoří výstup spínací jednotky Y_K.

Podle vynálezu se zúčastní speciální registr na generování adres paměti v paměťově-referenčních instrukcích, čímž u řídicích úloh telefonních ústředěn během zpracovávání typických struktur dat může být vyloučena více než polovina instrukcí zatěžování registru, požadovaných pro nastavení plných adres operandů.

Struktura registru instrukcí má dvě části, z nichž každá je odděleně adresovatelná jak pro snímání, tak pro záznamové operace, čímž při výkonu řídicích funkcí telefonního typu může být získána značná úspora kapacity paměti v souvislosti s potřebným velkým počtem instrukcí přenosu řízení.

Řízení mikroprogramovaného řídicího bloku MV používá jen části výstupů registru U instrukcí, která obsahuje jen operační kódy, čímž může být značně snížen objem mikroprogramované paměti v důsledku rozumného kódování instrukcí.

U programovatelné řídicí jednotky podle vynálezu se v druhém registru Y2 adres stránek dat přečtená adresa dat "konsumuje" v odezvu na první paměťově-referenční instrukci následu-

jící po operaci záznamu a následující paměťové referenční instrukce použije obsahu prvního registru P1 adres stránek dat, který byl nastaven dříve. To je výhodné, poněvadž po přístupu k datům jiných stránek lze k datům na vlastní stránce dat přistoupit bez "vracení se" k adrese původní stránky, čímž lze dosáhnout významné úspory v programové paměti.

Nahoře popsané uspořádání čítače US instrukcí umožňuje, aby zatěžování prvního registru P1 čítače mohlo proběhnout nezávisle na druhém registru P2 čítače, takto mohou být na stránce programu provedeny instrukce přenosu řízení jediným operandem místo dvěma operandy, jak jinak by to bylo nezbytné.

Toto zjednodušení má za následek také značnou redukci paměťového programu, ježto popis telefonních funkcí vyžaduje použití různých instrukcí přenosu řízení. Dále je charakteristické, že registr U instrukcí obsahuje výlučně operační kódy, proto jeho výstup není připojen k žádné z interních sběrnic sběru dat a od jeho výstupů je třetí svazek 1₃ vedení adres, odpovídající části registru, která tvoří první skupinu UR bitových buněk, veden k mikroprogramovanému řídicímu bloku MV a čtvrtý svazek 1₄ vedení adres, odpovídající části registru, tvořící druhou skupinu MR bitových buněk, je veden k operační paměti MC adres.

U možného provedení je z osmi bitů registru U instrukcí druhá skupina MR bitových buněk dlouhá dva bity a první skupina UR bitových buněk je šest bitů dlouhá, takže čtvrtý svazek 1₄ vedení adres sestává z celkem dvou vedení a třetí svazek 1₃ vedení adres má šest vedení.

Mikroprogramovaný řídicí blok MV by měl rozlišovat $2^6 = 64$ různých míst, ačkoliv registr U instrukcí je schopen definovat celkem $2^8 = 256$ různých instrukcí. Každá zakódovaná hodnota uložená v první skupině UR bitových buněk a řídicí mikroprogramovaný řídicí blok MV je sdružena se čtyřbitovými kombinacemi v druhé skupině MR bitových buněk a tyto čtyřbitové kombinace mohou definovat čtyři různé operace.

Z těchto možných operací stroj provede během provádění "základní instrukce" vždy tu, která je určena skutečnou hodnotou obsaženou v druhé skupině MR bitových buněk. Tyto čtyři instrukce (které jsou sdruženy se společnou "základní instrukcí") jsou tyto:

ADD	X	(M)
AND	X	(M)
OR	X	(M)
ANT	X	(M)

Podle těchto instrukcí by mělo být mezi registrem X všeobecného použití procesoru a obsahem buňky M paměti definované operandem instrukce prováděny aritmetické sčítání a operace logického součinu, logického součtu a antivalence v sekvencích a výsledek by měl být ukládán v uvedeném registru X.

Lze seznat, že provádění těchto instrukcí se liší v příslušných případech jen v kroku týkajícím se požadované operace. To znamená, že mikroprogramovaný řídicí blok MV může řídit tyto čtyři instrukce identicky, to jest v okamžiku provádění požadované operace patřičné aktivování pátých svazků 1₅ vedení adres vybere čtyřnásobné pole adres operační paměti MC adres a okamžité stavy čtvrtých svazků 1₄ vedení adres definují operační adresu sdruženou s jednou z uvedených čtyř operací.

Informace nalezená v operační paměti MC adres na této adrese aktivuje šestým svazkem 1₆ vedení adres aritmetickou a logickou jednotku ALU pro provedení požadované operace.

Jinou skupinou instrukcí je například:

INR	(M)
DCR	(M)
ROT	(M)
ZRO	(M)

kteřé modifikují obsah paměťové buňky definované, jak popsáno nahoře, kde těmito operacemi je +1 (inkrementace), -1 (dekrementace), rotace a nulování. Nyní mikroprogramovaný řídící blok MV použije pátý svazek vedení 1₅ adres pro vyhledání jiného čtyřnásobného pole adres v operační paměti MC adres, v níž je uložena informace pro označení posledně uvedených operací.

U popsaného provedení pátý svazek 1₅ vedení adres sestává ze tří vedení, takže může být sdruženo osm různých skupin operací s 64 základními instrukcemi. Tyto skupiny mohou obsahovat příslušné operace několikrát, proto soubor operací může být menší než $8 \times 4 = 32$.

U obou popsaných typických skupin instrukcí definuje základní instrukce U₁ operandy participující na transformaci dat nebo na přenosu, zatímco rozdíl mezi jednotlivými instrukcemi je představován transformací. Této metody může být však použito nejen v případě logických a aritmetických transformací, ale takto například i různé typy instrukcí přenosu řízení mohou být přiřazeny jedné a téže základní instrukci.

Například v případě instrukcí

JF (skok bez podmínky)
JFI (skok, je-li podmínka A pravdivá)
JFO (skok, je-li podmínka A nepravdivá)
JFF (skok, je-li podmínka B pravdivá)

operační paměť MC adres vyhledá sedmým svazkem 1₇ vedení adres to určité vedení z osmého svazku 1₈ vedení adres, které má signál, který, když je přenesen na devátý svazek 1₉ vedení adres, umožňuje nebo blokuje provedení přenosu dat (například zatěžování registru čítače) požadovaného během provádění instrukce přenosu řízení pro mikroprogramovaný řídící blok MV.

Takto může být přenos řízení bez podmínky realizován osmým svazkem 1₈ vedení adres připojeným trvale na úroveň logického ANO.

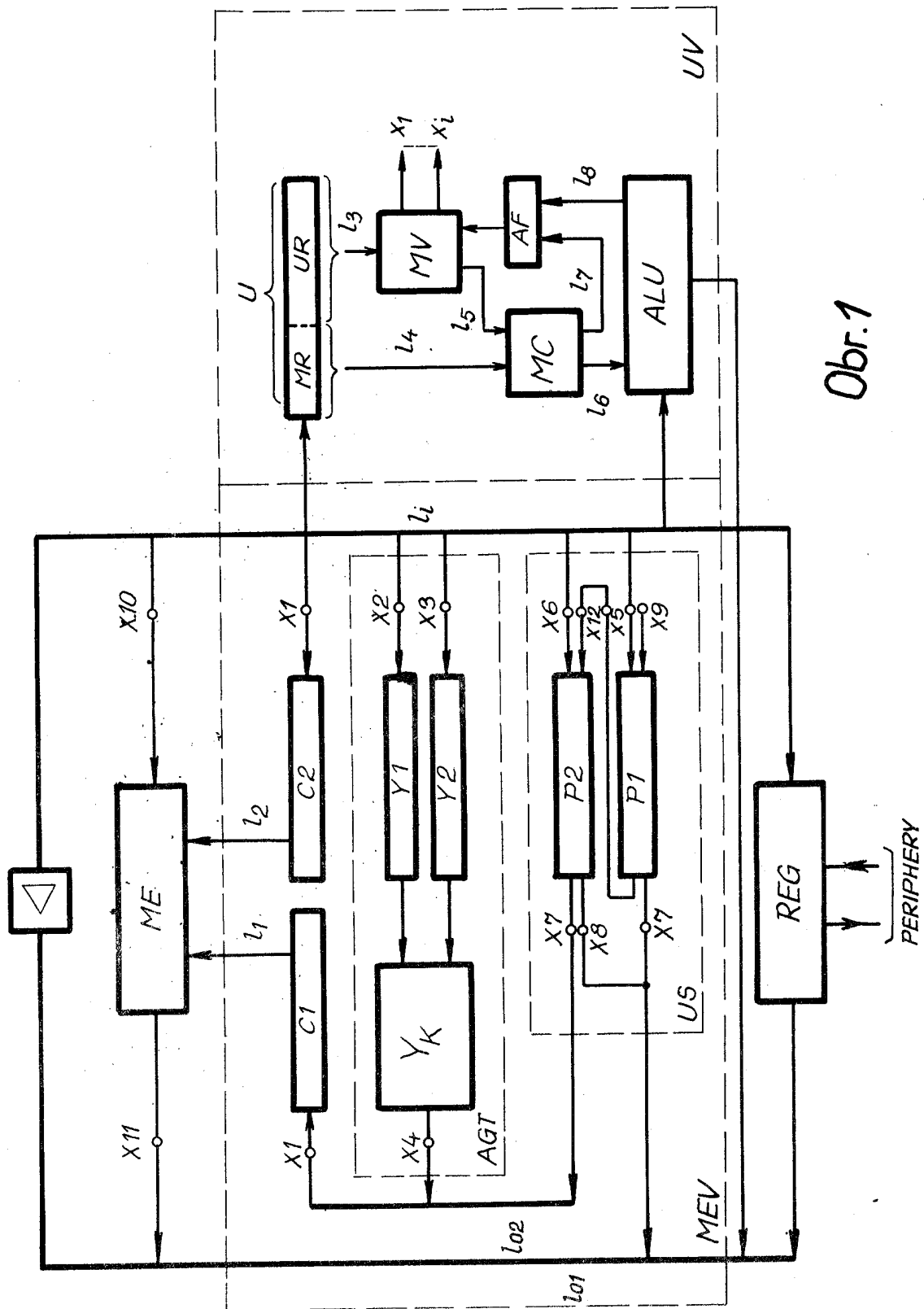
Nahoře popsané konstrukční řešení může podstatně zmenšit objem mikroprogramovaného řídícího bloku MV ve srovnání s obvyklými řešeními, u nichž sekce operačních kódů registrů instrukcí neobsahuje výslovně oddělené pole kódů pro indikování aritmetických, logických nebo jiných operací, které se mají provést, ale je to mikroprogramovaný řídící blok MV samotný, který interpretuje tyto operace.

P R E D M Ě T V Y N Á L E Z U

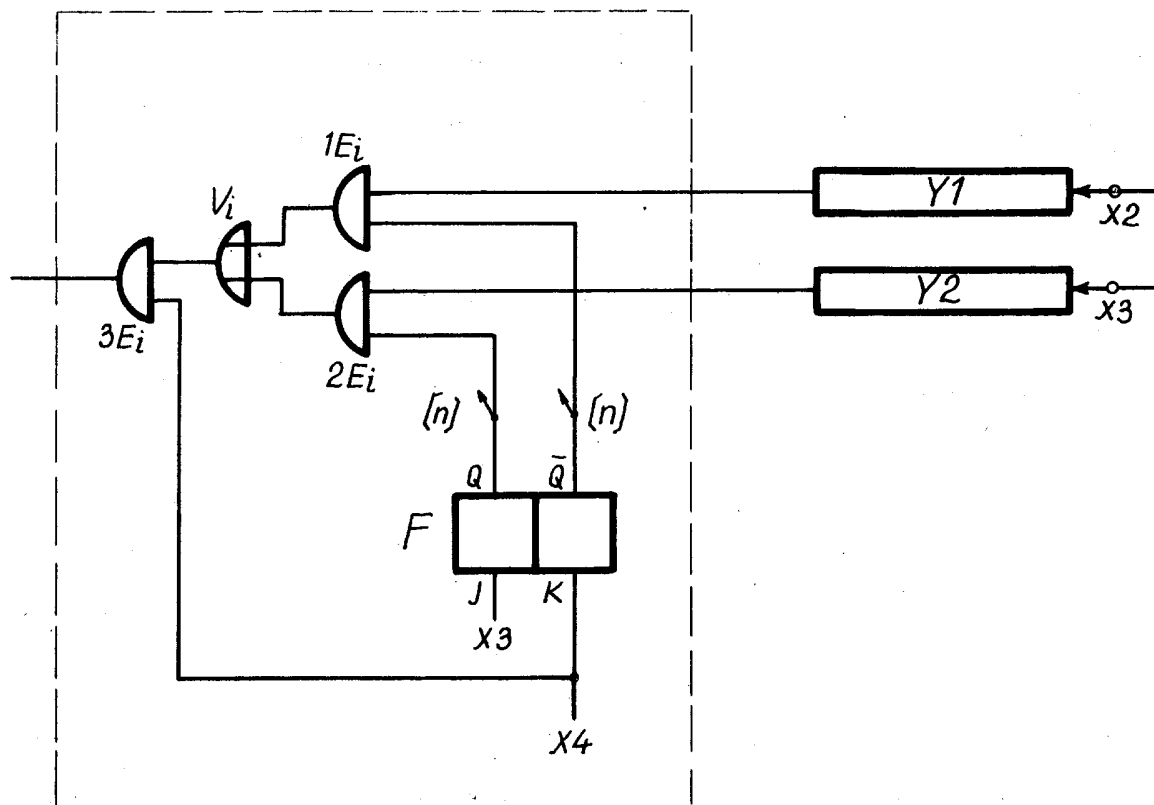
1. Programovatelná řídící jednotka pro použití v malých a středních přepínacích soustavách, zejména v telefonních ústřednách, obsahující paměť programu a dat, blok řízení paměti s prvním a druhým registrem adres, které jsou připojeny prostřednictvím prvního svazku vedení adres, popřípadě druhého svazku vedení adres, k paměti programu a dat, dále čítač instrukcí a paměť adresy stránek dat, jednotku pracovního registru a jednotku provádění instrukcí, opatřenou registrem instrukcí, mikroprogramovaným řídícím blokem, operační pamětí adres, aritmetickou a logickou jednotkou a vnitřní pamětí stavu, vyznačující se tím, že paměť (AGT) adresy stránek dat, umístěná v bloku (MEV) řízení paměti, je opatřena prvním registrem (Y1) adres stránek dat a druhým registrem (Y2) adres stránek dat, přičemž první registr (Y1) adres stránek dat a druhý registr (Y2) adres stránek dat mají vstupy připojené k záznamové sběrnici (1₁) a výstupy připojené k prvnímu a druhému vstupu spínací jednotky (Y_K), výstup spínací jednotky (Y_K) je připojen prostřednictvím druhé sběrnice (1₀₂) snímání ke vstupu prvního registru (C1) adres, čítač (US) instrukcí je opatřen prvním registrem (P1) čítače a druhým

registrem (P2) čítače se vstupy připojenými k záznamové sběrnici (1_1) a příslušnými výstupy připojenými k první sběrnici (1_{01}) snímání, přičemž je připojen druhý výstup druhého registru (P2) čítače k druhé sběrnici (1_{02}) snímání, druhý vstup prvního registru (P1) čítače k devátému povelovému vedení (X9) mikroprogramovaného řídicího bloku (V) a druhý vstup druhého registru (P2) čítače k druhému výstupu prvního registru (P1) čítače, a dále první registrová část registru (U) instrukcí, tvořící první skupinu (UR) bitových buněk, je připojena prostřednictvím třetího svazku (1_3) vedení adres k mikroprogramovanému řídicímu bloku (MV) a druhá registrovaná část registru (U) instrukcí, tvořící druhou skupinu (MR) bitových buněk, je připojena prostřednictvím čtvrtého svazku (1_4) vedení adres k operační paměti (MC) adres.

2. Programovatelná řídicí jednotka podle bodu 1, vyznačující se tím, že spínací jednotka (Y_K) obsahuje klopný obvod (F) typu J-K s prvním řídicím vstupem (J) připojeným k třetímu povelovému vedení (X3), s druhým řídicím vstupem (K) připojeným ke čtvrtému povelovému vedení (X4), s prvním výstupem (Q) připojeným k druhým vstupům druhých součinnových hradel ($2E_1$) a s druhým výstupem ($\bar{Q}$) připojeným k druhým vstupům prvních součinnových hradel ($1E_1$), první vstupy prvních součinnových hradel ($1E_1$) jsou připojeny k výstupům prvních registrů (Y1) adres stránek dat, první vstupy druhých součinnových hradel ($2E_1$) jsou připojeny k výstupům druhých registrů (Y2) adres stránek dat, výstupy prvních součinnových hradel ($1E_1$) jsou připojeny k prvním vstupům součtových hradel (V_1) a výstupy druhých součinnových hradel ($2E_1$) jsou připojeny k druhým vstupům součtových hradel (V_1), přičemž výstupy součtových hradel ($3E_1$) a druhé vstupy třetích součinnových hradel ($3E_1$) jsou připojeny ke čtvrtým řídicím vedením (X4), spojeným s výstupem paměti (AGT) adresy stránek dat.



Obr.1



Obr. 2