



(21)申請案號：104138327 (22)申請日：中華民國 104 (2015) 年 11 月 19 日
 (51)Int. Cl. : *H01L29/778 (2006.01)* *H01L21/336 (2006.01)*
 (30)優先權：2014/12/22 世界智慧財產權組織 PCT/US14/71978
 (71)申請人：英特爾股份有限公司(美國) INTEL CORPORATION (US)
 美國
 (72)發明人：雷奧洛比 納迪亞 RAHHAL-ORABI, NADIA (US)；甘尼 塔何 GHANI, TAHIR (US)；瑞奇曼第 威利 RACHMADY, WILLY (ID)；梅茲 馬修 METZ, MATTHEW V. (US)；卡瓦萊羅斯 傑克 KAVALIEROS, JACK T. (US)；狄威 吉伯特 DEWEY, GILBERT (US)；莫希 安拿 MURTHY, ANAND (US)；莫哈帕拉 錢德拉 MOHAPATRA, CHANDRA (IN)
 (74)代理人：林志剛
 申請實體審查：無 申請專利範圍項數：25 項 圖式數：5 共 43 頁

(54)名稱

為了效能及閘極填充的最佳化的閘極輪廓

OPTIMIZING GATE PROFILE FOR PERFORMANCE AND GATE FILL

(57)摘要

揭示為了效能及閘極填充而最佳化閘極輪廓之系統及方法。具有最佳化的閘極輪廓之半導體裝置包括半導體基板及延伸在半導體基板上方的鰭部。一對源極及汲極區係配置在通道區的相對側上。閘極堆疊係配置在通道區之上，其中，閘極堆疊包括藉由錐形部分與底部分分開之頂部分。頂部分及錐形部分的至少一部分係配置在鰭部上方。

systems and methods of optimizing a gate profile for performance and gate fill are disclosed. A semiconductor device having an optimized gate profile includes a semiconductor substrate and a fin extending above the semiconductor substrate. A pair of source and drain regions are disposed on opposite sides of a channel region. A gate stack is disposed over the channel region, where the gate stack includes a top portion separated from a bottom portion by a tapered portion. The top portion and at least a portion of the tapered portion are disposed above the fin.

指定代表圖：

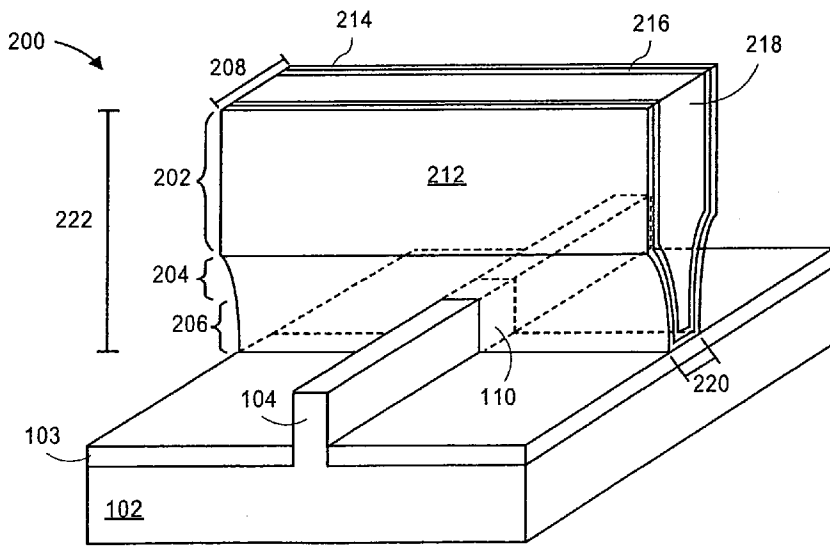


圖 2

符號簡單說明：

- 102 . . . 基板
- 103 . . . 淺溝渠隔離
- 104 . . . 緒部
- 110 . . . 通道區
- 200 . . . 電晶體
- 202 . . . 頂部分
- 204 . . . 錐形部分
- 206 . . . 底部分
- 208 . . . 寬度
- 212 . . . 閘極堆疊
- 214 . . . 閘極介電層
- 216 . . . 功函數金屬層
- 218 . . . 填充金屬層
- 220 . . . 閘極長度
- 222 . . . 高度

201635543

發明摘要

※申請案號：104138327

※申請日：104年11月19日

※IPC分類： H01L 29/778 (2006.1)
H01L 21/336 (2006.1)

【發明名稱】(中文/英文)

為了效能及閘極填充的最佳化的閘極輪廓

Optimizing gate profile for performance and gate fill

【中文】

揭示為了效能及閘極填充而最佳化閘極輪廓之系統及方法。具有最佳化的閘極輪廓之半導體裝置包括半導體基板及延伸在半導體基板上方的鰭部。一對源極及汲極區係配置在通道區的相對側上。閘極堆疊係配置在通道區之上，其中，閘極堆疊包括藉由錐形部分與底部分分開之頂部分。頂部分及錐形部分的至少一部分係配置在鰭部上方。

【英文】

Systems and methods of optimizing a gate profile for performance and gate fill are disclosed. A semiconductor device having an optimized gate profile includes a semiconductor substrate and a fin extending above the semiconductor substrate. A pair of source and drain regions are disposed on opposite sides of a channel region. A gate stack is disposed over the channel region, where the gate stack includes a top portion separated from a bottom portion by a tapered portion. The top portion and at least a portion of the tapered portion are disposed above the fin.

【代表圖】

【本案指定代表圖】：第(2)圖。

【本代表圖之符號簡單說明】：

- 102：基板
- 103：淺溝渠隔離
- 104：鰭部
- 110：通道區
- 200：電晶體
- 202：頂部分
- 204：錐形部分
- 206：底部分
- 208：寬度
- 212：閘極堆疊
- 214：閘極介電層
- 216：功函數金屬層
- 218：填充金屬層
- 220：閘極長度
- 222：高度

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

為了效能及閘極填充的最佳化的閘極輪廓

Optimizing gate profile for performance and gate fill

【技術領域】

實施例係相關於半導體處理，尤其是為了半導體裝置之增進效能及金屬閘極填充的最佳化閘極輪廓。

【先前技術】

半導體晶片的效能高度依賴製造於半導體晶片上之電晶體裝置的數目。例如，中央處理單元的效能隨著其邏輯裝置的數目增加而增加。然而，僅僅增加電晶體裝置的數目會增加被電晶體裝置所佔據的面積量，結果不利地增加晶片的總尺寸。如此，為了最大化形成在晶片上之電晶體裝置的數目，工廠負責人尋求縮小各個電晶體裝置的尺寸之方法。縮小電晶體尺寸使增加的電晶體裝置數目能夠被形成在單一半導體晶片上，卻未明顯增加晶片的總尺寸。用以最小化電晶體裝置尺寸之技術包括減少用於電晶體裝置的閘極堆疊之尺寸。減少閘極堆疊的尺寸使其他電晶體裝置組件能夠相對減少尺寸，藉此生產較小的裝置。

【圖式簡單說明】

圖 1 為用於非平面 finFET 裝置的習知閘極堆疊之等角視圖。

圖 2 為根據本發明的實施例之用於非平面 finFET 的具有合適填充輪廓之閘極堆疊的等角視圖。

圖 3A-3C 為根據本發明的實施例之將圖案化遮罩形成在犧牲性閘極材料上的方法之等角視圖。

圖 3D-1 為根據本發明的實施例之形成具有合適填充輪廓之犧牲性閘極結構的方法之等角視圖。

圖 3D-2 為根據本發明的實施例之前景中的犧牲性閘極結構對上背景中的鰭部之橫剖面圖。

圖 3E-3G 為根據本發明的實施例之形成具有適合填充輪廓之閘極堆疊的方法之等角視圖。

圖 4 為實施本發明的一或更多個實施例之中介體圖。

圖 5 為根據本發明的實施例所建立之計算裝置圖。

【發明內容及實施方式】

在此所說明的是藉由使用具有適合填充輪廓之犧牲性閘極結構來形成閘極堆疊之系統及方法。在下面說明中，將使用精於本技藝之人士所普遍用來傳達其著作的主旨給其他精於本技藝之人士之字詞來說明圖解性實施的各種態樣。然而，精於本技藝之人士應明白，僅以所說明的一些態樣來實施本發明。為了說明，陳述特定數目、材料、及組態，以便能全面性瞭解圖解性實施。然而，精於本技藝之人士應明白，在沒有這些特定細節之下仍可實施本發

明。在其他實例中，為了不混淆圖解性實施，將省略或簡化眾所皆知的特徵。

將以最有助於瞭解本發明的方式，依序將各種操作說明作為多個分離的操作，然而，說明的順序並不應被闡釋作暗示這些操作為必要的從屬順序。尤其是，這些操作不一定以描述的順序來執行。

目前，用於半導體裝置的習知閘極堆疊被形成沿著其整個高度具有一統一的厚度。圖 1 圖解具有例示習知閘極堆疊 112 之非平面裝置。非平面裝置可以是諸如三閘場效電晶體等 finFET 100，其包括半導體基板 102 及形成在半導體基板 102 上方之鰭部 104。鰭部 104 可以是基板 102 的一部分，使得鰭部 104 及基板 102 形成一單石結構。淺溝渠隔離 (STI) 103 係可形成在基板 102 上及鰭部 104 四周。鰭部 104 可延伸在 STI 103 上方。可包括由功函數金屬層 116 及填充金屬層 118 所形成的閘極電極之閘極堆疊 112 係形成在鰭部 104 的通道區 110 之上。閘極堆疊 112 亦可包括配置在通道區 110 與功函數金屬層 116 之間的閘極介電 114。一對源極及汲極區 106/108 係可形成在鰭部 104 內及通道區 110 的相對側上。

如圖 1 所示，習知閘極堆疊 112 具有沿著其整個高度 122 是統一的寬度 120。閘極電極 112 的底部中之寬度 120 亦被稱作“閘極長度”，其表示源極及汲極區 106/108 之間的距離。在一實施例中，閘極堆疊 112 具有大的寬高比。具有大的寬高比之結構具有實質上大於其寬度的高

度。例如，閘極高度 122 實質上大於閘極長度 120。在一實施例中，finFET 裝置 100 的閘極堆疊 112 具有至少 5 比 1 之寬高比。

典型上，閘極堆疊 112 係藉由代替閘極處理所形成。代替閘極處理最初包含將犧牲性閘極結構形成在諸如鰭部 104 等半導體結構之上。之後，隔離層形成在犧牲性閘極結構四周，而後移除犧牲性閘極結構以將開口形成在隔離層中。開口具有對應於犧牲性閘極結構的輪廓之輪廓。諸如閘極介電 114 及功函數金屬 116 和填充金屬 118 等閘極介電及閘極電極材料然後被沉積到開口內以形成閘極堆疊 112。開口具有由於其小寬度及深度、垂直空腔而難以填充之大的寬高比。當沉積材料在開口內時，此種開口具有較高夾止的可能性。夾止係被沉積的材料累積在溝渠的開口附近之事件出現在開口在沉積期間被過早密封而在溝渠內形成空隙的點。因此，閘極堆疊 112 具有空隙 124。空隙 124 降低裝置效能及會導致裝置失敗。

藉由利用具有有著適合填充閘極輪廓之開口的溝渠，在此所揭示之本發明的實施例實質上降低（若沒有排除的話）閘極堆疊內空隙的形成。根據本發明的實施例，形成半導體裝置之方法包括：將具有適合填充輪廓之犧牲性閘極結構形成在諸如鰭部等半導體結構之上。根據本發明的實施例，適合填充犧牲性閘極結構包括由錐形部分分開之頂部分及底部分。頂部分寬於底部分，及錐形部分將寬度從較寬的頂部分過渡到較窄的底部分。適合填充犧牲性閘

極結構係形成如下：藉由沉積諸如多晶材料等犧牲性閘極材料，及隨後以含有兩蝕刻操作之蝕刻處理來蝕刻它。第一蝕刻操作最初蝕刻犧牲性閘極結構的頂部分，及第二蝕刻操作隨後蝕刻犧牲性閘極結構的錐形部分及底部分二者。

方法另包括：將隔離層形成在具有適合填充輪廓之犧牲性閘極結構四周，及隨後移除犧牲性閘極結構以將開口形成在隔離層中。開口可以是具有對應於犧牲性閘極結構的適合填充輪廓之輪廓的適合填充開口。例如，在一實施例中，適合填充開口可具有寬的頂部分、窄的底部分、及頂部分與底部分之間的錐形部分。閘極材料然後被沉積到開口內以形成閘極電極。

具有適合填充開口使閘極材料能夠容易被沉積到開口內，將夾止及空隙形成最小化。將夾止及空隙形成最小化增加生產量。另外，在代替閘極處理期間所形成之適合填充開口能夠形成具有較小的閘極長度之電晶體裝置。具有較小的閘極長度之裝置增加半導體晶片的電晶體密度，如此增加裝置效能。

圖 2 為根據本發明的實施例之具有適合填充輪廓之閘極堆疊 212。閘極堆疊 212 具有寬的頂部分 202、錐形部分 204、及窄的底部分 206。在一實施例中，頂部分 202 係寬於底部分 206。例如，頂部分 202 具有大於底部分 206 的最底寬度 220（如、閘極長度）至少兩倍之寬度 208。頂部分 202 及底部分 206 具有跨越其各別總高度之

實質上固定的寬度。

在一實施例中，閘極堆疊 212 具有大的寬高比。也就是說，閘極堆疊 212 的高度 222 實質上大於閘極堆疊 212 的最窄區（其可能是閘極長度 220）。高度 222 可藉由從 STI 103 的頂部到閘極堆疊 212 的頂部之距離來測量，及寬度可藉由最小寬度的開口之直徑來測量，諸如底部分 206 的最底寬度 220 等。在一實施例中，閘極堆疊 212 可具有寬高比至少 5 比 1。在一實施例中，閘極堆疊 212 具有寬高比約 10 至 1。在特定實施例中，高度 222 及閘極長度 220 分別約 200 nm 及 20 nm。閘極堆疊 212 的高度 222 可以是從 STI 103 的頂部到閘極堆疊 212 的頂部之距離。包括由功函數金屬層 216 及填充金屬層 218 所形成的閘極電極之閘極堆疊 212 係形成在鰭部 104 的通道區 110 之上。閘極堆疊 212 亦包括配置在通道區 110 與功函數金屬層 216 之間的閘極介電 214。閘極堆疊 212 亦包括配置在通道區 110 與功函數金屬層 216 之間的閘極介電 214。

在實施例中，閘極堆疊 212 的輪廓係不同於閘極堆疊 112。例如，閘極堆疊 212 具有適合填充輪廓，而閘極堆疊 112 沒有。閘極輪廓的不同係由於利用具有適合填充輪廓的犧牲性閘極結構之方法所建立。犧牲性閘極結構可被用於將適合填充開口形成在形成閘極堆疊 212 處內。適合填充開口最小化閘極堆疊 212 內的空隙 124 之形成，如此有助於增加裝置效能且最大化生產量。在實施例中，閘極堆疊 212 未具有形成在其內之空隙 124。

圖 3A-3H 圖解形成閘極堆疊 212 的例示方法。如圖 3A 所示，鰭部 104 係形成在基板 102 中。基板 102 可以是可形成半導體裝置在其上之任何適當基板。在一實施例中，基板 102 為半導體基板，諸如塊狀矽半導體基板等。另一選擇是，在一實施例中，半導體基板可以是使用絕緣體上覆矽（SOI）子結構所形成之多晶體基板。在另一實施例中，基板 102 為含有一層以上的基板材料之異界面基板。在其他實施例中，半導體基板可使用交替材料來形成，其可以或不與矽組合，其包括但並不局限於鍺、銻化銮、碲化鉛、砷化銮、磷化銮、砷化鎵、砷化銮鎵、銻化鎵、或第 III-V 族或第 IV 族材料的其他組合。雖然此處說明形成基板 102 之材料的一些例子，但是可充作建立半導體裝置之基礎的任何材料落在本發明的精神和範疇內。

鰭部 104 係藉由各向異性蝕刻處理而形成在基板 102 中。例如，鰭部 104 係形成如下：藉由將遮罩圖案化在半導體基板的一部分上，而後各向異性蝕刻基板 102 的露出區域。各向異性蝕刻處理可形成具有垂直側壁 105 及 107 之鰭部 104。鰭部 104 可被使用作為隨後所形成之電晶體裝置的電晶體本體，如在此將另討論一般。

如圖 3A 所另圖解一般，STI 103 係形成在基板 102 上。在一實施例中，可在鰭部 104 之後形成 STI 103。STI 103 係形成如下：藉由最初沉積處理、接著平面化處理及凹處蝕刻。例如，諸如化學汽相蝕刻（CVD）等任何適當的沉積處理最初覆蓋沉積絕緣材料在基板 102 及鰭部 104

上。隨後諸如化學機械平面化（CMP）等平面化處理然後平面化所沉積的絕緣材料至鰭部的頂部。凹處蝕刻處理然後將 STI 凹陷到鰭部高度下方。凹處的深度係依據根據設計要求之目標鰭部高度來決定。產生的凹處越大，鰭部 104 高度越大。因此，鰭部 104 可延伸在 STI 103 上方，使得其被露出以形成可在其上形成電晶體之本體。STI 103 電隔離基板 102 與配置在 STI 103 上方之隨後所形成的半導體結構。

之後，在圖 3B 中，犧牲性閘極材料 302 係形成在鰭部 104 及 STI 103 之上。犧牲性閘極材料 302 係藉由諸如 CVD 及 CMP 處理等沉積及平面化處理來形成。犧牲性閘極材料 302 可被平面化到對應於如在此上文有關圖 2 所說明之至少閘極堆疊 212 的高度 222 之高度 322。例如，高度 322 可以至少約 200 nm。在一實施例中，犧牲性閘極材料 302 係可由多晶材料所形成，諸如多晶矽等。在一實施例中，犧牲性閘極材料 302 被平面化至實質上大於高度 222 之高度 322。在一此種實施例中，犧牲性閘極材料 302 的高度 322 被設定目標，以適應可包含在拋光處理期間凹陷高度 322 之隨後的代替閘極處理，如下面將更詳細說明一般。在例示實施例中，犧牲性閘極材料 302 的高度 322 大於閘極堆疊 212 的終極目標高度 222 約為 1.5-2 倍。

接著，在圖 3C 中，圖案化遮罩 304 係形成在犧牲性閘極材料 302 的一部分上。藉由圖案化及蝕刻技術來形成

圖案化遮罩 304。例如，圖案化遮罩 304 係形成如下：藉由在光阻上旋轉塗佈、及隨後藉由曝光及顯影處理來圖案化光阻。在一實施例中，在隨後蝕刻處理中使用光阻以圖案化下面的硬遮罩。硬遮罩然後被使用作為圖案化遮罩 304。在另一實施例中，光阻本身被使用作為圖案化遮罩 304。圖案化遮罩 304 覆蓋將形成犧牲性閘極結構之犧牲性閘極材料 302 的一部分。圖案化遮罩 304 亦定義鰭部 104 的通道區。在實施例中，圖案化遮罩 304 係沿著垂直鰭部 104 的方向來形成。圖案化遮罩 304 可具有實質上對應於隨後所形成的閘極堆疊之寬度的寬度 305，諸如閘極堆疊 212 的頂部分 202 之寬度 208 等，如在此有關圖 2 所討論一般。

一旦形成圖案化遮罩 304，如圖 3D-1 所示，從犧牲性閘極材料 302 形成犧牲性閘極結構 306。犧牲性閘極結構 306 包括頂部分 324 及底部分 328。錐形部分可配置在頂部分 324 與底部分 328 之間。在一實施例中，頂部分 324 的寬度 305 大於底部分 328 的寬度 307。在圖 3D-2 所示的圖 3D-1 之橫剖面圖中圖解更詳細的犧牲性閘極輪廓立體圖。尤其是，圖 3D-2 圖解跨越鰭部 104 旁邊的平面中之犧牲性閘極結構 306 的長度（沿著鰭部 104 的長度）之圖 3D-1 的橫剖面圖。視野係朝向鰭部 104 所觀察的立體，使得鰭部 104 被圖示在背景中，而犧牲性閘極結構 306 的橫剖面被圖示在前景中。因此，犧牲性閘極結構 306 的結構輪廓被圖示成與鰭部 104 相對。應明白，在此

所使用之“輪廓”一詞意指當在沿著鰭部 104 的長度之方向上切割的結構之橫剖面輪廓。

參考圖 3D-2，頂部分 324 的寬度 305 係大於底部分 328 的寬度 307。例如，頂部分 324 的寬度 305 可以寬至寬度 307 的至少兩倍。在一實施例中，當寬度 305 的範圍在 36 至 44 nm 之間時，寬度 307 的範圍在 18 至 22 nm 之間。在特定實施例中，當底部分 328 的寬度 307 約為 20 nm 時，寬度 305 約為 40 nm。在閘極堆疊形成期間，較寬的頂部分 328 實質上減少夾止的機會以及因此的空隙 124 形成，如在此將另討論一般。

底部分 328 的寬度 307 可定義電晶體裝置的閘極長度。例如，若寬度 307 約為 20 nm，則電晶體裝置的閘極長度可約為 20 nm。在實施例中，寬度 307 係根據設計要求來建立。

頂部分及底部分 324 及 328 二者各個具有跨越其整個垂直長度之實質上固定的寬度。例如，頂部分 324 可具有跨越其整個垂直長度 308 之實質上固定的寬度 305，而底部分 328 亦可具有跨越其整個垂直長度 312 之固定的寬度 307。因此，頂部分及底部分 324 及 328 二者都具有實質上垂直側壁。

錐形部分 326 係位在頂部分與底部分 324 及 328 之間。錐形部分 326 具有垂直高度 310。在實施例中，錐形部分 326 具有彎曲側壁 318。彎曲側壁 318 具有凹形輪廓，其跨越犧牲性閘極結構 306 的中心而彼此對映。錐形

部分 326 具有頂部較寬而底部較窄之逐漸減少的寬度。在一實施例中，錐形部分 326 的頂部具有與頂部分 324 相同的寬度 305，而錐形部分 326 的底部具有與底部分 328 相同的寬度 307。例如，在頂部分及底部分 324 及 328 的寬度分別為 40 nm 及 20 nm 之實施例中，錐形部分 326 的頂寬度及底寬度分別為 40 nm 及 20 nm。錐形部分 326 的凹形輪廓在閘極堆疊的形成期間能夠更容易填充開口的底部分，如在此將參考圖 3G 另討論一般。

根據本發明的實施例，垂直長度 308、310、及 312 在大小上可改變。在一實施例中，底部分 328 的垂直長度 312 係大於鰭部 104 的高度 314。例如，底部分 328 的垂直長度 312 可大於鰭部 104 的高度 314 至少 20 nm。在鰭部 104 的高度 314 約為 40 nm 之實施例中，底部分 328 的垂直長度 312 約為 60 nm。因此，犧牲性閘極結構 306 的頂部分 324 及錐形部分 326 係配置在鰭部 104 上方。在一實施例中，錐形部分 326 的頂部係在鰭部 104 的頂部上方，使得底部分 328 具有大於鰭部 104 的高度 314 之垂直長度 312。在一實施例中，錐形部分 326 的頂部可在犧牲性閘極結構 306 之高度 322 的中點四周。另一選擇是，錐形部分 326 的頂部係在犧牲性閘極結構 306 之高度 322 的中點下方，但是距離 STI 103 的頂部某段距離，使得底部分 328 的垂直長度 312 係大於鰭部 104 的高度 314。由於跨越底部分 328 的整個垂直長度 312 之實質上固定寬度 307，所以具有錐形部分 326 在鰭部 104 上方可確保跨越

鰭部 104 的所有表面之寬度 307 是相同的。因此，跨越鰭部 104 的所有表面之閘極長度實質上相等。然而，在其他實施例中，只有錐形部分 326 的一部分必須在鰭部 104 上方。如此，錐形部分 326 的至少一部分係在鰭部 104 上方。

錐形部分 326 的垂直長度 310 可以是足夠生產實質上彎曲側壁 318 之適當大小。例如，垂直長度 310 可在 15 至 25 nm 之間。在一實施例中，垂直長度 310 約為 20 nm。實質上彎曲側壁 318 具有寬度上的平緩變化，使材料能夠沉積在隨後所形成的空腔內，而不會夾止及形成空隙。因此，寬度上的平緩變化使其在隨後填充底部分 328 期間更容易沉積閘極材料，如在此將另討論一般。

頂部分 324 的垂直長度 308 係藉由犧牲性閘極結構 306 的高度 322 與錐形部分 326 及底部分 328 之垂直長度 310 及 312 的總和之間的剩餘距離來決定。例如，在高度 322 為 200 nm 及垂直長度 310 (如、20 nm) 及 312 (如、40 nm) 之總和為 60 nm 之實施例中，頂部分 324 的垂直長度 308 為 120 nm。然而，頂部分 324 的垂直長度 308 不小於總高度 322 的一半。具有大於總高度 322 的一半之垂直長度 308 能夠維持犧牲性閘極結構輪廓的適合填充性。例如，若頂部分 324 的垂直長度 308 小於總高度 322 之距離的一半，則底部分 328 也會太高，如此在閘極堆疊形成期間會產生較大的夾止可能性，如在此將另討論一般。

在一實施例中，頂部分 324 可具有侵蝕的側壁輪廓 316。侵蝕的側壁輪廓 316 可以是從第一處理操作期間所建立之側壁 315 的最初位置稍微凹陷之側壁輪廓。侵蝕的側壁輪廓 316 可藉由在第二處理操作期間對蝕刻環境進一步曝光來產生。如此，在一些實施例中，頂部分 324 的側壁 315 實質上未筆直，而是具有稍微凹形輪廓。在一實施例中，侵蝕的側壁 316 係從側壁 315 的最初位置凹陷約 1 至 10 nm。在特定實施例中，侵蝕的側壁 316 在其最凹陷點處係從其最初位置凹陷約 5 nm。

犧牲性閘極結構 306 的高度 322 係根據設計要求來建立。例如，在閘極堆疊被設計成具有寬高比 10 比 1 之實施例中，犧牲性閘極結構 306 的高度 322 約為底部分 328 的寬度 307 的十倍。例如，若寬度 307 約為 20 nm，則高度 322 約為 200 nm。在實施例中，犧牲性閘極結構 306 的高度 322 可包括頂部分 324 的垂直長度 308、錐形部分 326 的垂直長度 310、及頂部分 328 的垂直長度 312。在一實施例中，高度 322 的範圍在 180 至 220 nm 之間。高的高度 322 使犧牲性閘極結構 306 能夠抵抗來自隨後的處理操作蝕刻之侵蝕。

根據本發明的實施例，犧牲性閘極結構 306 係藉由以如電漿蝕刻處理之蝕刻處理來蝕刻犧牲性閘極材料 302 所形成，包含兩處理操作：第一處理操作及第二處理操作。兩處理操作可在同一處理室內連續執行。藉由改變兩處理操作的反應物氣體濃度及處理溫度來小心最佳化處理操作

的相對各向異性可產生犧牲性閘極結構 306 的適合填充輪廓，如圖 3D-1 所示。

在一例子中，第一處理操作可充作主蝕刻操作，而第二處理操作可充作最後蝕刻及過度蝕刻操作。因此，第一及第二處理操作可分別包括第一及第二處理環境。在一實施例中，第一及第二處理環境各包括反應物氣體濃度及處理溫度。蝕刻氣體可以是能夠蝕刻犧牲性閘極材料 302 之任何適當氣體。例如，若犧牲性閘極材料係由多晶矽所形成，則蝕刻氣體可以是氯。根據本發明的實施例，第一處理環境包括比第二處理環境的反應物氣體濃度及處理溫度高的反應物氣體濃度及處理溫度。在特定實施例中，第一處理環境包括針對適合處理 300 mm 晶圓的處理體積之惰性氣體及反應物氣體的總蝕刻氣體流約 1800 sccm。在第一處理環境的約 1800 sccm 總氣體流中，約 50 至 70 sccm 為反應物氯氣。在一實施例中，約在範圍 65°C 至 75°C 的處理溫度被用於第一處理環境。第二處理環境亦包括針對適合處理 300 mm 晶圓的處理體積之惰性氣體及反應物氣體的總反應物氣體流約 1800 sccm。然而，在第二處理環境的約 1800 sccm 總氣體流中，約 20-40 sccm 為反應物氯氣。在一實施例中，約在範圍 50°C 至 60°C 的處理溫度被用於第二處理環境。如此在一實施例中，第一與第二蝕刻操作之間的可協調性係藉由改變氯濃度及處理溫度來達成。

第一處理操作可形成犧牲性閘極結構 306 的頂部分

324。尤其是，第一蝕刻處理操作可被實施，以蝕刻犧牲性閘極材料 302 至約部分 324 與 326 之間的彎曲點最後將形成在犧牲性閘極結構中之位準。在一實施例中，第二處理操作係緊接在第一處理操作之後執行。第二處理操作可被實施，以便完成犧牲性閘極材料 302 的蝕刻向下直到鰭部 104 的表面或 STI 103（依據犧牲性材料 302 的位置而定）。而且，第二處理操作下割區域 324，以形成犧牲性閘極結構的區域 326 及 328。因此，可緊接在執行第一處理操作之後將第二處理環境建立在處理室中。第二處理環境可產生犧牲性閘極結構 306 的過度蝕刻，因此形成錐形部分 326 及底部分 328。對第二處理環境的固定曝光使頂部分 324 的寬度 305 能夠逐漸變窄至底部分 328 的寬度 307。例如，處理環境的立即變化會使犧牲性閘極結構 306 逐漸變窄（其定義錐形部分 326），直到其達成過度蝕刻目標深度（其定義底部分 328 的寬度 307）。因此，底部分 328 的寬度 307 係小於頂部分 324 的寬度 305。在實施例中，底部分 328 的寬度 307 係小於頂部分 324 的寬度 305 至少兩倍。頂部分及底部分 324 及 328 二者分別都具有跨越其整個高度之固定的寬度 305 及 307。在一實施例中，由第二處理環境所產生的錐形部分 326 內之犧牲性閘極結構 306 的逐漸變細形成彎曲、凹形輪廓。犧牲性閘極結構 306 之頂、底、及錐形部分 324、328、及 326 的尺寸分別對應於閘極堆疊 212 的頂、底、及錐形部分 202、206、及 204，如在此參考圖 2 所說明一般。

在一實施例中，一旦形成犧牲性閘極結構 306，一對側壁間隔物（未圖示）係形成在犧牲性閘極結構 306 四周。此對閘極間隔物在植入源極及汲極區 106 及 108 期間可充作植入遮罩。側壁間隔物係由諸如氮化矽、氧化矽、碳化矽、摻雜有碳之氮化矽、及氮氧化矽等材料所形成。用以形成側壁間隔物之處理在技藝中眾所皆知，並且通常包括沉積及蝕刻處理操作。

源極及汲極區 106 及 108 然後形成在犧牲性閘極結構 306 的相對側上，如先前圖 3D-1 所示一般。在一實施例中，源極及汲極區 106 及 108 係藉由植入/擴散處理而形成在鰭部 104 內。諸如硼、鋁、銻、磷、或砷等摻雜劑可被離子植入到基板內，以形成源極及汲極區 106 及 108。活化摻雜劑及使它們能夠進一步擴散到鰭部 104 內之退火處理可跟在離子植入處理之後。在其他實施例中，取代形成已植入的源極及汲極區 106 及 108，源極及汲極結構（未圖示）可形成在鰭部 104 的露出表面上（其可以是鰭部 104 的凹陷區域）取而代之。源極及汲極結構可藉由磊晶沉積處理來形成。在一些實施中，源極及汲極結構可使用矽合金來製造，諸如矽鍺或碳化矽等，以便加壓通道區。在一些實施中，可在原處以諸如硼、砷、或磷等摻雜劑摻雜磊晶沉積的矽合金。在其他實施例中，源極及汲極結構可使用一或更多個替代半導體材料來形成，諸如鍺或第 III-V 族材料或合金等。在其他實施例中，一或更多層金屬及/或金屬合金可被用於形成源極及汲極結構。

之後，可如圖 3E 所示一般形成一或更多個隔離層 350。在一實施例中，隔離層 350 係藉由覆蓋沉積絕緣材料來形成，接著平面化處理。覆蓋沉積可藉由諸如 CVD 等任何適當沉積處理來執行，隨後藉由諸如 CMP 等平面化處理來平面化。CMP 處理可平面化絕緣材料至犧牲性閘極結構 306 的頂表面 309 以露出犧牲性閘極結構 306。在一實施例中，犧牲性閘極結構 306 的頂表面 309 係與隔離層 350 的頂表面 317 共平面。在半導體裝置中，隔離層 350 可以是諸如第一中間層介電 (ILD0) 等低位準隔離層，用以電隔離源極及汲極區 106 及 108 與較高位準的路由線。在一實施例中，在 CMP 處理期間降低閘極結構 306 的高度。尤其是，在用於平面化隔離層 350 及露出閘極結構 306 之平面化處理期間，可降低犧牲性閘極結構 306 的垂直長度 324。在一此種實施例中，實施此種過度平面化處理，以適應晶圓各處的不同拋光特性，其係由於晶圓各處之不同裝置佈局密度的存在所引起。因此，犧牲性閘極結構 306 的高度 322 可被製造，以適應過度平面化處理，其降低犧牲性閘極結構 306 的高度至最終對應於有關圖 2 所說明之閘極堆疊的高度 222 之高度。

隔離層 350 係使用其在積體電路結構中的適用性眾所皆知之介電材料來形成，諸如低 K 介電材料等。可使用之介電材料的例子包括但並不局限於：二氧化矽 (SiO_2)、摻雜氧的碳 (CDO)、氮化矽、諸如八氟環丁烷或聚四氟乙烯、氟矽酸鹽玻璃 (FSG) 等有機聚合物、及諸如倍半

矽氧烷、矽氧烷、或有機矽酸鹽玻璃等有機矽酸鹽。隔離層 350 可包括氣孔或空氣隙以進一步降低其介電常數。

接著，在圖 3F 中，犧牲性閘極結構 306 可藉由選擇性蝕刻處理來移除。例如，可使用選擇性移除犧牲性閘極結構 306 之濕蝕刻處理。選擇性蝕刻處理可在保持周圍材料完整的同時大體上移除犧牲性閘極結構 306。因此，開口 321 可形成在隔離層 350 內。開口 321 可具有對應於犧牲性閘極結構 306 的輪廓之開口輪廓。尤其是，開口 321 可具有對應於犧牲性閘極結構 306 的部分 324、326、及 328 之部分。如此，開口 321 可具有寬頂部分 332、錐形部分 334、窄底部分 336，其分別對應於犧牲性閘極結構 306 的部分 324、326、及 328。應明白，在一實施例中，由於過度拋光或過度平面化處理，開口 321 之寬頂部分 332 的垂直長度可實質上小於對應部分 324 的垂直長度，如上述。

之後，如圖 3G 所示，藉由開口 321 形成閘極堆疊 212，以完成電晶體 200 的形成。在一實施例中，閘極堆疊 212 可包括閘極介電層 214、功函數金屬層 216、及填充金屬層 218。介電層 214 最初保形地沉積在開口 321 內，及功函數金屬層 216 及填充金屬 218 隨後沉積在介電層 214 之上。諸如但並不侷限於濺鍍或原子層沉積（ALD）等任何適當沉積處理可用於沉積閘極堆疊 212。諸如 CMP 等平面化處理可用於平面化閘極堆疊 212 至隔離層 350 的頂表面 317。開口 321 的輪廓是高度適合填充

的，其隨後最小化閘極堆疊 212 內之空隙的形成，諸如圖 1 所示之形成在習知形成的閘極堆疊 112 中之空隙 124 等。尤其是，開口 321 的錐形部分 326 使閘極材料能夠容易地沉積在底部分 328 內。另外，寬頂部分 326 使材料較易沉積而不會被夾止。因此，空隙未形成在閘極堆疊 212 內。

最後的閘極堆疊 212 具有隨後同於在此討論有關圖 2 之閘極輪廓的閘極輪廓。例如，閘極堆疊 212 具有頂部分 202、底部分 206、及錐形部分 204。閘極堆疊 212 的頂、底、及錐形部分 202、206、及 204 隨後分別同於犧牲性閘極結構 306 的頂、底、及錐形部分 324、328、及 326。如此，有關犧牲性閘極結構 306 的輪廓之討論亦適用於閘極堆疊 212 的輪廓。

閘極介電 214 包括一層或層的堆疊。一或更多層包括氧化矽、二氧化矽 (SiO_2)、及/或高 K 介電材料。高 K 介電材料包括諸如鈣、矽、氧、鈦、鉭、釧、鋁、鋯、鋇、鋇、鈮、鉛、銦、鈮、及鋅等元素。用於閘極介電層之高 K 材料的例子包括但並不侷限於：氧化鈣、氧化鈣矽、氧化釧、氧化釧鋁、氧化鋯、氧化鋯矽、氧化鉭、氧化鈦、氧化鋇鋇鈦、氧化鋇鈦、氧化鈮鈦、氧化鈮、氧化鋁、氧化鉛銦鉭、及鉛鋅鈮酸鹽。在一些實施例中，當使用高 K 材料時，可在閘極介電 214 上實施退火處理以提高其品質。在一實施例中，閘極介電 214 係由具有介電常數大於 8 之高 K 介電材料所形成。

功函數金屬 216 可以是 P 型功函數金屬或 N 型功函數金屬，依據電晶體 200 是 PMOS 還是 NMOS 電晶體而定。在一些實施中，閘極堆疊 212 的閘極電極係由兩或更多個金屬層的堆疊所形成，其中，一或更多個金屬層為功函數金屬層及至少一金屬層為填充金屬層。

就 PMOS 電晶體而言，可用於閘極電極之金屬包括但並不局限於：鈦、鈮、鉑、鈷、鎳、及導電金屬氧化物，如氧化鈦。P 型金屬層將能夠形成具有功函數在約 4.9eV 及約 5.2eV 之間的 PMOS 閘極電極。就 NMOS 電晶體而言，可用於閘極電極之金屬包括但並不局限於：鈦、鋳、鈦、鉍、鋁、這些金屬的合金、及這些金屬的碳化物，諸如碳化鈦、碳化鋳、碳化鈦、碳化鉍、及碳化鋁等。N 型金屬層將能夠形成具有功函數在約 3.9eV 及約 4.2eV 之間的 NMOS 閘極電極。

圖 4 為包括本發明的一或更多個實施例之中介體 400。中介體 400 為用於橋接第一基板 402 到第二基板 404 的中間基板。第一基板 402 可以是例如積體電路晶錠。第二基板 404 可以是例如記憶體模組、電腦母板、或另一積體電路晶錠。通常，中介體 400 的目的係用於延展連接到更寬的間距或者重新路由連接到不同連接。例如，中介體 400 可耦合積體電路晶錠到球柵陣列 (BGA) 406，其隨後可耦合至第二基板 404。在一些實施例中，第一及第二基板 402/404 係裝附至中介體 400 的相對側。在其他實施例中，第一及第二基板 402/404 係裝附至中介

體 400 的同一側。並且在其他實施例中，三或更多個基板係經由中介體 400 互連。

中介體 400 係由環氧樹脂、纖維玻璃強化環氧樹脂、陶瓷材料、或諸如聚醯亞胺等聚合物材料所形成。在其他實施中，中介體係由包括用於半導體基板之上述相同材料的替代堅硬或撓性材料所形成，諸如矽、鍺、及其他第 III-V 族及第 IV 族材料等。

中介體可包括金屬互連 408 及通孔 410，其包括但並不局限於直通矽通孔（TSVs）412。中介體 400 另包括嵌式裝置 414，包括被動及主動裝置二者。此種裝置包括但並不局限於電容器、解耦合電容器、電阻器、電感器、熔絲、二極體、變壓器、感應器、及靜電放電（ESD）裝置。諸如射頻（RF）裝置、功率放大器、功率管理裝置、天線、陣列、感應器、及 MEMS 裝置等更複雜的裝置亦形成在中介體 400 上。

根據本發明的實施例，在此所揭示之設備或處理可用於中介體 400 的製造。

圖 5 圖解根據本發明的一實施例之計算裝置 500。計算裝置 500 包括一些組件。在一實施例中，這些組件係裝附至一或更多個母板。在另一實施例中，這些組件係製造於單晶片系統晶錠上（SoC），而非母板上。計算裝置 500 中之組件包括但並不局限於：積體電路晶錠 502 及至少一通訊晶片 508。在一些實施中，通訊晶片 508 被製造作為積體電路晶錠 502 的一部分。積體電路晶錠 502 可包

括 CPU 504 與晶錠上記憶體 506（通常被使用作為快取記憶體），其可由諸如崁入式 DRAM（動態隨機存取記憶體）（eDRAM）或自旋轉移力矩記憶體（STTM 或 STTM-RAM）等技術來設置。

計算裝置 500 包括可以或不用實體上及電耦合至母板或或製造於 SoC 晶錠內之其他組件。這些其他組件包括但並不局限於揮發性記憶體 510（如、DRAM）、非揮發性記憶體 512（如、ROM（唯讀記憶體）或快閃記憶體）、圖形處理單元 514（GPU）、數位信號處理器 516、密碼處理器 542（執行硬體內的密碼演算法之專門處理器）、晶片組 520、天線 522、顯示器或觸碰式螢幕顯示器 524、觸碰式螢幕控制器 526、電池 528 或其他電源、功率放大器（未圖示）、全球定位系統（GPS）裝置 528、羅盤 530、移動共同處理器或感應器 532（其可包括加速儀、迴轉儀、及羅盤）、揚聲器 534、相機 536、使用者輸入裝置 538（諸如鍵盤、滑鼠、電子筆、及觸碰式墊板等）、及大量儲存體裝置 540（諸如硬碟機、小型碟（CD）、數位多用途碟（DVD）等等）。

通訊晶片 508 能夠無線通訊以轉移資料至及自計算裝置 500。“無線”一詞及其衍生字可用於說明電路、裝置、系統、方法、技術、通訊頻道等，其可透過非固態媒體經由使用已調變電磁輻射來通訊資料。此一詞並不意指相關裝置未包含任何線路，但是在一些實施例中未包含。通訊晶片 508 可實施一些無線標準或協定的任一個，包括但並

不局限於 Wi-Fi (IEEE 802.11 家用) 、 WiMAX (IEEE 802.16 家用) 、 IEEE 802.20 、 長期演進技術 (LTE) 、 Ev-DO 、 HSPA+ 、 HSDPA+ 、 HSUPA+ 、 EDGE 、 GSM 、 GPRS 、 CDMA 、 TDMA 、 DECT 、 藍芽 、 其衍生物 ， 以及被指定作 3G 、 4G 、 5G 及以上之任何其他無線協定 。 計算裝置 500 可包括複數個通訊晶片 508 。 例如 ， 第一通訊晶片 508 專屬於較短範圍無線通訊 ， 諸如 Wi-Fi 及藍芽等 ， 而第二通訊晶片 508 專屬於較長範圍無線通訊 ， 諸如 GPS 、 EDGE 、 GPRS 、 CDMA 、 WiMAX 、 LTE 、 Ev-DO 及其他 。

根據本發明的實施例 ， 計算裝置 500 的處理器 504 包括諸如非平面電晶體等一或更多個裝置 ， 其係由利用具有適合填充輪廓的犧牲性閘極結構之代替閘極處理來形成 。“ 處理器 ” 一詞可意指處理來自暫存器及 / 或記憶體之電子資料以將那電子資料轉換成可儲存在暫存器及 / 或記憶體中之其他電子資料之任何裝置或裝置的部分 。

根據本發明的實施例 ， 通訊晶片 508 亦包括諸如非平面電晶體等一或更多個裝置 ， 其係由利用具有適合填充輪廓的犧牲性閘極結構之代替閘極處理來形成 。

在其他實施例中 ， 根據本發明的實施例 ， 框覆在計算裝置 500 內之另一組件可包含諸如非平面電晶體等一或更多個裝置 ， 其係由利用具有適合填充輪廓的犧牲性閘極結構之代替閘極處理來形成 。

在各種實施例中 ， 計算裝置 500 可以是膝上型電腦 、

小筆電、筆記型電腦、超輕薄筆電、智慧型電話、平板電腦、個人數位助理（PDA）、迷你行動型電腦、行動電話、桌上型電腦、伺服器、列印機、掃描器、監視器、機上盒、娛樂控制單元、數位相機、可攜式音樂播放器、或數位視頻記錄器。在其他實施中，計算裝置 500 可以是處理資料之任何其他電子裝置。

本發明的圖解實施之上述說明（包括摘要中所說明者）並不用於耗盡性或侷限本發明至所揭示的精確形式。儘管特有實施及例子，但是在此說明本發明僅為了圖解目的，在本發明的範疇內可有各種同等修改，如精於相關技藝之人士所明白一般。而且，雖然詳細參考鰭部為基的或非平面裝置，但是在此所說明的方法亦可應用到平面裝置，尤其是使用代替閘極規劃所製造之短通道平面裝置。

鑑於上述詳細說明，可對本發明進行修改。下面申請專利範圍所使用的語詞不應被闡釋成將本發明侷限至說明書及申請專利範圍所揭示之特定實施。而是本發明的範疇將由根據申請解釋所建立的原理所建構之下面申請專利範圍全權決定。

在一實施例中，半導體裝置包括：半導體基板及延伸在半導體基板上方之鰭部，鰭部包含位在通道區的相對側上之源極區及汲極區。閘極堆疊係在通道區之上，閘極堆疊包含頂部分、錐形部分、及底部分，其中，頂部分係藉由錐形部分與底部分分開，其中，頂部分及錐形部分的至少一部分係在鰭部上方，並且其中，頂部分的寬度係大於

底部分的寬度。

在一實施例中，頂部分的寬度係大於底部分的寬度至少兩倍。

在一實施例中，頂部分的寬度為 40 nm，而底部分的該寬度為 20 nm。

在一實施例中，錐形部分係在鰭部上方。

在一實施例中，底部分的垂直長度係大於鰭部的高度。

在一實施例中，錐形部分的頂部係在閘極堆疊高度的中點。

在一實施例中，錐形部分包含彎曲側壁。

在一實施例中，彎曲側壁的輪廓為凹形。

在一實施例中，閘極高度對閘極長度的比值係大於 5 比 1。

在一實施例中，閘極高度對閘極長度的比值為 10 比 1。

在一實施例中，錐形部分係配置在閘極高度的中點下方及鰭部上方。

在一實施例中，跨越各個各別部分的總高度之頂部分及底部分的寬度是固定的。

在一實施例中，形成半導體裝置之方法包含：設置半導體基板，半導體基板具有延伸在半導體基板上方之鰭部。方法亦包含：以單一蝕刻處理將犧牲性閘極結構形成在鰭部的通道區之上，單一蝕刻處理包含第一處理操作及

第二處理操作，第一處理操作具有第一處理環境，而第二處理操作具有不同於第一處理環境之第二處理環境。方法亦包含：將介電材料沉積在犧牲性閘極結構四周。方法亦包含：移除犧牲性閘極結構，以將開口形成在介電材料內，開口具有犧牲性閘極輪廓的對應輪廓。方法亦包含：將閘極堆疊形成在開口內，閘極堆疊具有與犧牲性閘極結構相同的輪廓。

在一實施例中，第一處理操作為主蝕刻操作，而第二處理操作為過度蝕刻操作。

在一實施例中，第一處理操作形成頂部分，而第二處理條件形成錐形部分及底部分。

在一實施例中，第二處理操作係緊接在第一處理操作之後執行。

在一實施例中，各個處理環境包含處理溫度及反應物氣體濃度。

在一實施例中，反應物氣體濃度包含氯。

在一實施例中，第一處理環境具有比第二處理條件之反應物氣體濃度及處理溫度高的反應物氣體濃度及處理溫度。

在一實施例中，計算裝置包括母板及安裝在母板上的處理器。通訊晶片係製造於與處理器相同的晶片上或者安裝於母板上。處理器包括半導體裝置，半導體裝置包括半導體基板及延伸在半導體基板上方的鰭部，鰭部包含位在通道區的相對側上之一對源極及汲極區。半導體裝置亦包

括閘極堆疊，係配置在通道區上，閘極堆疊包含藉由錐形部分與底部分分開之頂部分，其中，頂部分及錐形部分的至少一部分係配置在鰭部上方，並且其中，頂部分的寬度係大於底部分的寬度。

在一實施例中，頂部分的寬度係大於底部分的寬度至少兩倍。

在一實施例中，錐形部分包含彎曲側壁。

在一實施例中，彎曲側壁的輪廓為凹形。

在一實施例中，閘極高度對閘極長度的比值係大於 5 比 1。

在一實施例中，錐形部分係配置在閘極高度的中點下方及鰭部上方。

【符號說明】

100：鰭式場效電晶體

102：基板

103：淺溝渠隔離

104：鰭部

105：側壁

106：源極區

107：側壁

108：汲極區

110：通道區

112：閘極堆疊

- 112：閘極電極
- 114：閘極介電
- 116：功函數金屬層
- 118：填充金屬層
- 120：寬度
- 122：高度
- 124：空隙
- 200：電晶體
- 202：頂部分
- 204：錐形部分
- 206：底部分
- 208：寬度
- 212：閘極堆疊
- 214：閘極介電層
- 216：功函數金屬層
- 218：填充金屬層
- 220：閘極長度
- 222：高度
- 302：犧牲性閘極材料
- 304：圖案化遮罩
- 305：寬度
- 306：犧牲性閘極結構
- 307：寬度
- 308：垂直長度

- 309 : 頂表面
- 310 : 垂直高度
- 312 : 垂直長度
- 314 : 高度
- 315 : 側壁
- 316 : 侵蝕的側壁輪廓
- 317 : 頂表面
- 318 : 彎曲側壁
- 321 : 開口
- 322 : 高度
- 324 : 頂部分
- 326 : 錐形部分
- 328 : 底部分
- 332 : 頂部分
- 334 : 錐形部分
- 336 : 底部分
- 350 : 隔離層
- 400 : 中介體
- 402 : 第一基板
- 404 : 第二基板
- 406 : 球柵陣列
- 408 : 金屬互連
- 410 : 通孔
- 412 : 直通矽通孔

- 414：崁入式裝置
- 500：計算裝置
- 502：積體電路晶錠
- 504：中央處理單元
- 506：晶錠上記憶體
- 508：通訊晶片
- 510：揮發性記憶體
- 512：非揮發性記憶體
- 514：圖形處理單元
- 516：數位信號處理器
- 520：晶片組
- 522：天線
- 524：顯示器或觸碰式螢幕顯示器
- 526：觸碰式螢幕控制器
- 528：電池
- 530：羅盤
- 532：移動共同處理器或感應器
- 534：揚聲器
- 536：相機
- 538：使用者輸入裝置
- 540：大量儲存體裝置
- 542：密碼處理器
- 644：全球定位系統

申請專利範圍

1. 一種半導體裝置，包含：

半導體基板；

鰭部，係延伸在該半導體基板上方，該鰭部包含位在通道區的相對側上之源極區及汲極區；

閘極堆疊，係在該通道區上，該閘極堆疊包含頂部分、錐形部分、及底部分，其中，該頂部分係藉由該錐形部分與該底部分分開，其中，該頂部分及該錐形部分的至少一部分係在該鰭部上方，並且其中，該頂部分的寬度係大於該底部分的寬度。

2. 根據申請專利範圍第 1 項之半導體裝置，其中，該頂部分的該寬度係大於該底部分的該寬度至少兩倍。

3. 根據申請專利範圍第 2 項之半導體裝置，其中，該頂部分的該寬度為 40 nm，而該底部分的該寬度為 20 nm。

4. 根據申請專利範圍第 1 項之半導體裝置，其中，該錐形部分係在該鰭部上方。

5. 根據申請專利範圍第 1 項之半導體裝置，其中，該底部分的垂直長度係大於該鰭部的高度。

6. 根據申請專利範圍第 1 項之半導體裝置，其中，該錐形部分的該頂部係在該閘極堆疊高度的中點。

7. 根據申請專利範圍第 1 項之半導體裝置，其中，該錐形部分包含彎曲側壁。

8. 根據申請專利範圍第 7 項之半導體裝置，其中，

該等彎曲側壁的輪廓為凹形。

9. 根據申請專利範圍第 1 項之半導體裝置，其中，閘極高度對閘極長度的比值係大於 5 比 1。

10. 根據申請專利範圍第 9 項之半導體裝置，其中，閘極高度對閘極長度的該比值為 10 比 1。

11. 根據申請專利範圍第 1 項之半導體裝置，其中，該錐形部分係配置在該閘極高度的該中點下方及該鰭部上方。

12. 根據申請專利範圍第 1 項之半導體裝置，其中，跨越各個各別部分的總高度之該頂部分及該底部分的該寬度是固定的。

13. 一種形成半導體裝置之方法，包含：

設置半導體基板，該半導體基板具有延伸在該半導體基板上方之鰭部；

以單一蝕刻處理將犧牲性閘極結構形成在該鰭部的通道區之上，該單一蝕刻處理包含第一處理操作及第二處理操作，該第一處理操作具有第一處理環境，而該第二處理操作具有不同於該第一處理環境之第二處理環境；

將介電材料沉積在該犧牲性閘極結構四周；

移除該犧牲性閘極結構，以將開口形成在該介電材料內，該開口具有該犧牲性閘極輪廓的對應輪廓；以及

將閘極堆疊形成在該開口內，該閘極堆疊具有與該犧牲性閘極結構相同的輪廓。

14. 根據申請專利範圍第 13 項之方法，其中，該第

一處理操作為主蝕刻操作，而該第二處理操作為過度蝕刻操作。

15. 根據申請專利範圍第 13 項之方法，其中，該第一處理操作形成該頂部分，而該第二處理條件形成該錐形部分及該底部分。

16. 根據申請專利範圍第 13 項之方法，其中，該第二處理操作係緊接在該第一處理操作之後執行。

17. 根據申請專利範圍第 13 項之方法，其中，各個處理環境包含處理溫度及反應物氣體濃度。

18. 根據申請專利範圍第 17 項之方法，其中，該反應物氣體濃度包含氟。

19. 根據申請專利範圍第 17 項之方法，其中，該第一處理環境具有比該第二處理條件之反應物氣體濃度及處理溫度高的反應物氣體濃度及處理溫度。

20. 一種計算裝置，包含：

母板；

處理器，係安裝於該母板上；以及

通訊晶片，係製造於與該處理器相同的晶片上，或者安裝於該母板上；

其中，該處理器包含半導體裝置，包含：

半導體基板；

鰭部，係延伸在該半導體基板上方，該鰭部包含位在通道區的相對側上之一對源極及汲極區；

閘極堆疊，係配置在該通道區上，該閘極堆疊包

含藉由該錐形部分與該底部分分開之頂部分，其中，該頂部分及該錐形部分的至少一部分係配置在該鰭部上方，並且其中，該頂部分的寬度係大於該底部分的寬度。

21. 根據申請專利範圍第 20 項之半導體裝置，其中，該頂部分的該寬度係大於該底部分的該寬度至少兩倍。

22. 根據申請專利範圍第 20 項之半導體裝置，其中，該錐形部分包含彎曲側壁。

23. 根據申請專利範圍第 20 項之半導體裝置，其中，該等彎曲側壁的輪廓為凹形。

24. 根據申請專利範圍第 20 項之半導體裝置，其中，閘極高度對閘極長度的比值係大於 5 比 1。

25. 根據申請專利範圍第 20 項之半導體裝置，其中，該錐形部分係配置在該閘極高度的該中點下方及該鰭部上方。

圖式

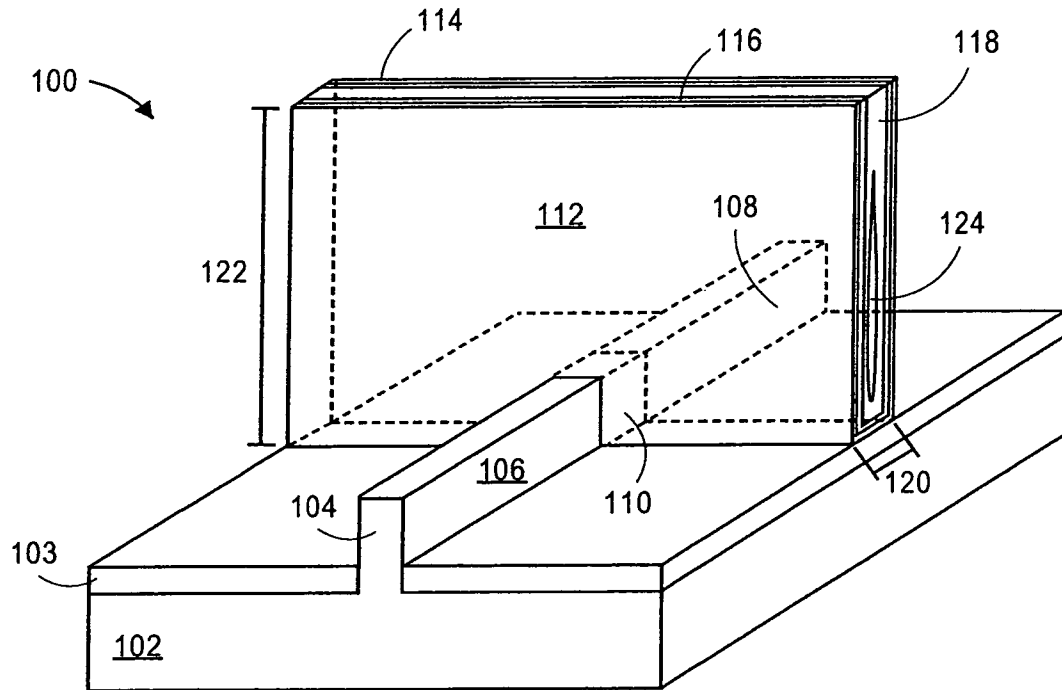


圖 1

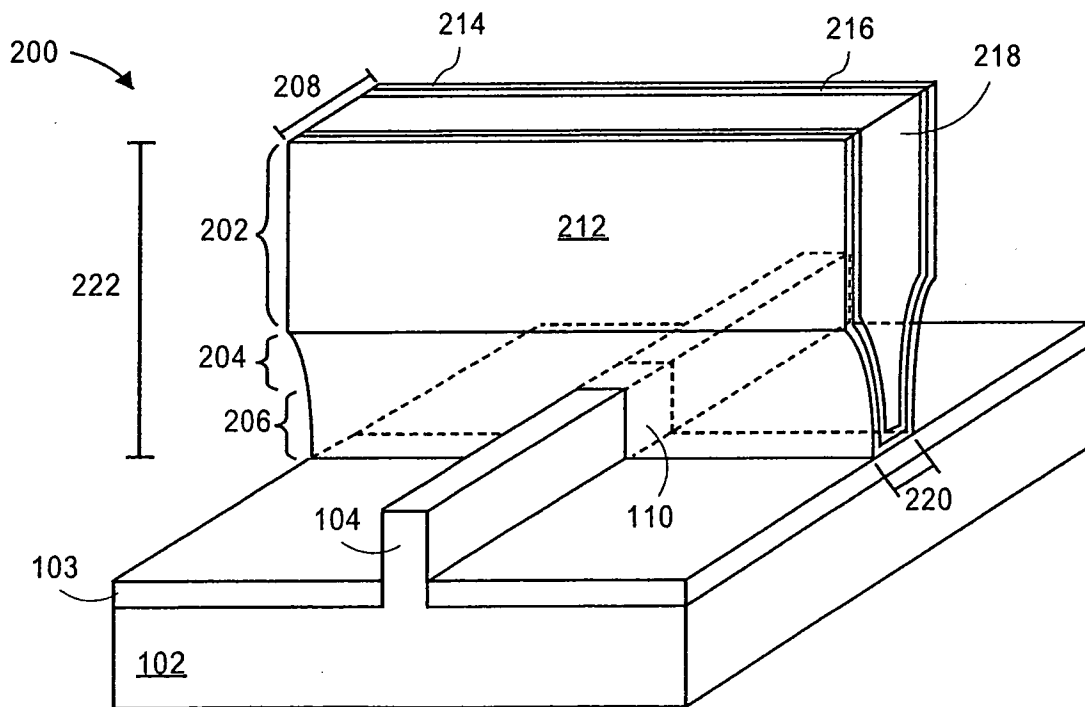


圖 2

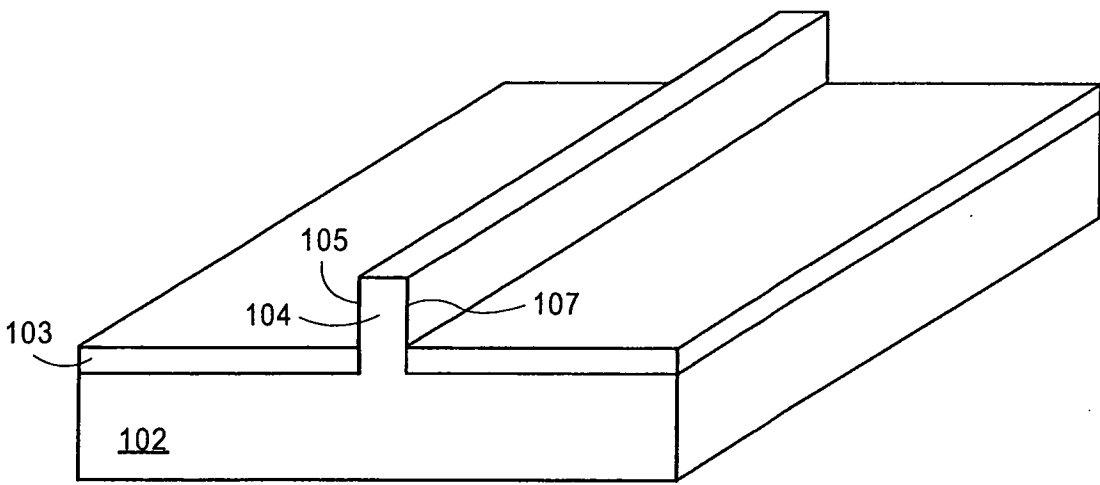


圖 3A

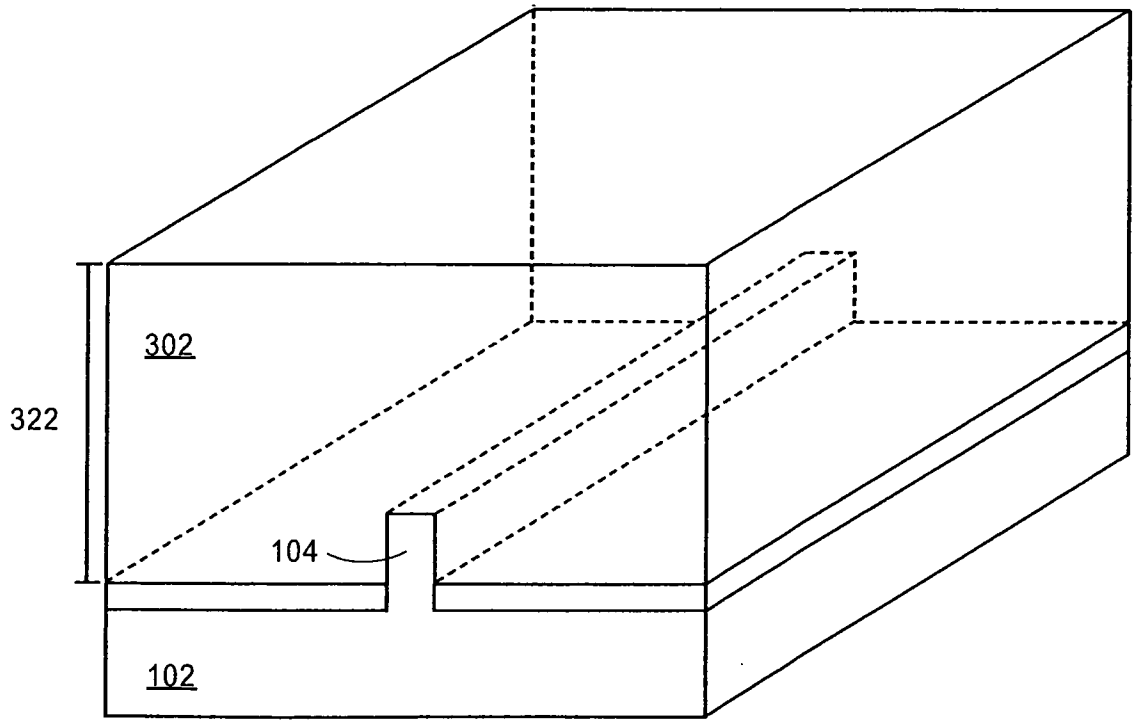


圖 3B

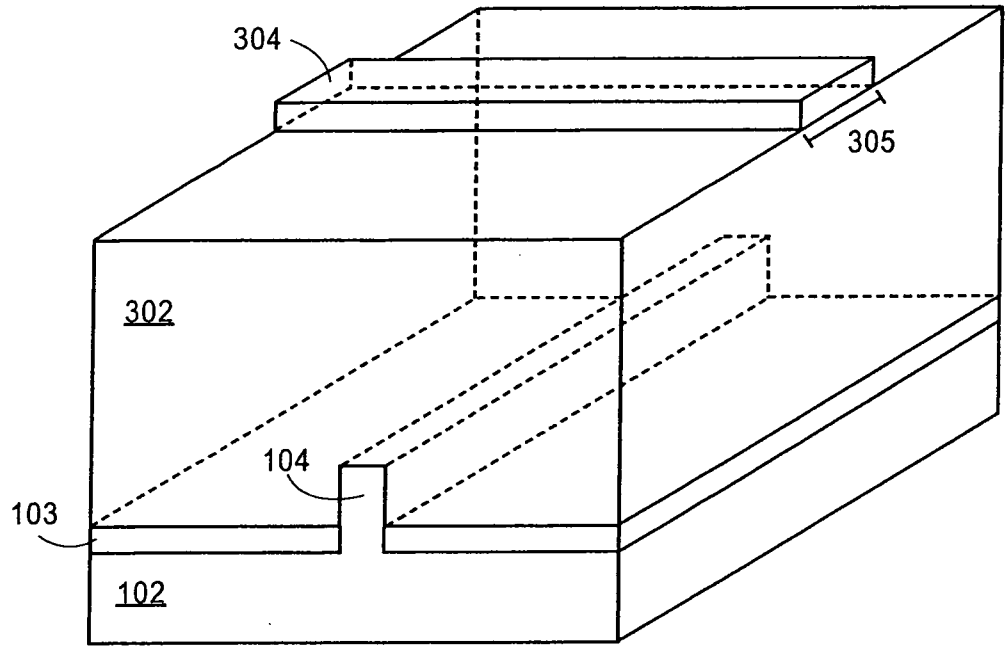


圖 3C

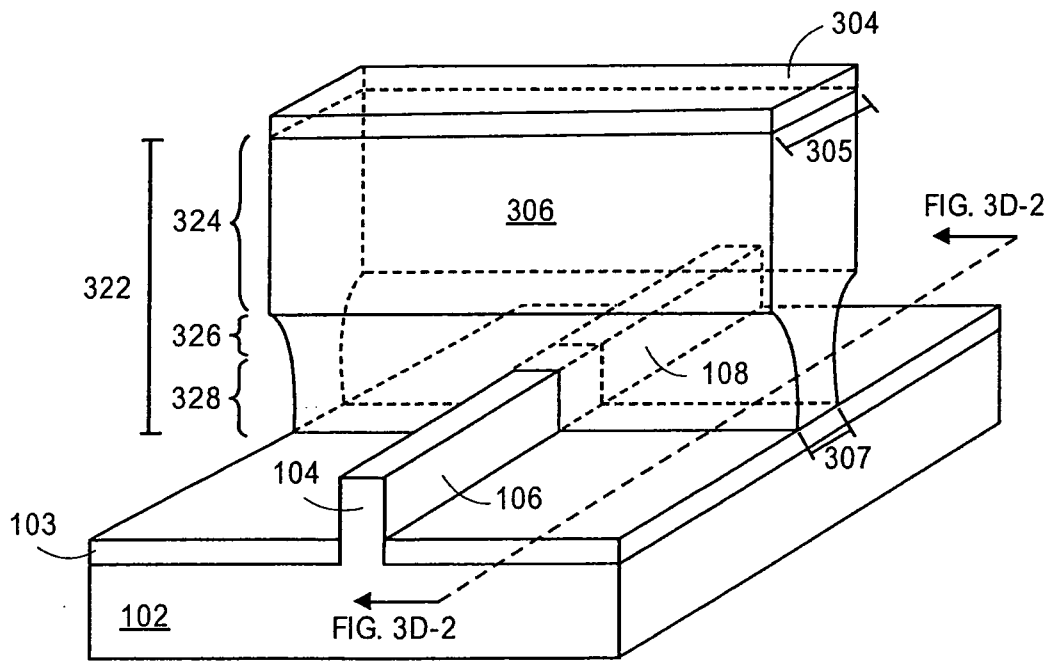


圖 3D-1

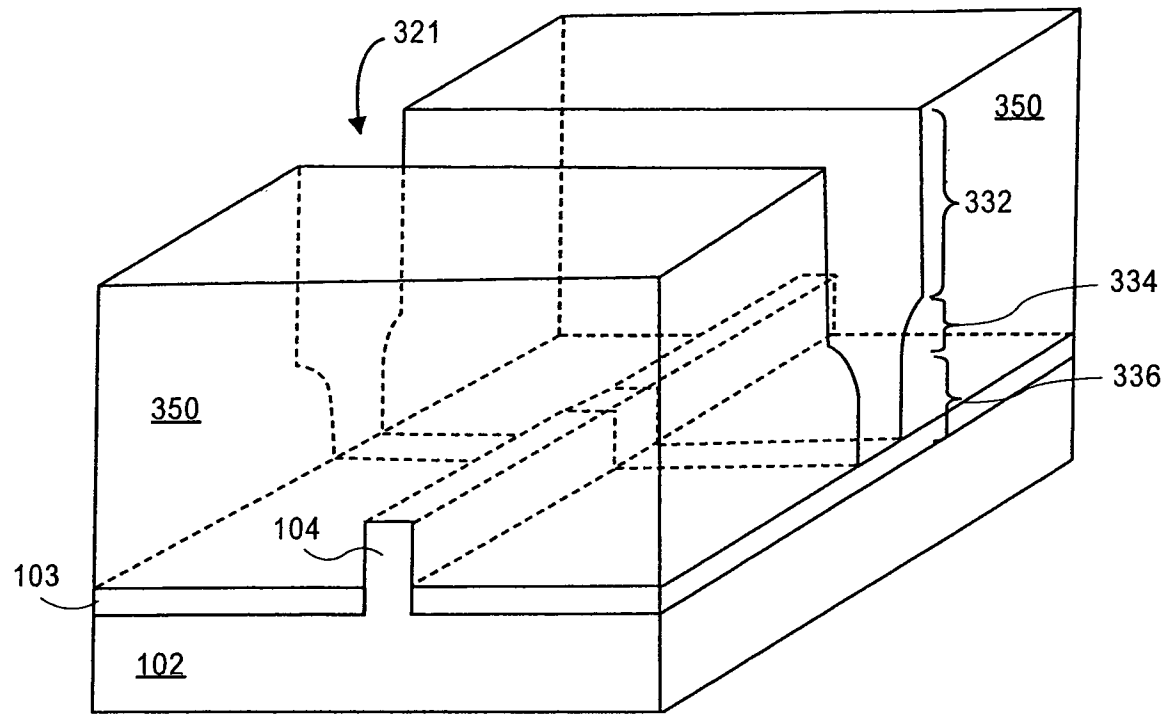


圖 3F

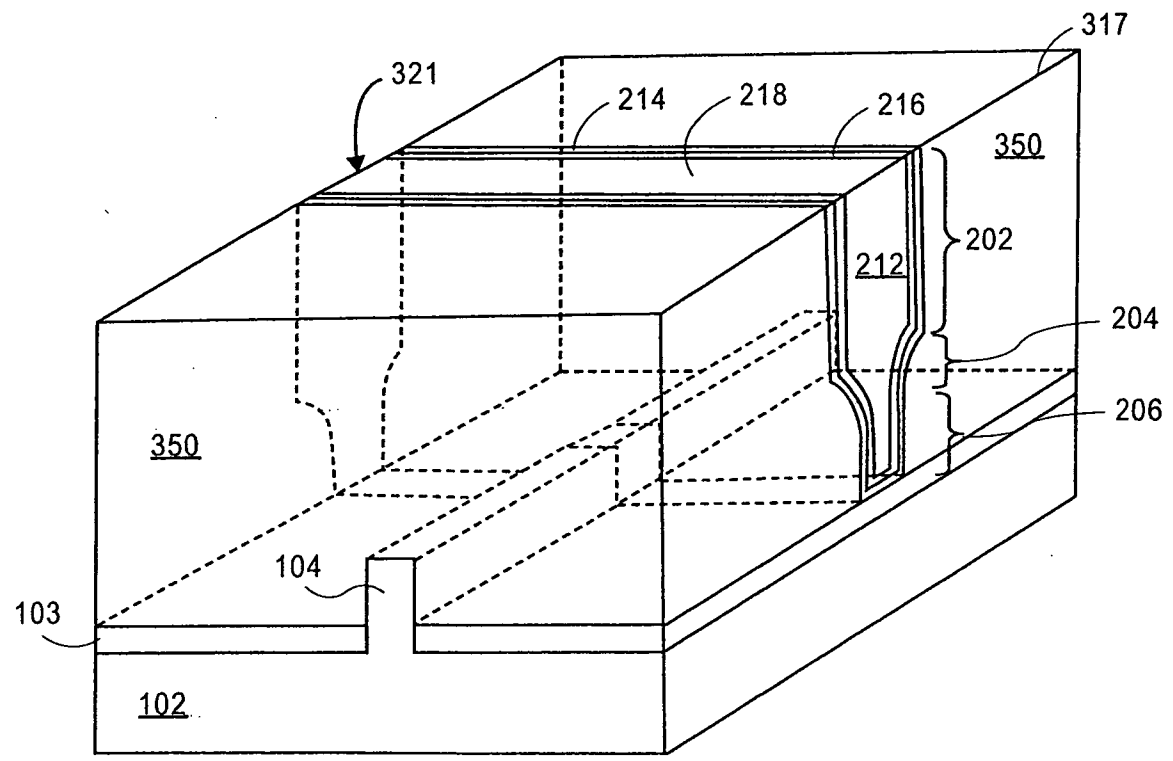


圖 3G

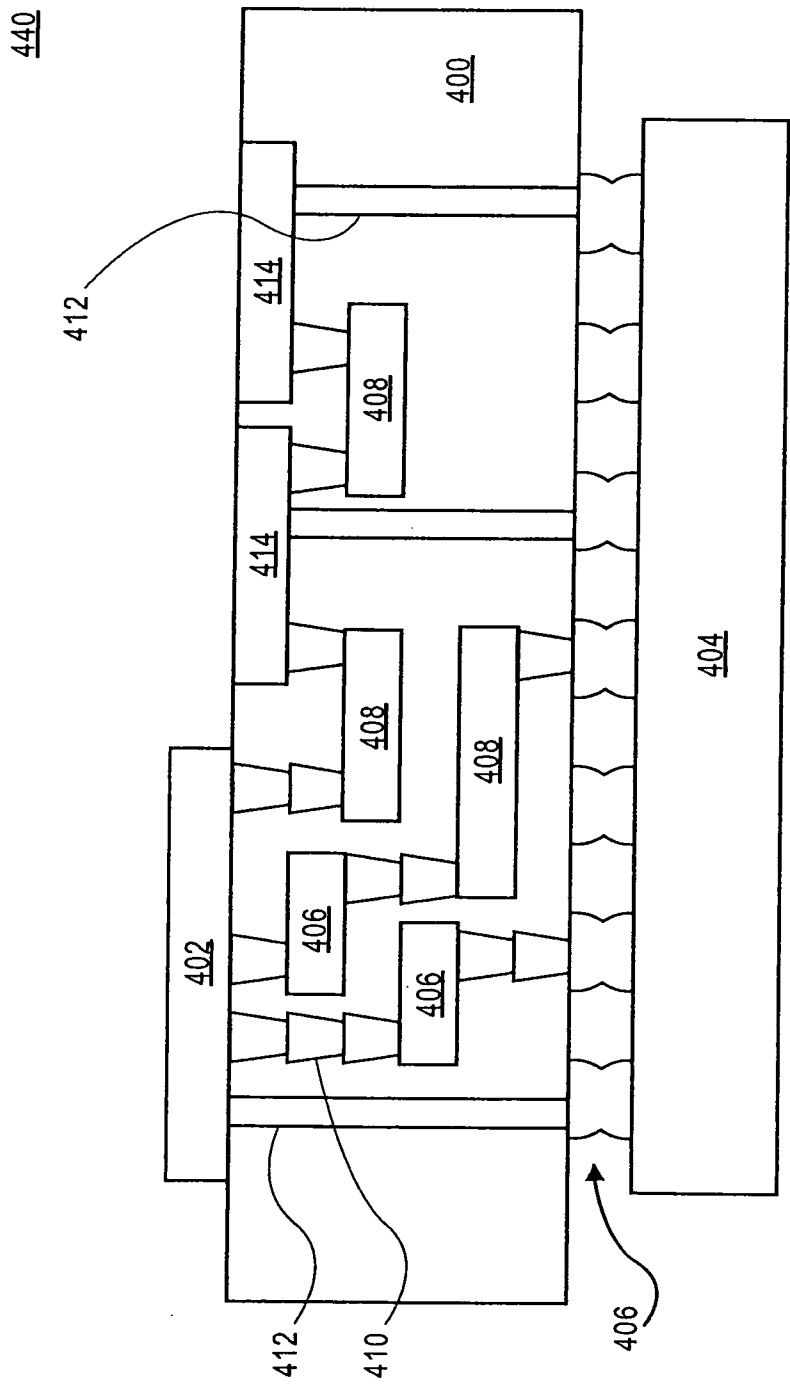


圖 4

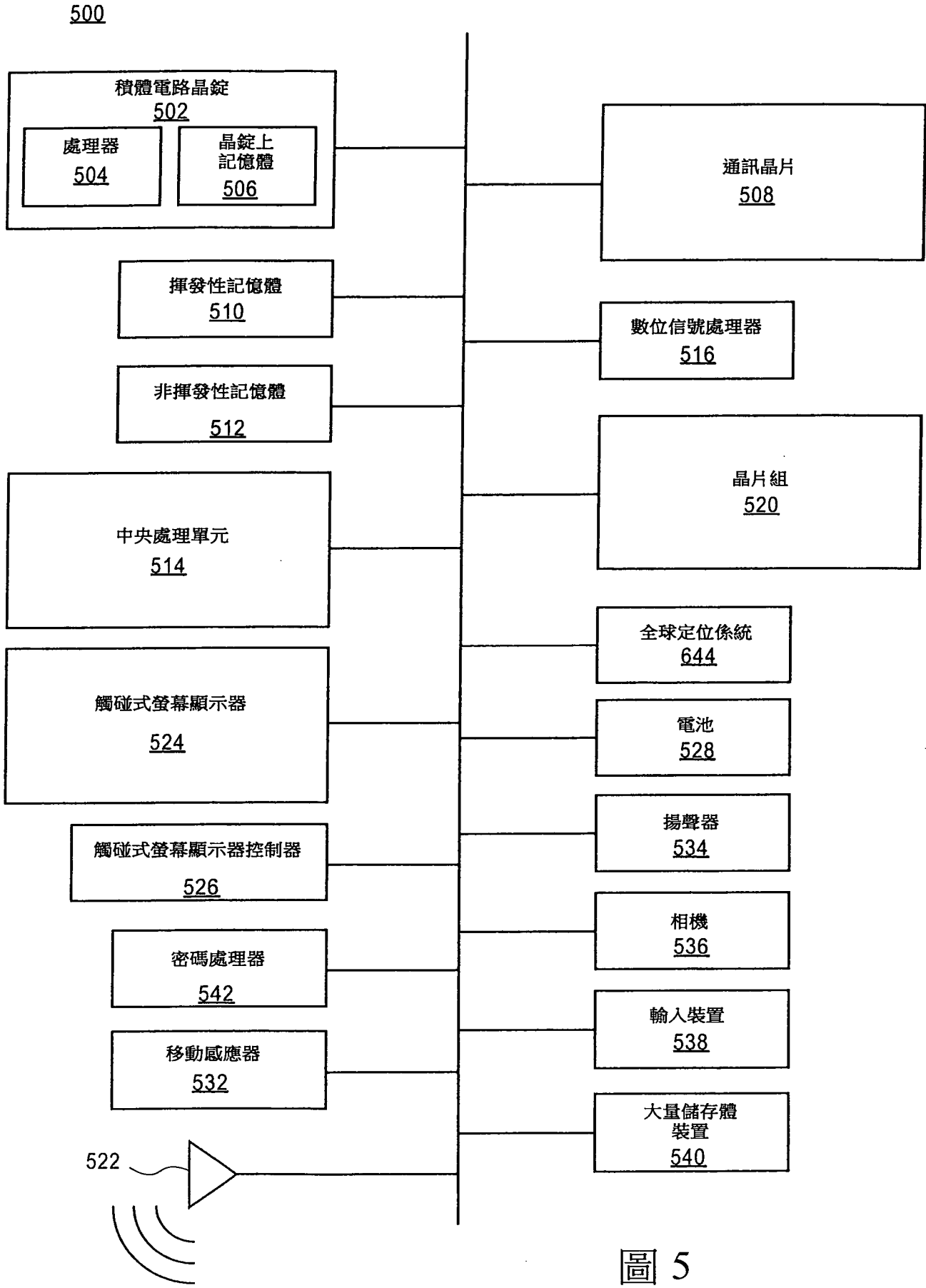


圖 5