



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I637519 B

(45)公告日：中華民國 107 (2018) 年 10 月 01 日

(21)申請案號：105139486

(22)申請日：中華民國 102 (2013) 年 05 月 27 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L29/40 (2006.01)

(30)優先權：2012/05/31 日本

2012-125432

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；肥塚純一 KOEZUKA, JUNICHI (JP)；島
行德 SHIMA, YUKINORI (JP)；德永肇 TOKUNAGA, HAJIME (JP)

(74)代理人：林志剛

(56)參考文獻：

JP 2010-73881A

JP 2011-243745A

US 2011/0057186A1

審查人員：黃淑萍

申請專利範圍項數：23 項 圖式數：13 共 96 頁

(54)名稱

半導體裝置及半導體裝置的製造方法

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)摘要

本發明的一個方式的目的之一是提供一種在使用氧化物半導體的半導體裝置中抑制電特性的變動的可靠性高的半導體裝置。本發明的一個方式的目的之一是提供一種半導體裝置，包括：接觸於源極電極層及汲極電極層的第一氧化物半導體層；以及成為電晶體的電流路徑(通道)的第二氧化物半導體層。第一氧化物半導體層用作用來抑制源極電極層及汲極電極層的構成元素擴散到通道的緩衝層。藉由設置第一氧化物半導體層，可以抑制該構成元素擴散到第一氧化物半導體層與第二氧化物半導體層的介面及第二氧化物半導體層中。

A highly reliable semiconductor device including an oxide semiconductor is provided by preventing a change in its electrical characteristics. A semiconductor device which includes a first oxide semiconductor layer which is in contact with a source electrode layer and a drain electrode layer and a second oxide semiconductor layer which serves as a main current path (channel) of a transistor is provided. The first oxide semiconductor layer serves as a buffer layer for preventing a constituent element of the source and drain electrode layers from diffusing into the channel. By providing the first oxide semiconductor layer, it is possible to prevent diffusion of the constituent element into an interface between the first oxide semiconductor layer and the second oxide semiconductor layer and into the second oxide semiconductor layer.

指定代表圖：

符號簡單說明：

- 410a . . . 源極電極層
- 402 . . . 閘極電極層
- 408 . . . 氧化物半導體疊層
- 410b . . . 汲極電極層
- 408a、408b . . . 氧化物半導體層
- 412 . . . 絕緣層
- 300 . . . 電晶體
- 404 . . . 閘極絕緣層
- 400 . . . 基板

圖 1A

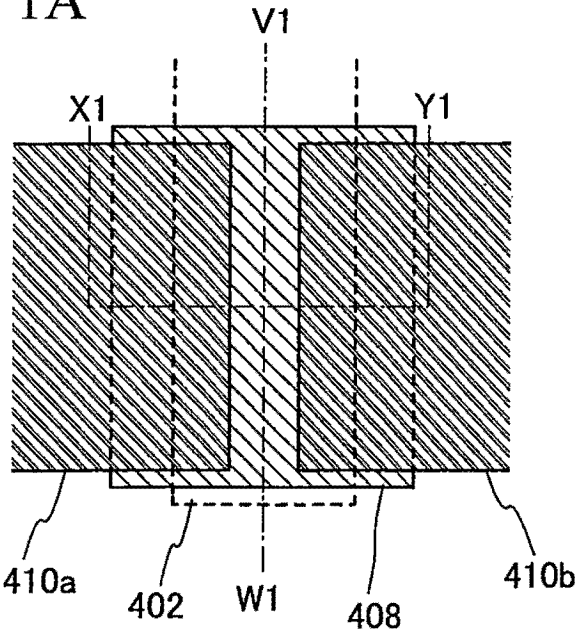


圖 1B

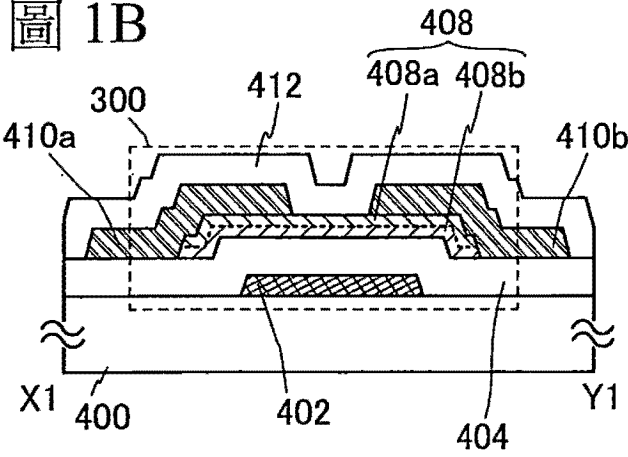
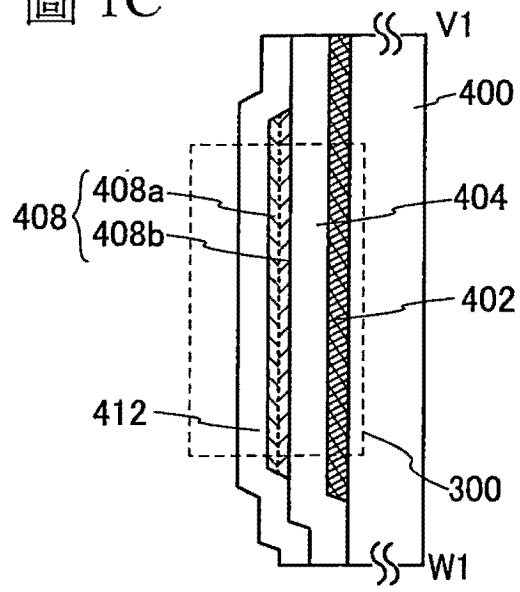


圖 1C



發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置及半導體裝置的製造方法

Semiconductor device and manufacturing method thereof

【技術領域】

在本說明書等中公開的發明係關於一種半導體裝置及半導體裝置的製造方法。

注意，本說明書等中的半導體裝置是指藉由利用半導體特性而能夠工作的所有裝置，因此電光裝置、影像顯示裝置、半導體電路以及電子裝置都是半導體裝置。

【先前技術】

使用形成在具有絕緣表面的基板上的半導體薄膜構成電晶體的技術受到關注。該電晶體被廣泛地應用於電子裝置如積體電路（IC）、影像顯示裝置（有時簡稱為顯示裝置）等。作為可以應用於電晶體的半導體薄膜，矽類半導體材料被廣泛地周知，而作為其他材料氧化物半導體受到注目。

例如，公開了作為氧化物半導體使用氧化鋅或 In-Ga-Zn 類氧化物半導體來製造電晶體的技術（參照專利文獻 1 及專利文獻 2）。

另外，在非專利文獻 1 中已公開有具有層疊有組成不

同的氧化物半導體的結構的電晶體。

[專利文獻 1]日本專利申請公開第 2007-123861 號公報

[專利文獻 2]日本專利申請公開第 2007-96055 號公報

[非專利文獻 1] Masashi Ono et al., “Novel High Performance IGZO-TFT with High Mobility over $40\text{ cm}^2/\text{Vs}$ and High Photostability Incorporated Oxygen Diffusion”, IDW’11 Late-News Paper, pp. 1689-1690

在使用氧化物半導體的電晶體中，當在氧化物半導體層與接觸於該氧化物半導體層的層的介面存在有陷阱能階（也稱為介面態）時，成為電晶體的電特性（例如，臨界電壓或亞臨界值擺幅值（S 值））變動的原因。

例如，在底閘極型電晶體中，當源極電極層及汲極電極層的構成元素擴散到氧化物半導體層的背通道時，該構成元素形成陷阱能階，來使電晶體的電特性變動。此外，藉由在氧化物半導體層與閘極絕緣層之間的介面存在陷阱能階，也有時引起電晶體的電特性的變動。

【發明內容】

於是，本發明的一個方式的目的之一是提供一種在使用氧化物半導體的半導體裝置中抑制電特性的變動的可靠性高的半導體裝置。

在本發明的一個方式中，在包含氧化物半導體的底閘極型電晶體中，至少具有接觸於源極電極層及汲極電極層

的第一氧化物半導體層和設置在該第一氧化物半導體層與閘極絕緣層之間的第二氧化物半導體層的疊層結構。在上述結構中，藉由將第二氧化物半導體層用作電晶體的主要的電流路徑（通道）且將第一氧化物半導體層用作用來抑制擴散源極電極層及汲極電極層的構成元素的緩衝層，可以抑制電晶體的電特性變動。更明確地說，例如可以採用以下結構。

本發明的一個方式是一種半導體裝置，包括：閘極電極層；閘極電極層上的閘極絕緣層；隔著閘極絕緣層重疊於閘極電極層的氧化物半導體疊層；以及電連接於氧化物半導體疊層的源極電極層及汲極電極層，其中，氧化物半導體疊層包括接觸於源極電極層及汲極電極層的第一氧化物半導體層和設置在第一氧化物半導體層與閘極絕緣層之間的第二氧化物半導體層，第一氧化物半導體層至少包含銦及鎵且銦的組成爲鎵的組成以下，第二氧化物半導體層至少包含銦及鎵且銦的組成大於鎵的組成，並且，第一氧化物半導體層作爲雜質包含源極電極層及汲極電極層的構成元素。

本發明的一個方式是一種半導體裝置，包括：閘極電極層；閘極電極層上的閘極絕緣層；隔著閘極絕緣層重疊於閘極電極層的氧化物半導體疊層；以及電連接於氧化物半導體疊層的源極電極層及汲極電極層，其中，氧化物半導體疊層包括接觸於源極電極層及汲極電極層的第一氧化物半導體層、接觸於閘極絕緣層的第三氧化物半導體層及

設置在第一氧化物半導體層與第三氧化物半導體層之間的第二氧化物半導體層，第一氧化物半導體層及第三氧化物半導體層至少包含銦及鎵且銦的組成爲鎵的組成以下，第二氧化物半導體層至少包含銦及鎵且銦的組成大於鎵的組成，並且，第一氧化物半導體層作爲雜質包含源極電極層及汲極電極層的構成元素。

本發明的一個方式是一種半導體裝置，包括：閘極電極層；閘極電極層上的閘極絕緣層；隔著閘極絕緣層重疊於閘極電極層的氧化物半導體疊層；以及電連接於氧化物半導體疊層的源極電極層及汲極電極層，其中，氧化物半導體疊層包括接觸於源極電極層及汲極電極層的第一氧化物半導體層、接觸於閘極絕緣層的第三氧化物半導體層及設置在第一氧化物半導體層與第三氧化物半導體層之間的第二氧化物半導體層，第一氧化物半導體層及第三氧化物半導體層至少包含銦及鎵且銦的組成爲鎵的組成以下，第二氧化物半導體層至少包含銦及鎵且銦的組成大於鎵的組成，第一氧化物半導體層作爲雜質包含源極電極層及汲極電極層的構成元素，並且，第三氧化物半導體層作爲雜質包含閘極絕緣層的構成元素。

在上述半導體裝置中的任一個中，源極電極層及汲極電極層較佳爲包含銅。

在上述半導體裝置中的任一個中，閘極絕緣層也可以包括氮化矽膜。

根據本發明的一個方式的結構的效果可以如下所述那

樣說明。注意，以下說明只不過是一個考察而已。

本發明的一個方式的電晶體包括：接觸於源極電極層及汲極電極層的第一氧化物半導體層；以及成為電晶體的主要的電流路徑（通道）的第二氧化物半導體層。在此，第一氧化物半導體層用作用來抑制源極電極層及汲極電極層的構成元素擴散到通道的緩衝層。藉由設置第一氧化物半導體層，可以抑制該構成元素擴散到第一氧化物半導體層與第二氧化物半導體層的介面及第二氧化物半導體層中。

此外，藉由使應用第一氧化物半導體層的金屬氧化物的能隙（帶隙）大於應用第二氧化物半導體層的金屬氧化物的能隙，可以在第二氧化物半導體層與第一氧化物半導體層之間形成導電帶能帶偏移（conduction band offset），所以是較佳的。當在氧化物半導體疊層中存在有導電帶能帶偏移時，在第二氧化物半導體層中載流子流過，而在第一氧化物半導體層介面及第一氧化物半導體層中載流子不移動，由此即使當在背通道一側存在有起因於金屬元素的擴散的陷阱能階時也不容易受到該陷阱能階的影響。由此，可以實現電晶體的電特性的穩定化。

另外，本發明的一個方式的電晶體更佳為除了上述第一氧化物半導體層及第二氧化物半導體層之外還包括設置在第二氧化物半導體層與閘極絕緣層之間並接觸於閘極絕緣層的第三氧化物半導體層。第三氧化物半導體層包含選自第二氧化物半導體層的構成元素中的一個或多個金屬元

素並具有與第二氧化物半導體層相同的性質。因此，藉由設置第三氧化物半導體層，可以使用作通道的第二氧化物半導體層的閘極絕緣層一側的介面穩定化。就是說，第三氧化物半導體層用作用來防止該介面的劣化的緩衝層。尤其是，藉由抑制在通道的閘極絕緣層一側的介面載流子被捕捉，可以減少電晶體的光劣化（例如，光負偏壓劣化），而可以得到可靠性高的電晶體。

此外，與第一氧化物半導體層同樣，藉由使應用第三氧化物半導體層的金屬氧化物的能隙大於應用第二氧化物半導體層的金屬氧化物的能隙，可以在第三氧化物半導體層與第二氧化物半導體層之間形成導電帶能帶偏移，所以是較佳的。在通常的 MISFET 中，在閘極絕緣層與半導體的介面也產生陷阱能階等，而使 FET 的電特性劣化。但是，藉由設置第三氧化物半導體層，成為載流子流過離閘極絕緣層遠的區域的結構（所謂埋入通道），由此可以降低上述介面的影響。

當作爲第一氧化物半導體、第二氧化物半導體及第三氧化物半導體應用由相同構成元素構成並具有不同組成的金屬氧化物時，例如，作為第一氧化物半導體、第二氧化物半導體及第三氧化物半導體可以使用至少含有銦及鎵的金屬氧化物。在此，對其他金屬元素的銦的組成的比率越大，金屬氧化物的場效應遷移率越高，並且對其他金屬元素的鎵的比率越大，金屬氧化物的能隙越大。因此，作為成為通道形成區的第二氧化物半導體，較佳為使用銦的組

成大於鎂的組成的金屬氧化物，並且作為用作緩衝層的第一氧化物半導體及第三氧化物半導體，較佳為使用銦的組成為鎂的組成以下的金屬氧化物。

根據本發明的一個方式，可以提供一種在包含氧化物半導體的電晶體中可以抑制電特性的變動的可靠性高的半導體裝置。

【圖式簡單說明】

在圖式中：

圖 1A 至圖 1C 是示出半導體裝置的一個方式的平面圖及剖面圖；

圖 2A 至圖 2D 是示出半導體裝置的一個方式的平面圖、剖面圖及能帶圖；

圖 3A 至圖 3D 是示出半導體裝置的製造方法的一個例子的圖；

圖 4A 至圖 4C 是說明半導體裝置的一個方式的圖；

圖 5 是說明半導體裝置的一個方式的圖；

圖 6A 和圖 6B 是說明半導體裝置的一個方式的圖；

圖 7A 和圖 7B 是說明半導體裝置的一個方式的圖；

圖 8A 至圖 8C 是示出電子裝置的圖；

圖 9A 至圖 9C 是示出電子裝置的圖；

圖 10A 和圖 10B 是示出半導體裝置的一個方式的剖面圖；

圖 11A 至圖 11C 是說明半導體裝置的一個方式的

圖；

圖 12 是示出實施例中的 SSDP-SIMS 的測量結果的圖；

圖 13 是說明半導體裝置的一個方式的圖。

【實施方式】

下面，參照圖式對本發明的實施方式進行詳細說明。但是，所屬技術領域的普通技術人員可以很容易地理解一個事實，就是本發明的方式及詳細內容可以被變換為各種各樣的形式而不侷限於以下說明。因此，本發明不應該被解釋為僅侷限在以下所示的實施方式所記載的內容中。

另外，在以下說明的本發明的結構中，在不同的圖式之間共同使用相同的元件符號來表示相同的部分或具有相同功能的部分，而省略其重複說明。另外，當表示具有相同功能的部分時有時使用相同的陰影線，而不特別附加元件符號。

另外，在本說明書所說明的每個圖式中，每個結構的大小、膜的厚度或區域為了清晰可見而有時被誇大。因此，它們不一定侷限於圖式中所示的尺度。

注意，在本說明書等中，為了方便起見，附加了第一、第二等序數詞，而其並不表示製程順序或疊層順序。此外，其在本說明書等中不表示用來特定發明的事項的固有名稱。

注意，在本說明書中，“平行”是指兩條直線形成的

角度為 -10° 以上且 10° 以下，因此也包括角度為 -5° 以上且 5° 以下的情況。另外，“垂直”是指兩條直線形成的角度為 80° 以上且 100° 以下，因此也包括角度為 85° 以上且 95° 以下的情況。

在本說明書中，六方晶系包括三方晶系和菱方晶系。

實施方式 1

在本實施方式中，參照圖 1A 至圖 3D 對半導體裝置及半導體裝置的製造方法的一個方式進行說明。在本實施方式中，作為半導體裝置的一個例子示出包括氧化物半導體層的底閘極型電晶體。

圖 1A 至圖 1C 示出電晶體 300 的結構實例。圖 1A 是電晶體 300 的平面圖，圖 1B 是沿著圖 1A 的點劃線 X1-Y1 的剖面圖，並且圖 1C 是沿著圖 1A 的點劃線 V1-W1 的剖面圖。

電晶體 300 包括：設置在具有絕緣表面的基板 400 上的閘極電極層 402；閘極電極層 402 上的閘極絕緣層 404；接觸於閘極絕緣層 404 上並重疊於閘極電極層 402 的氧化物半導體疊層 408；以及電連接於氧化物半導體疊層 408 的源極電極層 410a 及汲極電極層 410b。另外，電晶體 300 的構成要素也可以包括覆蓋源極電極層 410a 及汲極電極層 410b 並接觸於氧化物半導體疊層 408 的絕緣層 412。

在電晶體 300 中，氧化物半導體疊層 408 包括：接觸

於源極電極層 410a 及汲極電極層 410b 的氧化物半導體層 408a；以及設置在氧化物半導體層 408b 與閘極絕緣層 404 之間的氧化物半導體層 408b。

在氧化物半導體疊層 408 中，氧化物半導體層 408b 是形成電晶體 300 的通道的區域。此外，設置在氧化物半導體層 408b 的背通道一側的氧化物半導體層 408a 用作防止源極電極層 410a 及汲極電極層 410b 的構成元素擴散到氧化物半導體層 408b 的緩衝層。就是說，氧化物半導體層 408a 作為雜質包含源極電極層 410a 及汲極電極層 410b 的構成元素。藉由設置該緩衝層，可以抑制在電晶體 300 的通道中形成陷阱能階，由此可以抑制起因於陷阱能階的 S 值的增大。因此，藉由抑制電晶體的電特性的不均勻或隨時間的劣化，可以提供可靠性高的半導體裝置。

氧化物半導體層 408a 及氧化物半導體層 408b 既可以使氧化物半導體層 408a 與氧化物半導體層 408b 的構成元素彼此不同，又可以使兩者的構成元素相同但組成不同。但是，作為用作電晶體 300 的通道的氧化物半導體層 408b，較佳為應用場效應遷移率高的氧化物半導體。

例如，當使氧化物半導體層 408a 及氧化物半導體層 408b 的構成元素相同並使用至少含有銦及鎵的氧化物半導體時，作為氧化物半導體層 408b 較佳為使用銦的組成大於鎵的組成的氧化物半導體，作為氧化物半導體層 408a，較佳為使用銦的組成為鎵的組成以下的氧化物半導體。

在氧化物半導體中，重金屬的 s 軌道主要有助於載流子傳導，並藉由使銦的含有率增多來呈現 s 軌道的重疊較多的傾向。因此，藉由在氧化物半導體層 408b 中使銦的組成大於鎵的組成，可以與銦的組成爲鎵的組成以下的氧化物相比具有高場效應遷移率。

另外，由於對其他的金屬元素的鎵的比率越大，金屬氧化物的能隙越大，所以氧化物半導體層 408a 藉由使銦的組成爲鎵的組成以下來具有比氧化物半導體層 408b 大的能隙。因此，可以在氧化物半導體層 408b 與氧化物半導體層 408a 之間形成導電帶能帶偏移，所以是較佳的。此外，由於鎵的氧缺損的形成能量比銦大，所以鎵不容易產生氧缺損。由此，與銦的組成大於鎵的組成的金屬氧化物相比，銦的組成爲鎵的組成以下的金屬氧化物具有穩定的特性。由此，可以使電晶體 300 的背通道一側進一步穩定化。

例如，在將 In-Ga-Zn 類氧化物半導體用於氧化物半導體層 408a 及氧化物半導體層 408b 時，作爲氧化物半導體層 408a，可以使用具有 In:Ga:Zn=1:1:1(=1/3:1/3:1/3)、In:Ga:Zn=1:3:2(=1/6:3/6:2/6)、In:Ga:Zn=2:4:3(=2/9:4/9:3/9)或 In:Ga:Zn=1:5:3(=1/9:5/9:3/9)的組成(原子數比)的 In-Ga-Zn 類氧化物或與該組成相似的金屬氧化物。作爲氧化物半導體層 408b，可以使用具有 In:Ga:Zn=3:1:2(=3/6:1/6:2/6)、In:Ga:Zn=4:2:3(=4/9:2/9:3/9)、In:Ga:Zn=5:1:3(=5/9:1/9:3/9)、In:Ga:Zn=5:3:4(=5/12:3/12:4/12)、In:Ga:Zn=

6:2:4(=6/12:2/12:4/12) 或 In:Ga:Zn=7:1:3(=7/11:1/11:3/11) 的組成(原子數比)的 In-Ga-Zn 類氧化物或與該組成相似的金屬氧化物。

注意，例如 In、Ga、Zn 的組成為 In : Ga : Zn=a : b : c (a+b+c=1) 的氧化物的組成近於組成為 In : Ga : Zn=A : B : C (A+B+C=1) 的氧化物的組成是指 a、b、c 滿足 $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ 的關係。r 例如可以為 0.05。

注意，應用於氧化物半導體疊層 408 的金屬氧化物不侷限於此，根據所需要的電特性（場效應遷移率、臨界值、偏差等）而使用適當的組成的材料，即可。另外，較佳為採用適當的載流子濃度、雜質濃度、缺陷密度、金屬元素及氧的原子數比、原子間距離以及密度等，以得到所需要的電特性。例如，也可以包含其他金屬元素代替鎵。或者，也可以使用不包含鋅的金屬氧化物。但是，在所應用的金屬氧化物的組成中包含鋅時，較容易使被形成的氧化物半導體層成為後述的 CAAC-OS（C-Axis Aligned Crystalline Oxide Semiconductor：c 軸配向結晶氧化物半導體）膜，所以是較佳的。

另外，氧化物半導體層可以利用濺射法形成，並藉由使濺射靶材包含銦，可以降低在成膜時產生微粒。由此，較佳為使氧化物半導體層 408a 及氧化物半導體層 408b 包含銦。

下面，對氧化物半導體層的結構進行說明。

氧化物半導體層大致分為單晶氧化物半導體層和非單晶氧化物半導體層。非單晶氧化物半導體層包括非晶氧化物半導體層、微晶氧化物半導體層、多晶氧化物半導體層及 CAAC-OS 膜等。

非晶氧化物半導體層具有無序的原子排列並不具有結晶成分。其典型例子是在微小區域中也不具有結晶部而膜整體具有完全的非晶結構的氧化物半導體層。

微晶氧化物半導體層例如包括 1nm 以上且小於 10nm 的尺寸的微晶（也稱為奈米晶）。因此，微晶氧化物半導體層的原子排列的有序度比非晶氧化物半導體層高。因此，微晶氧化物半導體層的缺陷態密度低於非晶氧化物半導體層。

CAAC-OS 膜是包含多個結晶部的氧化物半導體層之一，大部分的結晶部的尺寸為能夠容納於一邊短於 100nm 的立方體內的尺寸。因此，有時包括在 CAAC-OS 膜中的結晶部的尺寸為能夠容納於一邊短於 10nm、短於 5nm 或短於 3nm 的立方體內的尺寸。CAAC-OS 膜的缺陷態密度低於微晶氧化物半導體層。下面，對 CAAC-OS 膜進行詳細的說明。

在 CAAC-OS 膜的透射電子顯微鏡（TEM：Transmission Electron Microscope）影像中，觀察不到結晶部與結晶部之間的明確的邊界，即晶界（grain boundary）。因此，在 CAAC-OS 膜中，不容易發生起因於晶界的電子遷移率的降低。

根據從大致平行於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像（剖面 TEM 影像）可知在結晶部中金屬原子排列為層狀。各金屬原子層具有反映形成 CAAC-OS 膜的面（也稱為被形成面）或 CAAC-OS 膜的頂面的凸凹的形狀並以平行於 CAAC-OS 膜的被形成面或頂面的方式排列。

另一方面，根據從大致垂直於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像（平面 TEM 影像）可知在結晶部中金屬原子排列為三角形狀或六角形狀。但是，在不同的結晶部之間金屬原子的排列沒有規律性。

由剖面 TEM 影像及平面 TEM 影像可知，CAAC-OS 膜的結晶部具有配向性。

使用 X 射線繞射 (XRD: X-Ray Diffraction) 裝置對 CAAC-OS 膜進行結構分析。例如，當利用 out-of-plane 法分析包括 InGaZnO_4 的結晶的 CAAC-OS 膜時，在繞射角 (2θ) 為 31° 附近時出現峰值。由於該峰值來源於 InGaZnO_4 結晶的 (009) 面，由此可以確認 CAAC-OS 膜中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於 CAAC-OS 膜的被形成面或頂面的方向。

另一方面，當利用從大致垂直於 c 軸的方向使 X 線入射到樣本的 in-plane 法分析 CAAC-OS 膜時，在 2θ 為 56° 附近時出現峰值。該峰值來源於 InGaZnO_4 結晶的 (110) 面。在此，將 2θ 固定為 56° 附近並在以樣本面的法線向量為軸 (ϕ 軸) 旋轉樣本的條件下進行分析 (ϕ 掃描)。當

該樣本是 InGaZnO_4 的單晶氧化物半導體層時，出現六個峰值。該六個峰值來源於相等於 (110) 面的結晶面。另一方面，當該樣本是 CAAC-OS 膜時，即使在將 2θ 固定為 56° 附近的狀態下進行 ϕ 掃描也不能觀察到明確的峰值。

由上述結果可知，在具有 c 軸配向的 CAAC-OS 膜中，雖然 a 軸及 b 軸的方向在結晶部之間不同，但是 c 軸都朝向平行於被形成面或頂面的法線向量的方向。因此，在上述剖面 TEM 影像中觀察到的排列為層狀的各金屬原子層相當於與結晶的 ab 面平行的面。

注意，結晶部在形成 CAAC-OS 膜或進行加熱處理等晶化處理時形成。如上所述，結晶的 c 軸朝向平行於 CAAC-OS 膜的被形成面或頂面的法線向量的方向。由此，例如，當 CAAC-OS 膜的形狀因蝕刻等而發生改變時，結晶的 c 軸不一定平行於 CAAC-OS 膜的被形成面或頂面的法線向量。

此外，CAAC-OS 膜中的晶化度不一定均勻。例如，當 CAAC-OS 膜的結晶部是由 CAAC-OS 膜的頂面近旁的結晶成長而形成時，有時頂面附近的晶化度高於被形成面附近的晶化度。另外，當對 CAAC-OS 膜添加雜質時，被添加了雜質的區域的晶化度改變，所以有時 CAAC-OS 膜中的晶化度根據區域而不同。

注意，當利用 out-of-plane 法分析包括 InGaZnO_4 結晶的 CAAC-OS 膜時，除了在 2θ 為 31° 附近的峰值之外，有時還在 2θ 為 36° 附近觀察到峰值。 2θ 為 36° 附近的峰值

意味著 CAAC-OS 膜的一部分中含有不具有 c 軸配向的結晶。較佳的是，在 CAAC-OS 膜中在 2θ 為 31° 附近時出現峰值而在 2θ 為 36° 附近時不出現峰值。

在使用 CAAC-OS 膜的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。因此，該電晶體具有高可靠性。

注意，氧化物半導體層例如也可以是包括非晶氧化物半導體層、微晶氧化物半導體層和 CAAC-OS 膜中的兩種以上的疊層膜。

CAAC-OS 膜例如可以使用多晶的金屬氧化物半導體濺射靶材且利用濺射法形成。當離子碰撞到該濺射用靶材時，有時包含在濺射用靶材中的結晶區域從 a-b 面劈開，即具有平行於 a-b 面的面的平板狀或顆粒狀的濺射粒子剝離。此時，藉由該平板狀的濺射粒子保持結晶狀態到達基板，可以形成 CAAC-OS 膜。

另外，為了形成 CAAC-OS 膜，較佳為應用如下條件。

藉由降低成膜時的雜質的混入，可以抑制因雜質導致的結晶狀態損壞。例如，可以降低存在於成膜室內的雜質（氫、水、二氧化碳及氮等）的濃度。另外，可以降低成膜氣體中的雜質濃度。明確而言，使用露點為 -80°C 以下，較佳為 -100°C 以下的成膜氣體。

另外，藉由提高成膜時的基板加熱溫度，在濺射粒子附著到基板之後發生濺射粒子的遷移。明確而言，在將基

板加熱溫度設定為 100°C 以上且 740°C 以下，較佳為 200°C 以上且 500°C 以下的狀態下進行成膜。藉由提高成膜時的基板加熱溫度，當平板狀的濺射粒子到達基板時，在基板上發生遷移，濺射粒子的平坦的面附著到基板。

另外，較佳的是，藉由增高成膜氣體中的氧比例並對電力進行最優化，減輕成膜時的電漿損傷。將成膜氣體中的氧比例設定為 30vol% 以上，較佳為 100vol%。

以下，作為濺射用金屬氧化物靶材的一個例子，示出 In-Ga-Zn-O 化合物靶材。

將 InO_x 粉末、 GaO_y 粉末及 ZnO_z 粉末以預定的比率混合，進行加壓處理，然後在 1000°C 以上且 1500°C 以下的溫度下進行加熱處理，由此得到作為多晶的 In-Ga-Zn-O 化合物靶材。另外， x 、 y 及 z 為任意正數。在此， InO_x 粉末、 GaO_y 粉末及 ZnO_z 粉末的預定的莫耳數比例如為 2:2:1、8:4:3、3:1:1、1:1:1、4:2:3 或 3:1:2。另外，粉末的種類及其混合莫耳數比可以根據所製造的濺射用靶材適當地改變。

另外，也可以使氧化物半導體層 408a 的結晶性與氧化物半導體層 408b 不同。但是，作為用作電晶體 300 的通道的氧化物半導體層 408b，較佳為應用 CAAC-OS 膜。此外，在氧化物半導體層 408b 是 CAAC-OS 膜時，在氧化物半導體層 408b 上並與其接觸的氧化物半導體層 408a 中發生前驅物（precursor）的排列，藉由使該層具有所謂秩序性，有時可以使氧化物半導體層 408a 成為 CAAC-OS

膜。在設置在背通道一側的氧化物半導體層 408a 是非晶氧化物半導體的情況下，由於形成源極電極層 410a 及汲極電極層 410b 時的蝕刻處理容易產生氧缺損而被 n 型化。因此，較佳為將具有結晶性的氧化物半導體應用於氧化物半導體層 408a。

此外，在本實施方式中，氧化物半導體層 408a 和氧化物半導體層 408b 是使用相同構成元素形成的氧化物半導體疊層。此時，根據材料或成膜條件，各氧化物半導體層之間的介面有時不明確。因此，在圖 1A 至圖 1C 中，以虛線示意性地示出氧化物半導體層 408a 和氧化物半導體層 408b 的介面。這是與後面的各圖式同樣。

圖 2A 至圖 2C 示出電晶體 310 的結構實例。圖 2A 是電晶體 310 的平面圖，圖 2B 是沿著圖 2A 的點劃線 X2-Y2 的剖面圖，圖 2C 是沿著圖 2A 的點劃線 V2-W2 的剖面圖。與圖 1A 至圖 1C 所示的電晶體 300 同樣，圖 2A 至圖 2C 所示的電晶體 310 包括：設置在具有絕緣表面的基板 400 上的閘極電極層 402；閘極電極層 402 上的閘極絕緣層 404；接觸於閘極絕緣層 404 上並重疊於閘極電極層 402 的氧化物半導體疊層 408；以及電連接於氧化物半導體疊層 408 的源極電極層 410a 及汲極電極層 410b。另外，電晶體 310 的構成要素也可以包括覆蓋源極電極層 410a 及汲極電極層 410b 並接觸於氧化物半導體疊層 408 的絕緣層 412。

電晶體 310 與電晶體 300 不同之處是：電晶體 310 在

氧化物半導體層 408b 與閘極絕緣層 404 之間包括氧化物半導體層 408c。就是說，在電晶體 310 中，氧化物半導體疊層 408 具有氧化物半導體層 408a、氧化物半導體層 408b 及氧化物半導體層 408c 的疊層結構。

注意，除了氧化物半導體層 408c 之外，電晶體 310 的結構與電晶體 300 相同，而可以參照關於電晶體 300 的說明。

藉由在電晶體 310 中的形成通道的氧化物半導體層 408b 與閘極絕緣層 404 之間設置氧化物半導體層 408c，成為載流子流過離閘極絕緣層 404 遠的區域的結構（所謂埋入通道）。由此，可以使閘極絕緣層 404 與通道的介面穩定化，而可以抑制在該介面形成陷阱能階。由此，防止電晶體的劣化，尤其是光負偏壓劣化等光劣化，而可以製造可靠性高的電晶體。

在含有銦和鎵的金屬氧化物中，對其他金屬元素的鎵的組成的比率越大，能隙越大。此外，由於氧化物半導體層 408c 與氧化物半導體層 408b 之間的帶隙之差形成導電帶能帶偏移。因此，當作爲氧化物半導體層 408c 使用銦的組成爲鎵的組成以下的金屬氧化物時，在氧化物半導體層 408b 中能夠有效地形成通道，所以是較佳的。

在將 In-Ga-Zn 類氧化物半導體用於氧化物半導體層 408c 時，作為氧化物半導體層 408c，可以使用具有 In:Ga:Zn=1:1:1(=1/3:1/3:1/3)、In:Ga:Zn=1:3:2(=1/6:3/6: 2/6)、In:Ga:Zn=2:4:3(=2/9:4/9:3/9) 或 In:Ga:Zn=1:5:3(=1/9:5/9:

3/9)的組成(原子數比)的In-Ga-Zn類氧化物或與該組成相似的氧化物。另外，作為氧化物半導體層408a和氧化物半導體層408c較佳為都使用銦的組成為鎵的組成以下的金屬氧化物。在此，氧化物半導體層408a的組成與氧化物半導體層408c的組成既可以是相同，又可以是不同。

另外，一般而言，氧化物半導體層的大部分利用濺射法形成。另一方面，當對氧化物半導體層進行蝕刻時，有時被離子化的稀有氣體元素（例如，氬）或從濺射靶材表面彈出的粒子將閘極絕緣層等的成為氧化物半導體層的被形成面的膜的粒子彈出。因此，從成為被形成面的膜彈出的粒子作為雜質元素進入到氧化物半導體層。尤其是，有高濃度的雜質元素進入到被形成面附近的氧化物半導體層中的擔憂。另外，當雜質元素殘留在被形成面附近的氧化物半導體層中時，該氧化物半導體層高電阻化而成為電晶體的電特性的下降的原因。

然而，在圖2A至圖2C所示的電晶體310中，藉由在形成通道的氧化物半導體層408b與閘極絕緣層404之間包括氧化物半導體層408c，可以抑制閘極絕緣層404的構成元素擴散到通道中。就是說，氧化物半導體層408c有時作為雜質包含閘極絕緣層404的構成元素（例如，矽）。藉由包括氧化物半導體層408c，可以使電晶體310的電特性進一步穩定化，而可以提供可靠性高的半導體裝置。

另外，圖2D是示出圖2B中的厚度方向（D-D'間）

上的能帶圖。在本實施方式中，使用 In-Ga-Zn 類氧化物半導體形成氧化物半導體層 408a 至氧化物半導體層 408c。此外，作為氧化物半導體層 408a 及氧化物半導體層 408c 應用銦的組成為鎵的組成以下的金屬氧化物，作為氧化物半導體層 408b 應用銦的組成大於鎵的組成的金屬氧化物。由此，如圖 2D 的能帶圖所示，本實施方式所示的氧化物半導體疊層 408 能夠構成所謂埋入通道。

以下，使用圖 3A 至圖 3D 示出電晶體 310 的製造方法的一個例子。

首先，在具有絕緣表面的基板 400 上形成閘極電極層 402（包括用與此相同的層形成的佈線）。

對可用作具有絕緣表面的基板 400 的基板沒有特別的限制，但是基板 400 需要至少具有能夠承受後面進行的熱處理的程度的耐熱性。例如，可以使用玻璃基板如硼矽酸鋁玻璃和硼矽酸鋁玻璃等、陶瓷基板、石英基板、藍寶石基板等。另外，作為基板 400，可以採用以矽或碳化矽等為材料的單晶半導體基板或多晶半導體基板、以矽鍺為材料的化合物半導體基板、SOI 基板等，並且也可以使用在這些基板上設置有半導體元件的基板。此外，也可以在基板 400 上形成基底絕緣層。

可以使用諸如鉬、鈦、鉭、鎢、鋁、銅、鉻、鈹、鈦等的金屬材料或以這些材料為主要成分的合金材料來形成閘極電極層 402。此外，閘極電極層 402 可以使用以摻雜有磷等雜質元素的多晶矽膜為代表的半導體膜、鎳矽化物

等矽化物膜。閘極電極層 402 既可以是單層結構，又可以是疊層結構。也可以使閘極電極層 402 具有錐形形狀，例如可以將錐角設定為 15° 以上且 70° 以下。在此，錐角是指具有錐形形狀的層的側面與該層的底面之間的角度。

另外，作為閘極電極層 402 的材料還可以使用氧化銦、氧化錫、含有氧化鎢的氧化銦、含有氧化鎢的氧化銦鋅、含有氧化鈦的氧化銦、含有氧化鈦的氧化銦錫、氧化銦氧化鋅、添加有氧化矽的氧化銦錫等導電材料。

或者，作為閘極電極層 402 的材料還可以使用含有氮的 In-Ga-Zn 類氧化物、含有氮的 In-Sn 類氧化物、含有氮的 In-Ga 類氧化物、含有氮的 In-Zn 類氧化物、含有氮的 Sn 類氧化物、含有氮的 In 類氧化物、金屬氮化物膜（氮化銦膜、氮化鋅膜、氮化鋁膜、氮化鎢膜等）。由於上述材料具有 5 電子伏特以上的功函數，所以藉由使用上述材料形成閘極電極層 402，可以使電晶體的臨界電壓成為正值，由此可以實現常截止（normally-off）的開關電晶體。

接著，以覆蓋閘極電極層 402 的方式在閘極電極層 402 上形成閘極絕緣層 404（參照圖 3A）。作為閘極絕緣層 404，藉由電漿 CVD 法、濺射法等以單層或疊層形成包含選自氧化矽膜、氧氮化矽膜、氮氧化矽膜、氮化矽膜、氧化鋁膜、氧化鉛膜、氧化釷膜、氧化鈳膜、氧化鎂膜、氧化鋇膜、氧化鈣膜和氧化鈦膜中的一種以上的絕緣膜。

另外，在閘極絕緣層 404 中，接觸於後面形成的氧化物半導體疊層 408 的區域較佳是氧化物絕緣層，更佳為包括氧過剩區。爲了在閘極絕緣層 404 設置氧過剩區，例如在氧氛圍下形成閘極絕緣層 404 即可。或者，也可以將氧引入到成膜後的閘極絕緣層 404 中而形成氧過剩區。作為氧的引入方法，可以使用離子植入法、離子摻雜法、電漿浸沒離子佈植技術、電漿處理等。

接著，在閘極絕緣層 404 上依次形成成為氧化物半導體層 408c 的氧化物半導體膜、成為氧化物半導體層 408b 的氧化物半導體膜及成為氧化物半導體層 408a 的氧化物半導體膜，藉由利用光微影法的蝕刻處理將這些氧化物半導體膜加工為島狀，來形成氧化物半導體疊層 408（參照圖 3B）。

氧化物半導體層 408c、氧化物半導體層 408b 及氧化物半導體層 408a 分別既可以是非晶氧化物半導體，又可以是結晶氧化物半導體。但是，作為用作電晶體 310 的通道的氧化物半導體層 408b，較佳為使用結晶氧化物半導體。此外，藉由對非晶氧化物半導體進行熱處理，可以形成結晶氧化物半導體。將使非晶氧化物半導體晶化的熱處理的溫度設定為 250℃ 以上且 700℃ 以下，較佳為 400℃ 以上，更佳為 500℃ 以上，進一步較佳為 550℃ 以上。該熱處理也可以兼作製程中的其他加熱處理。

作為各氧化物半導體膜的成膜方法，可以適當地利用濺射法、MBE（Molecular Beam Epitaxy：分子束磊晶）

法、CVD 法、脈衝雷射沉積法、ALD (Atomic Layer Deposition : 原子層沉積) 法等。

當形成氧化物半導體膜時，較佳為盡可能地降低膜中的氫濃度。為了降低氫濃度，例如，在藉由濺射法進行成膜時，作為供應到濺射裝置的成膜室內的氛圍氣體適當地使用：如氫、水、羥基或者氫化物等雜質被去除的高純度的稀有氣體（典型的有氬）、氧、稀有氣體和氧的混合氣體。

另外，藉由在去除殘留在成膜室內的水分的同時引入去除了氫及水分的濺射氣體來進行成膜，可以降低形成的氧化物半導體膜的氫濃度。為了去除殘留在成膜室內的水分，較佳為使用吸附型真空泵，例如，低溫泵、離子泵、鈦昇華泵。此外，也可以使用具備冷阱的渦輪泵。由於低溫泵對如氫分子、水（ H_2O ）等包含氫原子的化合物（較佳為還包括包含碳原子的化合物）等進行排出的能力較高，所以可以降低使用該低溫泵進行排氣的成膜室中形成的膜中的雜質濃度。

另外，較佳為以不暴露於大氣的方式連續地形成閘極絕緣層 404 和氧化物半導體膜。藉由以不暴露於大氣的方式連續地形成閘極絕緣層 404 和氧化物半導體膜，可以防止氫或氫化合物（例如，水等）附著於氧化物半導體膜表面，所以可以抑制雜質的混入。

另外，在藉由濺射法形成氧化物半導體膜的情況下，使用於成膜的金屬氧化物靶材的相對密度（填充率）為

90%以上且 100%以下，較佳為 95%以上且 99.9%以下。藉由使用相對密度高的金屬氧化物靶材，可以形成緻密的膜。

另外，為了降低有可能包含在氧化物半導體膜中的雜質的濃度，在將基板 400 保持為高溫的狀態下形成氧化物半導體膜也是有效的。將加熱基板 400 的溫度設定為 150℃ 以上且 450℃ 以下，較佳為將基板溫度設定為 200℃ 以上且 350℃ 以下即可。另外，藉由在進行成膜時以高溫加熱基板，可以形成結晶氧化物半導體膜。

當作為氧化物半導體層（例如，氧化物半導體層 408b）使用 CAAC-OS 膜時，作為獲得該 CAAC-OS 膜的方法，例如可以將成膜溫度設定為 200℃ 以上且 450℃ 以下來形成氧化物半導體膜，而實現大致垂直於其表面的 c 軸配向。或者，也可以在形成薄的氧化物半導體膜之後，進行 200℃ 以上且 700℃ 以下的加熱處理，而實現大致垂直於其表面的 c 軸配向。或者，也可以在形成薄的第一層之後，進行 200℃ 以上且 700℃ 以下的加熱處理，然後形成第二層，而實現大致垂直於其表面的 c 軸配向。

用於氧化物半導體層 408a 至氧化物半導體層 408c 的氧化物半導體至少含有銦（In）。尤其較佳為含有銦及鋅（Zn）。此外，作為用來減小使用該氧化物半導體的電晶體的電特性的不均勻的穩定劑（stabilizer），較佳為除了上述元素以外還含有鎵（Ga）。

另外，如上所述，作為用作用來降低陷阱能階的影響

的緩衝層的氧化物半導體層 408a 及氧化物半導體層 408c，較佳為使用銦的組成為鎵的組成以下的金屬氧化物，作為成為通道形成區的氧化物半導體層 408b，較佳為使用銦的組成大於鎵的組成的金屬氧化物。

此外，作為穩定劑，也可以代替鎵（Ga）或加上鎵（Ga）還包含錫（Sn）、鉛（Hf）、鋁（Al）和銨（Zr）中的一種或多種。另外，作為其他穩定劑，也可以含有鑰系元素的鑰（La）、鈾（Ce）、鐳（Pr）、釹（Nd）、釷（Sm）、鎔（Eu）、釷（Gd）、鐳（Tb）、鐳（Dy）、釹（Ho）、鎢（Er）、鋁（Tm）、鐳（Yb）、鐳（Lu）中的一種或多種。

例如，作為氧化物半導體，可以使用：氧化銦、氧化錫、氧化鋅；二元金屬氧化物的 In-Zn 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物；三元金屬氧化物的 In-Ga-Zn 類氧化物、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；以及四元金屬氧化物的 In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。

例如，In-Ga-Zn 類氧化物是指作為主要成分含有 In、Ga、Zn 的氧化物，對 In、Ga、Zn 的比率沒有限制。此外，也可以含有 In、Ga、Zn 以外的金屬元素。

另外，作為氧化物半導體，也可以使用以 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$ ，且 m 不是整數) 表示的材料。注意，M 表示選自 Ga、Fe、Mn 和 Co 中的一種金屬元素或多種金屬元素。另外，作為氧化物半導體，也可以使用以 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n>0$ ，且 n 是整數) 表示的材料。

較佳為對氧化物半導體疊層 408 進行用來去除過剩的氫（包括水及羥基）（脫水化或脫氫化）的加熱處理。將加熱處理的溫度設定為 300°C 以上且 700°C 以下或低於基板的應變點。加熱處理可以在減壓下或氮氛圍下等進行。藉由進行該加熱處理可以去除賦予 n 型導電性的雜質的氫。

另外，用於脫水化或脫氫化的加熱處理只要在形成氧化物半導體膜之後就可以在電晶體的製程中的任何時序進行。另外，用於脫水化或脫氫化的加熱處理也可以多次進行，還可以兼作其他加熱處理。

在加熱處理中，氮或氮、氬、氬等稀有氣體較佳為不包含水、氫等。另外，較佳為將引入到加熱處理裝置中的氮或氮、氬、氬等稀有氣體的純度設定為 6N（99.9999%）以上，較佳為設定為 7N（99.99999%）以上（即，將雜質濃度設定為 1ppm 以下，較佳為設定為 0.1ppm 以下）。

另外，可以在藉由加熱處理對氧化物半導體層（或氧化物半導體疊層）進行加熱之後，在維持該加熱溫度的狀態下或在從該加熱溫度降溫的過程中，對相同爐內引入高純度的氧氣體、高純度的一氧化二氮氣體或超乾燥空氣（使用 CRDS（Cavity Ring Down laser Spectroscopy：光腔衰蕩光譜法）方式的露點計進行測試時的水分量是 20ppm（露點換算為 -55°C ）以下，較佳的是 1ppm 以下，更佳的是 10ppb 以下的空氣）。較佳為不使氧氣體或一氧化二氮氣體包含水、氫等。或者，較佳為將引入到加熱處理裝置中的氧氣體或一氧化二氮氣體的純度設定為 6N 以上，較佳為 7N 以上（也就是說，將氧氣體或一氧化二氮氣體中的雜質濃度設定為 1ppm 以下，較佳為設定為 0.1ppm 以下）。即使在利用脫水化處理或脫氫化處理的雜質排出製程中氧化物半導體的主要構成要素的氧減少，也可以藉由利用氧氣體或一氧化二氮氣體供給氧，來使氧化物半導體層高度純化且電性 i 型（本質）化。

另外，當進行脫水化處理或脫氫化處理時氧有可能脫離而減少，所以可以對經過脫水化處理或脫氫化處理的氧化物半導體層引入氧（至少包括氧自由基、氧原子和氧離子中的一種）來對該層供應氧。

藉由對經過脫水化處理或脫氫化處理的氧化物半導體層引入氧而供應氧，可以使氧化物半導體層高度純化且 i 型（本質）化。包含高度純化了且 i 型（本質）化了的氧化物半導體的電晶體的電特性變動被抑制，所以該電晶體

在電性上穩定。

當對氧化物半導體層引入氧時，既可以對氧化物半導體層直接引入氧，又可以以透過在後面形成的絕緣層的方式對氧化物半導體層引入氧。作為氧（至少包括氧自由基、氧原子和氧離子中的一種）的引入方法，可以使用離子植入法、離子摻雜法、電漿浸沒離子佈植技術、電漿處理等。另外，可以使用含有氧的氣體進行氧的引入處理。作為含有氧的氣體，可以使用氧、一氧化二氮、二氧化氮、二氧化碳、一氧化碳等。此外，在氧的引入處理中，也可以使含有氧的氣體包含稀有氣體。

例如當藉由離子植入法對氧化物半導體層注入氧離子時，可以將劑量設定為 $1 \times 10^{13} \text{ions/cm}^2$ 以上且 $5 \times 10^{16} \text{ions/cm}^2$ 以下。

另外，對氧化物半導體層供應氧的製程只要在形成氧化物半導體膜之後就可以在電晶體的製程中的任何時序進行。另外，氧的引入也可以多次進行。

接著，在氧化物半導體疊層 408 上形成導電膜並對其進行加工來形成源極電極層 410a 及汲極電極層 410b（包括用與此相同的層形成的佈線）（參照圖 3C）。

作為源極電極層 410a 及汲極電極層 410b，例如可以使用含有選自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素的金屬膜或以上述元素為成分的金屬氮化物膜（氮化鈦膜、氮化鉬膜、氮化鎢膜）等。另外，還可以在 Al、Cu 等的金屬膜的下側和上側中的一者或兩者上層疊 Ti、Mo、W

等的高熔點金屬膜或它們的金屬氮化物膜（氮化鈦膜、氮化鉬膜、氮化鎢膜）。另外，源極電極層 410a 及汲極電極層 410b 也可以使用導電金屬氧化物形成。導電金屬氧化物例如可以使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦氧化錫（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ）、氧化銦氧化鋅（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）或者使這些金屬氧化物材料含有氧化矽的材料。

另外，作為源極電極層 410a 及汲極電極層 410b 可以使用含有氮的 In-Ga-Zn-O 膜、含有氮的 In-Sn-O 膜、含有氮的 In-Ga-O 膜、含有氮的 In-Zn-O 膜、含有氮的 Sn-O 膜、含有氮的 In-O 膜等金屬氮化物膜。由於這些膜含有與氧化物半導體疊層 408 相同的構成元素，所以可以使源極電極層 410a 或汲極電極層 410b 與氧化物半導體疊層 408 之間的介面穩定。

此外，當作為源極電極層 410a 及汲極電極層 410b 應用包含銅的導電膜時可以降低佈線電阻，所以是較佳的。一般而言，由於銅容易擴散到半導體或氧化矽膜中，所以有可能使半導體裝置的操作不穩定而使良率明顯降低。但是，由於電晶體 310 包括接觸於源極電極層 410a 及汲極電極層 410b 並用作用來抑制該電極層的構成元素（在此，銅）擴散的緩衝層的氧化物半導體層 408a，所以可以降低因銅的擴散而產生的背通道一側的陷阱能階的影響，較佳的是完全抑制背通道一側的陷阱能階的影響。

接著，以覆蓋源極電極層 410a、汲極電極層 410b 以

及露出的氧化物半導體疊層 408 的方式形成絕緣層 412（參照圖 3D）。

絕緣層 412 可以利用電漿 CVD 法、濺射法並使用氧化矽膜、氧化鎵膜、氧化鋁膜、氮化矽膜、氧氮化矽膜、氧氮化鋁膜或者氮氧化矽膜等的單層或疊層形成。注意，當作爲絕緣層 412 形成氧化物絕緣層時，能夠利用該氧化物絕緣層將氧供應到氧化物半導體疊層 408，所以是較佳的。

可以在形成絕緣層 412 之後進行加熱處理。將加熱處理的溫度較佳爲設定爲 200℃ 以上，例如可以設定爲 220℃。

藉由上述步驟可以形成本實施方式的電晶體 310。

本實施方式所示的電晶體包括：用作抑制源極電極層或汲極電極層的構成元素擴散到通道中的緩衝層的第一氧化物半導體層；以及用作通道的第二氧化物半導體層。由此，可以降低能夠在電晶體的背通道一側形成的介面態的影響。另外，更佳的是，本實施方式所示的電晶體設置在用作通道的氧化物半導體層與閘極絕緣層之間並包括用作用來防止通道的閘極絕緣層一側的介面的劣化的緩衝層的第三氧化物半導體層。藉由包括第三氧化物半導體層，可以減少電晶體的光劣化（例如，光負偏壓劣化），而可以提供可靠性高的半導體裝置。

以上，本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而使用。

實施方式 2

在本實施方式中，參照圖 10A 和圖 10B 說明與實施方式 1 不同的半導體裝置的一個方式。明確而言，說明具有與實施方式 1 所示的電晶體不同的閘極絕緣層的結構的電晶體。

圖 10A 示出電晶體 320 的結構實例。與圖 2A 至圖 2D 所示的電晶體 310 同樣，圖 10A 所示的電晶體 320 包括：設置在具有絕緣表面的基板 400 上的閘極電極層 402；閘極電極層 402 上的閘極絕緣層 403、406；接觸於閘極絕緣層 406 並重疊於閘極電極層 402 的氧化物半導體疊層 408；以及電連接於氧化物半導體疊層 408 的源極電極層 410a 及汲極電極層 410b。在電晶體 320 中，氧化物半導體疊層 408 包括：接觸於閘極絕緣層 406 的氧化物半導體層 408c；在氧化物半導體層 408c 上並與其接觸的氧化物半導體層 408b；在氧化物半導體層 408b 上並與其接觸的接觸於源極電極層 410a 及汲極電極層 410b 的氧化物半導體層 408a。另外，電晶體 320 的構成要素也可以包括覆蓋源極電極層 410a 及汲極電極層 410b 並接觸於氧化物半導體疊層 408 的絕緣層 412。

電晶體 320 與電晶體 310 不同之處是：電晶體 320 作為閘極絕緣層具有第一閘極絕緣層 403 與第二閘極絕緣層 406 的疊層結構，該第一閘極絕緣層 403 從閘極電極層 402 一側包括閘極絕緣層 403a、閘極絕緣層 403b 及閘極

絕緣層 403c。

注意，除了閘極絕緣層之外，電晶體 320 的結構與電晶體 310 相同，而可以參照關於電晶體 310 的說明。

在電晶體 320 中，作為第一閘極絕緣層 403 應用包含氮的矽膜。由於包含氮的矽膜的相對介電常數比氧化矽膜高而在獲得與氧化矽膜相等的靜電電容時包含氮的矽膜需要的厚度大，所以可以使閘極絕緣層在物理上厚膜化。由此，可以抑制電晶體 320 的絕緣耐壓的下降。再者，藉由提高絕緣耐壓可以抑制半導體裝置的靜電損壞。

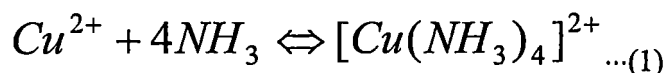
此外，作為接觸於氧化物半導體疊層 408 的第二閘極絕緣層 406，應用包含氧的絕緣層如氧化矽膜、氧化鎳膜、氧化鋁膜等。第二閘極絕緣層 406 較佳為包括包含超過化學計量組成的氧的區域（氧過剩區）。這是因為如下緣故：藉由與氧化物半導體疊層 408 接觸的絕緣層包括氧過剩區域，可以向氧化物半導體疊層 408 供應氧，由此可以防止氧從氧化物半導體疊層 408 脫離並填補氧缺陷。為了在第二閘極絕緣層 406 設置氧過剩區，例如在氧氛圍下形成第二閘極絕緣層 406 即可。或者，也可以將氧引入到成膜後的第二閘極絕緣層 406 中而形成氧過剩區。

雖然作為應用於第一閘極絕緣層 403 的含有氮的矽膜例如可以舉出氮化矽膜、氮氧化矽膜、氧氮化矽膜，但是由於對氧的氮含量越多介電常數越高，所以較佳為採用氮化矽膜。此外，由於與氧化矽的能隙 8eV 相比氮化矽的能隙低，為 5.5eV ，相應的固有電阻也低，所以藉由使用氮

化矽膜可以進一步提高耐 ESD（Electro-Static Discharge；靜電放電）性能。注意，在本說明書中，“氧氮化矽膜”是指在其組成中氧含量多於氮含量的膜，而“氮氧化矽膜”是指在其組成中氮含量多於氧含量的膜。

接觸於閘極電極層 402 的閘極絕緣層 403a 是氮含量至少小於閘極絕緣層 403b 的包含氮的矽膜。由於氮原子上的孤電子對的作用，氮用作金屬錯合物的配體。因此，例如在將銅用於閘極電極層 402 的情況下，如果以與該閘極電極層接觸的方式形成氮含量多的閘極絕緣層，則藉由如下算式 1 所示的反應銅有可能擴散到閘極絕緣層中。

[算式 1]



在電晶體 320 中，藉由以與閘極電極層 402 接觸的方式形成氮含量低（至少比閘極絕緣層 403b 低）的閘極絕緣層 403a，可以抑制閘極電極層 402 的材料（例如，銅）擴散到第一閘極絕緣層 403 中。換句話說，閘極絕緣層 403a 可以用作構成閘極電極層 402 的金屬材料的障壁膜。藉由設置閘極絕緣層 403a，可以進一步提高電晶體的可靠性。

閘極絕緣層 403b 是具有比閘極絕緣層 403a 厚的膜厚且減少膜中缺陷的包含氮的矽膜。例如，將閘極絕緣層 403b 的厚度設定為 300nm 以上且 400nm 以下。另外，在藉由電子自旋共振（ESR：Electron Spin Resonance）法測量的信號中在 Nc 中心（g 值為 2.003）出現的信號的自旋

密度為 $1 \times 10^{17} \text{spins/cm}^3$ 以下，較佳為 $5 \times 10^{16} \text{spins/cm}^3$ 以下的包含氮的矽膜。如此，藉由作為閘極絕緣層 403b 使用減少膜中缺陷且厚度大（例如，300nm 以上）的包含氮的矽膜，例如可以將閘極絕緣層 403b 的 ESD 耐性提高到 300V 以上。

此外，閘極絕緣層 403c 是減少氫濃度的包含氮的矽膜。將閘極絕緣層 403c 的氫濃度設定為至少比閘極絕緣層 403b 低的濃度。例如，在利用電漿 CVD 法形成閘極絕緣層 403c 的情況下，藉由使包含在供應氣體中的氫的濃度低於用來形成閘極絕緣層 403b 的供應氣體，可以使閘極絕緣層 403c 的氫濃度低於閘極絕緣層 403b。明確而言，當作為閘極絕緣層 403b 及閘極絕緣層 403c 形成氮化矽膜時，使用來形成閘極絕緣層 403b 的供應氣體中的氮流量低於用來形成閘極絕緣層 403c 的供應氣體中的氮流量，或者在不使用氮的情況下形成閘極絕緣層 403c 即可。

作為閘極絕緣層 403c 設置減少氫濃度的氮化矽膜，這樣可以抑制氫或氫化合物（例如，水）混入到第二閘極絕緣層 406 及氧化物半導體疊層 408。由於藉由接合氫與氧化物半導體其一部分成為施體，生成作為載流子的電子而有可能成為使電晶體的臨界電壓向負方向漂移（shift）的要因，所以藉由作為閘極絕緣層 403c 設置減少氫濃度的氮化矽膜，可以使電晶體具有穩定的電特性。另外，藉由作為閘極絕緣層 403c 設置減少氫濃度的氮化矽膜，閘

極絕緣層 403c 還用作防止閘極絕緣層 403b 所含有的氫或氫化合物等雜質擴散到氧化物半導體疊層 408 中的障壁膜。

在本實施方式中，作為構成第一閘極絕緣層 403 的閘極絕緣層 403a、閘極絕緣層 403b 及閘極絕緣層 403c 使用氮化矽膜，作為第二閘極絕緣層 406 使用氧氮化矽膜，各閘極絕緣層利用電漿 CVD 法連續地形成。明確而言，在供應矽烷（ SiH_4 ）與氮（ N_2 ）的混合氣體形成用作閘極絕緣層 403a 的氮化矽膜之後，將供應氣體轉換為矽烷（ SiH_4 ）、氮（ N_2 ）及氨（ NH_3 ）的混合氣體而形成用作閘極絕緣層 403b 的氮化矽膜，然後將供應氣體轉換為矽烷（ SiH_4 ）與氮（ N_2 ）的混合氣體形成用作閘極絕緣層 403c 的氮化矽膜，然後將供應氣體轉換為矽烷（ SiH_4 ）與一氧化二氮（ N_2O ）的混合氣體形成用作第二閘極絕緣層 406 的氧氮化矽膜。

將閘極絕緣層 403a 的厚度設定為 30nm 以上且 100nm 以下，較佳為設定為 30nm 以上且 50nm 以下。另外，較佳為將用來防止電晶體的靜電破壞而設置的閘極絕緣層 403b 的厚度設定為 300nm 以上且 400nm 以下，較佳為將用作防止氫擴散到氧化物半導體疊層 408 中的障壁膜的閘極絕緣層 403c 的厚度設定為 25nm 以上且 150nm 以下。此外，較佳為將第二閘極絕緣層 406 的厚度設定為 25nm 以上且 100nm 以下。注意，較佳為適當地調節各閘極絕緣層的厚度，來使第一閘極絕緣層 403 的厚度（閘極絕緣

層 403a、閘極絕緣層 403b 及閘極絕緣層 403c 的厚度的總和) 與第二閘極絕緣層 406 的厚度的總和為 355nm 以上且 550nm 以下。

另外，如圖 10B 所示的電晶體 330 所示，也可以組合包括第一閘極絕緣層 403 及第二閘極絕緣層 406 的疊層的閘極絕緣層和包括氧化物半導體層 408b 及氧化物半導體層 408a 的疊層的氧化物半導體疊層 408 而使用。

本實施方式所示的電晶體包括：用作抑制源極電極層或汲極電極層的構成元素擴散到通道中的緩衝層的第一氧化物半導體層；以及用作通道的第二氧化物半導體層。由此，可以降低能夠在電晶體的背通道一側形成的介面態的影響。另外，更佳的是，本實施方式所示的電晶體設置在用作通道的氧化物半導體層與閘極絕緣層之間並包括用作用來防止通道的閘極絕緣層一側的介面的劣化的緩衝層的第三氧化物半導體層。藉由包括第三氧化物半導體層，可以減少電晶體的光劣化（例如，光負偏壓劣化），而可以提供可靠性高的半導體裝置。

另外，本實施方式所示的電晶體作為閘極絕緣層包括具有包含氮的矽膜的第一閘極絕緣層以及包含氧的第二閘極絕緣層的疊層。該第一閘極絕緣層包括：用作對閘極電極層的構成元素（例如，銅）的障壁膜的包含氮的矽膜；厚度大（例如，300nm 厚）且減少膜中缺陷的包含氮的矽膜；以及減少氫濃度的對氫具有阻擋性的包含氮的矽膜。因此，本實施方式的電晶體的電特性變動及靜電破壞得到

抑制。藉由使用這種電晶體，可以以高良率地製造高可靠性的半導體裝置。

以上，本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而使用。

實施方式 3

藉由使用實施方式 1 或 2 所示的電晶體可以製造具有顯示功能的半導體裝置（也稱為顯示裝置）。此外，藉由將包括電晶體的驅動電路的一部分或全部與像素部一體地形成在相同的基板上，可以形成系統整合型面板（system-on-panel）。

在圖 4A 中，以圍繞設置在基板 4001 上的像素部 4002 的方式設置密封材料 4005，使用基板 4006 進行密封。在圖 4A 中，在基板 4001 上的與由密封材料 4005 圍繞的區域不同的區域中安裝有使用單晶半導體膜或多晶半導體膜形成在 IC 晶片或另行準備的基板上的掃描線驅動電路 4004、信號線驅動電路 4003。此外，藉由信號線驅動電路 4003 和掃描線驅動電路 4004 供應到像素部 4002 的各種信號及電位由 FPC（Flexible printed circuit：撓性印刷電路）4018a 及 4018b 供應。

在圖 4B 和圖 4C 中，以圍繞設置在基板 4001 上的像素部 4002 和掃描線驅動電路 4004 的方式設置有密封材料 4005。此外，在像素部 4002 和掃描線驅動電路 4004 上設置有基板 4006。因此，像素部 4002、掃描線驅動電路

4004 與顯示元件一起由基板 4001、密封材料 4005 以及基板 4006 密封。在圖 4B 和圖 4C 中，在基板 4001 上的與由密封材料 4005 圍繞的區域不同的區域中安裝有使用單晶半導體膜或多晶半導體膜形成在 IC 晶片或另行準備的基板上的信號線驅動電路 4003。在圖 4B 和圖 4C 中，藉由信號線驅動電路 4003 和掃描線驅動電路 4004 供應到像素部 4002 的各種信號及電位由 FPC4018 供應。

此外，圖 4B 和圖 4C 示出另行形成信號線驅動電路 4003 並且將該信號線驅動電路 4003 安裝到基板 4001 的例子，但是不侷限於該結構。既可以另行形成掃描線驅動電路並進行安裝，又可以僅另行形成信號線驅動電路的一部分或者掃描線驅動電路的一部分並進行安裝。

另外，對另行形成的驅動電路的連接方法沒有特別的限制，而可以採用 COG（Chip On Glass：玻璃上晶片）方法、打線接合方法、TAB（Tape Automated Bonding：捲帶式自動接合）方法等。圖 4A 是藉由 COG 方法安裝信號線驅動電路 4003、掃描線驅動電路 4004 的例子，圖 4B 是藉由 COG 方法安裝信號線驅動電路 4003 的例子，圖 4C 是藉由 TAB 方法安裝信號線驅動電路 4003 的例子。

此外，顯示裝置包括顯示元件處於密封狀態的面板和在該面板中安裝有包括控制器的 IC 等狀態的模組。注意，本說明書中的顯示裝置是指影像顯示裝置、顯示裝置或光源（包括照明設備）。另外，顯示裝置除了密封有顯示元件的面板之外還包括：安裝有諸如 FPC 或 TCP 的連

接器的模組；在 TCP 的端部設置有印刷線路板的模組；或者藉由 COG 方法將 IC（積體電路）直接安裝到顯示元件的模組。

此外，設置在基板上的像素部及掃描線驅動電路具有多個電晶體，可以應用實施方式 1 或 2 所示的電晶體。

作為設置在顯示裝置中的顯示元件，可以使用液晶元件（也稱為液晶顯示元件）、發光元件（也稱為發光顯示元件）。發光元件包括由電流或電壓控制亮度的元件，明確而言，包括無機 EL（Electro Luminescence：電致發光）、有機 EL 等。此外，也可以應用電子墨水顯示裝置（電子紙）等的對比度因電作用而發生變化的顯示媒介。

使用圖 4A 至圖 5 對半導體裝置的一個方式進行說明。圖 5 相當於沿著圖 4B 的線 M-N 的剖面圖。圖 5 示出將液晶元件用作顯示元件的液晶顯示裝置的例子。

但是，只要顯示裝置以設置在像素部 4002 中的電晶體 4010 電連接到顯示元件的方式構成並該顯示元件能夠進行顯示就沒有特別的限制，而可以使用各種各樣的顯示元件。

如圖 4A 至圖 5 所示那樣，半導體裝置包括連接端子電極 4015 及端子電極 4016，連接端子電極 4015 及端子電極 4016 藉由各向異性導電層 4019 電連接到 FPC4018（4018a、4018b）所具有的端子。

連接端子電極 4015 由與第一電極層 4034 相同的導電層形成，並且，端子電極 4016 由與電晶體 4010、4011 的

源極電極層及汲極電極層相同的導電層形成。

此外，設置在基板 4001 上的像素部 4002、掃描線驅動電路 4004 具有多個電晶體，圖 4A 至圖 5 例示出像素部 4002 所包括的電晶體 4010 以及掃描線驅動電路 4004 所包括的電晶體 4011。在圖 5 中，在電晶體 4010、4011 上設置有絕緣層 4032。

作為電晶體 4010、4011，可以使用實施方式 1 或 2 所示的電晶體。在本實施方式中示出應用具有與實施方式 1 所示的電晶體 310 相同的結構的電晶體的例子。電晶體 4010、4011 是底閘極結構的電晶體。

電晶體 4010、4011 包括：用作用來抑制源極電極層或汲極電極層的構成元素擴散到通道的緩衝層的第一氧化物半導體層；用作通道的第二氧化物半導體層；以及設置在用作通道的氧化物半導體層與閘極絕緣層之間並用作用來防止通道與閘極絕緣層的介面劣化的緩衝層的第三氧化物半導體層。因此，電晶體 4010、4011 是降低有可能形成在背通道一側的介面態的影響並減少電晶體的光劣化（例如光負偏壓劣化）的可靠性高的電晶體。

此外，可以在與驅動電路用的電晶體 4011 的氧化物半導體層的通道形成區域重疊的位置還設置導電層。藉由將導電層設置在與氧化物半導體層的通道形成區域重疊的位置，可以進一步降低電晶體 4011 的臨界電壓的變化量。此外，導電層的電位可以與電晶體 4011 的閘極電極層的電位相同或不同，並且，還可以將導電層用作第二閘

極電極層。此外，導電層的電位可以處於浮動狀態。

此外，該導電層還具有遮蔽外部的電場，即不使外部的電場作用到內部（包括電晶體的電路部）的功能（尤其是，遮蔽靜電的靜電遮蔽功能）。藉由利用導電層的遮蔽功能，可以防止由於靜電等外部的電場的影響而使電晶體的電特性變動。

在圖 5 中，液晶元件 4013 包括第一電極層 4034、第二電極層 4031 以及液晶層 4008。另外，以夾持液晶層 4008 的方式設置有用作配向膜的絕緣層 4038、4033。第二電極層 4031 設置在基板 4006 一側，第一電極層 4034 和第二電極層 4031 隔著液晶層 4008 而層疊。

作為第一電極層 4034、第二電極層 4031，可以使用含有氧化鎢的銦氧化物、含有氧化鎢的銦鋅氧化物、含有氧化鈦的銦氧化物、含有氧化鈦的銦錫氧化物、銦錫氧化物、銦鋅氧化物、添加有氧化矽的銦錫氧化物、石墨烯等具有透光性的導電材料。

此外，第一電極層 4034、第二電極層 4031 可以使用鎢（W）、鉬（Mo）、鋯（Zr）、鈦（Hf）、釩（V）、鈮（Nb）、鉭（Ta）、鉻（Cr）、鈷（Co）、鎳（Ni）、鈦（Ti）、鉑（Pt）、鋁（Al）、銅（Cu）、銀（Ag）等金屬、其合金或者其金屬氮化物中的一種或多種來形成。

此外，第一電極層 4034、第二電極層 4031 可以使用包括導電高分子（也稱為導電聚合體）的導電組成物來形

成。作為導電高分子，可以使用所謂的 π 電子共軛類導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物或者由苯胺、吡咯和噻吩中的兩種以上構成的共聚物或其衍生物等。

此外，間隔物 4035 是藉由對絕緣層進行選擇性地蝕刻而獲得的柱狀間隔物，並且它是為了控制液晶層 4008 的厚度（單元間隙（cell gap））而設置的。另外，也可以使用球狀間隔物。

當作為顯示元件使用液晶元件時，可以使用熱致液晶、鐵電液晶、反鐵電液晶等。上述液晶材料既可以是低分子化合物又可以是高分子化合物。上述液晶材料（液晶組成物）根據條件而呈現膽固醇相、近晶相、立方相、手性向列相、各向同性相等。

另外，也可以作為液晶層 4008 使用不使用配向膜的呈現藍相的液晶組成物。此時，液晶層 4008 與第一電極層 4034 和第二電極層 4031 接觸。藍相是液晶相的一種，是指當使膽固醇相液晶的溫度上升時即將從膽固醇相轉變到各向同性相之前出現的相。使用混合了液晶及手性試劑的液晶組成物可以呈現藍相。此外，為了擴大呈現藍相的溫度範圍，對呈現藍相的液晶組成物添加聚合性單體及聚合引發劑等，藉由進行高分子穩定化的處理來可以形成液晶層。由於呈現藍相的液晶組成物的回應時間短，並且其具有光學各向同性，所以不需要配向處理，且視角依賴性小。另外，由於不需要設置配向膜而不需要摩擦處理，因

此可以防止由於摩擦處理而引起的靜電損壞，並可以降低製程中的液晶顯示裝置的故障、破損。因此，可以提高液晶顯示裝置的生產率。

此外，液晶材料的固有電阻為 $1 \times 10^9 \Omega \cdot \text{cm}$ 以上，較佳為 $1 \times 10^{11} \Omega \cdot \text{cm}$ 以上，更佳為 $1 \times 10^{12} \Omega \cdot \text{cm}$ 以上。另外，本說明書中的固有電阻值為在 20°C 下測量的值。

考慮到配置在像素部中的電晶體的洩漏電流等而以能夠在所定的期間中保持電荷的方式設定設置在液晶顯示裝置中的儲存電容器的大小。根據電晶體的關態電流（off-state current）等設定儲存電容器的大小即可。藉由使用具有本說明書所公開的氧化物半導體層的電晶體，設置具有各像素中的液晶電容的 $1/3$ 以下，較佳為 $1/5$ 以下的電容的儲存電容器，就足夠了。

使用本說明書所公開的氧化物半導體層的電晶體可以將截止狀態下的電流值（關態電流值）控制為低。因此，可以延長影像信號等電信號的保持時間，也可以延長寫入間隔。因此，可以降低更新工作的頻率，所以有抑制耗電量的效果。

此外，使用本說明書所公開的氧化物半導體層的電晶體可以得到較高的場效應遷移率，所以能夠進行高速驅動。例如，藉由將這種電晶體用於液晶顯示裝置，可以在同一基板上形成像素部的開關電晶體及用於驅動電路部的驅動電晶體。另外，在像素部中也藉由使用這種電晶體，可以提供高品質的影像。

液晶顯示裝置可以採用 TN (Twisted Nematic : 扭曲向列) 模式、IPS (In-Plane-Switching : 平面內轉換) 模式、FFS (Fringe Field Switching : 邊緣電場轉換) 模式、ASM (Axially Symmetric aligned Micro-cell : 軸對稱排列微單元) 模式、OCB (Optical Compensated Birefringence : 光學補償彎曲) 模式、FLC (Ferroelectric Liquid Crystal : 鐵電性液晶) 模式、AFLC (Anti Ferroelectric Liquid Crystal : 反鐵電性液晶) 模式等。

此外，也可以使用常黑型液晶顯示裝置，例如採用垂直配向 (VA) 模式的透過型液晶顯示裝置。作為垂直配向模式，可以舉出幾個例子，例如可以使用 MVA (Multi-Domain Vertical Alignment : 多象限垂直配向) 模式、PVA (Patterned Vertical Alignment : 垂直配向構型) 模式、ASV (Advanced Super View : 高級超視覺) 模式等。另外，也可以用於 VA 型液晶顯示裝置。VA 型液晶顯示裝置是一種控制液晶顯示面板的液晶分子的排列的方式。VA 型液晶顯示裝置是在不被施加電壓時液晶分子朝向垂直於面板的方向的方式。此外，也可以使用將像素 (pixel) 分成幾個區域 (子像素) 且使分子分別倒向不同方向的被稱為多域化或多域設計的方法。

此外，在顯示裝置中，適當地設置黑矩陣 (遮光層)、偏振構件、相位差構件、抗反射構件等的光學構件 (光學基板) 等。例如，也可以使用利用偏振基板以及相位差基板的圓偏振。此外，作為光源，也可以使用背光、

側光燈等。

此外，作為像素部中的顯示方式，可以採用逐行掃描方式或隔行掃描方式等。此外，作為當進行彩色顯示時在像素中控制的顏色因素，不侷限於 RGB（R 表示紅色，G 表示綠色，B 表示藍色）這三種顏色。例如，也可以採用 RGBW（W 表示白色）或對 RGB 追加黃色（yellow）、青色（cyan）、洋紅色（magenta）等中的一種顏色以上的顏色。另外，各個色素的點的顯示區域的大小可以不同。但是，所公開的發明不侷限於彩色顯示的顯示裝置，而也可以應用於單色顯示的顯示裝置。

圖 11A 至圖 11C 示出在圖 5 所示的顯示裝置中將用來電連接於設置在基板 4006 上的第二電極層 4031 的共同連接部（焊盤部）形成在基板 4001 上的例子。

共同連接部配置在與用來黏合基板 4001 和基板 4006 的密封材料重疊的位置，並且藉由密封材料所包含的導電粒子與第二電極層 4031 電連接。或者，也可以在不與密封材料重疊的位置（像素部以外）設置共同連接部，並且，以與共同連接部重疊的方式將包括導電粒子的膏劑與密封材料另行設置，而與第二電極層 4031 電連接。

圖 11A 是共同連接部的剖面圖，圖 11A 相當於沿著圖 11B 所示的俯視圖中的線 G1-G2 的剖面。

共用電位線 491 設置在閘極絕緣層 4020 上並利用與圖 5 所示的電晶體 4010、4011 的源極電極層或汲極電極層相同的材料及製程製造。

此外，共用電位線 491 由絕緣層 4032 覆蓋，並且絕緣層 4032 在與共用電位線 491 重疊的位置具有多個開口部。該開口部藉由與連接電晶體 4010 的源極電極層和汲極電極層中的一方與第一電極層 4034 的接觸孔相同的製程來形成。

另外，共同電極 492 設置在絕緣層 4032 上，並利用與連接端子電極 4015 和像素部的第一電極層 4034 相同的材料及製程而形成。

如此，可以與像素部 4002 的切換元件的製程共同地形成共同連接部。

共同電極 492 是與包括在密封材料中的導電粒子接觸的電極，與基板 4006 的第二電極層 4031 電連接。

另外，如圖 11C 所示，共用電位線 491 也可以利用與電晶體 4010、4011 的閘極電極層相同的材料及製程而形成。

在圖 11C 所示的共同連接部中，共用電位線 491 設置在閘極絕緣層 4020 及絕緣層 4032 的下層中，並且閘極絕緣層 4020 及絕緣層 4032 在與共用電位線 491 重疊的位置具有多個開口部。該開口部在藉由與連接電晶體 4010 的源極電極層和汲極電極層中的一方與第一電極層 4034 的接觸孔相同的製程對絕緣層 4032 進行蝕刻之後，對閘極絕緣層 4020 選擇性地進行蝕刻來形成。

此外，作為顯示裝置所包括的顯示元件，可以應用利用電致發光的發光元件。利用電致發光的發光元件根據發

光材料是有機化合物還是無機化合物被區分，一般地，前者被稱為有機 EL 元件，而後者被稱為無機 EL 元件。

在有機 EL 元件中，藉由對發光元件施加電壓，電子及電洞分別從一對電極注入到包括發光性有機化合物的層，於是電流流過。並且，藉由這些載流子（電子及電洞）的重新結合，發光性有機化合物形成激發態，當從該激發態回到基態時發光。由於這種機制，這種發光元件被稱為電流激發型發光元件。在本實施方式中，示出作為發光元件使用有機 EL 元件的例子。

無機 EL 元件根據其元件結構而分類為分散型無機 EL 元件和薄膜型無機 EL 元件。分散型無機 EL 元件具有發光材料的粒子分散在黏合劑中的發光層，其發光機制是利用施體能階和受體能階的施體-受體重新結合型發光。薄膜型無機 EL 元件具有發光層夾在介電層之間且該介電層由電極夾住的結構，其發光機制是利用金屬離子的內殼層電子躍遷的定域型發光（localized type light emission）。在此，作為發光元件使用有機 EL 元件進行說明。

為了取出發光，使發光元件的一對電極中的至少一個具有透光性即可。並且，在基板上形成電晶體及發光元件，作為發光元件，有：從與基板相反一側的表面取出發光的頂部發射結構的發光元件；從基板一側的表面取出發光的底部發射結構的發光元件；以及從基板一側及與基板相反一側的表面取出發光的雙面發射結構的發光元件，可以應用上述任一種發射結構的發光元件。

圖 6A、圖 6B 及圖 13 示出作為顯示元件使用發光元件的發光裝置的例子。

圖 6A 是發光裝置的剖面圖，圖 6A 中的以點劃線 S1-T1、S2-T2 及 S3-T3 切斷的剖面相當於圖 6B。另外，圖 13 相當於圖 6A 中的以點劃線 S4-T4 切斷的剖面圖。另外，在圖 6A 的平面圖中，省略電致發光層 542 及第二電極層 543 而未圖示。

圖 6A 和圖 6B 所示的發光裝置在基板 500 上具有電晶體 510、電容元件 520、佈線層交叉部 530，電晶體 510 與發光元件 540 電連接。另外，圖 6A 和圖 6B 示出經過基板 500 從發光元件 540 取光的底面發射型結構的發光裝置。

作為電晶體 510，可以使用實施方式 1 或 2 所示的電晶體。在本實施方式中示出應用具有與實施方式 2 所示的電晶體 330 相同的結構的電晶體的例子。電晶體 510 是底閘極結構的電晶體。

電晶體 510 包括：閘極電極層 511a、閘極電極層 511b；包括閘極絕緣層 502a、閘極絕緣層 502b 及閘極絕緣層 502c 的閘極絕緣層 502；包括氧化物半導體層 512b 及氧化物半導體層 512a 的氧化物半導體疊層 512；以及用作源極電極層或汲極電極層的導電層 513a、導電層 513b。另外，在電晶體 510 上形成有絕緣層 525。

電容元件 520 包括：導電層 521a、導電層 521b；閘極絕緣層 502；包括氧化物半導體層 522b 及氧化物半導

體層 522a 的氧化物半導體疊層 522；以及導電層 523。並且，以由導電層 521a、導電層 521b 以及導電層 523 夾著閘極絕緣層 502 及氧化物半導體疊層 522 的結構來形成電容器。

佈線層交叉部 530 是閘極電極層 511a、閘極電極層 511b 和導電層 533 的交叉部，並且閘極電極層 511a、閘極電極層 511b 和導電層 533 隔著閘極絕緣層 502 交叉。

在本實施方式中，作為閘極電極層 511a 及導電層 521a 使用 30nm 厚的鈦膜，作為閘極電極層 511b 及導電層 521b 使用 200nm 厚的銅膜。因此，閘極電極層具有鈦膜和銅膜的疊層結構。

電晶體 510 包括：用作通道的氧化物半導體層 512b；以及用作用來抑制導電層 513a 及導電層 513b 的構成元素擴散到通道的緩衝層的氧化物半導體層 512a。因此，電晶體 510 是降低有可能形成在背通道一側的介面態的影響的可靠性高的電晶體。

此外，電晶體 510 包括：用作閘極絕緣層 502c 的氮的含量少的使用阻擋銅的障壁膜的含有氮的矽膜；用作閘極絕緣層 502a 的厚度大（例如，300nm 厚）且缺陷少的含有氮的矽膜；以及用作閘極絕緣層 502b 的氮濃度低的含有氮的矽膜。藉由採用上述結構，可以改善電晶體 510 的電特性，還可以防止電晶體 510 的靜電破壞。由此，可以以高良率地製造高可靠性的半導體裝置。

在電晶體 510、電容元件 520、佈線層交叉部 530 上

形成有層間絕緣層 504，並且在層間絕緣層 504 上的與發光元件 540 重疊的區域設置有彩色濾光層 505。在層間絕緣層 504 及彩色濾光層 505 上設置有用作平坦化絕緣層的絕緣層 506。

在絕緣層 506 上設置有包含依次層疊第一電極層 541、電致發光層 542、第二電極層 543 的疊層結構的發光元件 540。藉由在到達導電層 513a 且形成在絕緣層 506 及層間絕緣層 504 中的開口中第一電極層 541 與導電層 513a 接觸，發光元件 540 與電晶體 510 電連接。此外，以覆蓋第一電極層 541 的一部分及該開口的方式設置有隔壁 507。

作為絕緣層 506 可以使用 1500nm 厚的感光性丙烯酸膜，作為隔壁 507 可以使用 1500nm 厚的感光性聚醯亞胺膜。

作為彩色濾光層 505，例如可以使用彩色的透光樹脂。作為彩色透光樹脂，可以使用感光性有機樹脂、非感光性有機樹脂。當使用感光性有機樹脂層時，可以減少光阻遮罩數量而簡化製程，所以是較佳的。

彩色是指如黑色、灰色和白色等無彩色以外的顏色。彩色濾光層由只使彩色的光透過的材料形成。至於彩色，可以使用紅色、綠色、藍色等。另外，還可以使用青色（cyan）、洋紅色（magenta）、黃色（yellow）等。只使彩色的光透過意味著：透過彩色濾光層的光在其彩色的光的波長中具有峰值。關於彩色濾光層的厚度，可以根據所

包含的著色材料的濃度與光的透過率的關係適當地控制為最適合的膜厚度即可。例如，將彩色濾光層 505 的厚度設定為 1500nm 以上且 2000nm 以下，即可。

隔壁 507 使用有機絕緣材料或無機絕緣材料形成。尤其是，較佳為使用感光樹脂材料，在第一電極層 541 上形成開口部，並且將該開口部的側壁形成為具有連續曲率的傾斜面。

電致發光層 542 可以使用一個層構成，也可以使用多個層的疊層構成。

為了防止氧、氫、水分、二氧化碳等侵入到發光元件 540 中，也可以在第二電極層 543 及隔壁 507 上形成保護膜。作為保護膜，可以形成氮化矽膜、氮氧化矽膜、DLC 膜等。

另外，為了不使氧、氫、水分、二氧化碳等侵入到發光元件 540，也可以藉由蒸鍍法形成覆蓋發光元件 540 的包含有機化合物的層。

另外，如果需要，也可以在發光元件的射出表面上適當地設置諸如偏光板或者圓偏光板（包括橢圓偏光板）、相位差板（ $\lambda/4$ 板， $\lambda/2$ 板）、彩色濾光片等的光學薄膜。此外，也可以在偏光板或圓偏光板上設置防反射膜。例如，可以進行抗眩光處理，該處理是利用表面的凹凸來擴散反射光而可以降低眩光的處理。

此外，作為顯示裝置，也可以提供驅動電子墨水的電子紙。電子紙也稱為電泳顯示裝置（電泳顯示器），並具

有如下優點：與紙同樣的易讀性；其耗電量比其他顯示裝置的耗電量低；形狀薄且輕。

作為電泳顯示裝置，可以有各種各樣的形式，但是它是包括具有正電荷的第一粒子和具有負電荷的第二粒子的多個微膠囊分散在溶劑中，並且，藉由對微膠囊施加電場，使微膠囊中的粒子向彼此相反的方向移動，以只顯示集合在一側的粒子的顏色的裝置。另外，第一粒子或第二粒子包括染料，當沒有電場時不移動。此外，第一粒子的顏色和第二粒子的顏色不同（包括無色）。

分散有上述微囊的溶劑被稱為電子墨水。還可以藉由使用彩色濾光片、具有色素的粒子來進行彩色顯示。

另外，作為用作平坦化絕緣層的絕緣層 506，可以使用丙烯酸樹脂、聚醯亞胺樹脂、苯並環丁烯類樹脂、聚醯胺樹脂、環氧樹脂等具有耐熱性的有機材料。此外，除了上述有機材料以外，還可以使用矽氧烷類樹脂、PSG（磷矽玻璃）、BPSG（硼磷矽玻璃）等低介電常數材料（low-k 材料）。另外，也可以藉由層疊多個由上述材料形成的絕緣層形成絕緣層 506。

對絕緣層 506 的形成方法沒有特別的限制，可以根據其材料利用濺射法、旋塗法、浸漬法、噴塗法、液滴噴射法（噴墨法等）、印刷法（絲網印刷、膠版印刷等）等。

作為第一電極層 541、第二電極層 543，可以應用與圖 5 所示的顯示裝置的第一電極層 4034、第二電極層 4031 相同的材料。

在本實施方式中，圖 6A 和圖 6B 所示的發光裝置是底部發射型，所以第一電極層 541 具有透光性，第二電極層 543 具有反射性。因此，當作爲第一電極層 541 使用金屬膜時，將該金屬膜的厚度形成得薄到具有透光性的程度。當作爲第二電極層 543 使用具有透過性的導電層時，可以層疊具有反射性的導電層。

此外，也可以設置驅動電路保護用的保護電路。保護電路較佳爲使用非線性元件構成。

如上所述，藉由應用實施方式 1 或 2 所示的電晶體，可以提供具有各種各樣的功能的半導體裝置。

本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而實施。

實施方式 4

藉由使用實施方式 1 或 2 所示的電晶體，可以製造具有讀取目標物的資訊的影像感測器功能的半導體裝置。

圖 7A 示出具有影像感測器功能的半導體裝置的一個例子。圖 7A 是光電感測器的等效電路，而圖 7B 是示出光電感測器的一部分的剖面圖。

光電二極體 602 的一個電極電連接到光電二極體重設信號線 658，而光電二極體 602 的另一個電極電連接到電晶體 640 的閘極。電晶體 640 的源極和汲極中的一個電連接到光電感測器基準信號線 672，而電晶體 640 的源極和汲極中的另一個電連接到電晶體 656 的源極和汲極中的一

個。電晶體 656 的閘極電連接到閘極信號線 659，電晶體 656 的源極和汲極中的另一個電連接到光電感測器輸出信號線 671。

注意，在本說明書的電路圖中，爲了使使用氧化物半導體層的電晶體一目了然，將使用氧化物半導體層的電晶體的符號表示爲“OS”。在圖 7A 中，電晶體 640、656 可以應用實施方式 1 或 2 所示的電晶體，是使用氧化物半導體層的電晶體。在本實施方式中示出應用具有與實施方式 1 所示的電晶體 320 相同的結構的電晶體的例子。電晶體 640 是底閘極結構的電晶體。

圖 7B 是示出光電感測器中的光電二極體 602 和電晶體 640 的剖面圖，其中在具有絕緣表面的基板 601（元件基板）上設置有用作感測器的光電二極體 602 和電晶體 640。藉由使用黏合層 608，在光電二極體 602 和電晶體 640 上設置有基板 613。

在電晶體 640 上設置有絕緣層 632、層間絕緣層 633 以及層間絕緣層 634。光電二極體 602 具有：形成在層間絕緣層 633 上的電極層 641b；在電極層 641b 上依次層疊的第一半導體膜 606a、第二半導體膜 606b、第三半導體膜 606c；設置在層間絕緣層 634 上的藉由第一半導體膜至第三半導體膜與電極層 641b 電連接的電極層 642；以及設置在與電極層 641b 同樣的層中的與電極層 642 電連接的電極層 641a。

電極層 641b 與形成在層間絕緣層 634 中的導電層

643 電連接，並且電極層 642 藉由電極層 641a 與導電層 645 電連接。導電層 645 與電晶體 640 的閘極電極層電連接，並且光電二極體 602 與電晶體 640 電連接。

在此，例示出一種 pin 型光電二極體，其中層疊用作第一半導體膜 606a 的具有 p 型導電型的半導體膜、用作第二半導體膜 606b 的高電阻的半導體膜（i 型半導體膜）、用作第三半導體膜 606c 的具有 n 型導電型的半導體膜。

第一半導體膜 606a 是 p 型半導體膜，而可以由包含賦予 p 型的雜質元素的非晶矽膜形成。使用包含屬於週期表中的第 13 族的雜質元素（例如，硼（B））的半導體材料氣體藉由電漿 CVD 法來形成第一半導體膜 606a。作為半導體材料氣體，可以使用矽烷（ SiH_4 ）。另外，可以使用 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等。另外，也可以使用如下方法：在形成不包含雜質元素的非晶矽膜之後，使用擴散法或離子植入法將雜質元素導入到該非晶矽膜。較佳為在使用離子植入法等導入雜質元素之後進行加熱等來使雜質元素擴散。在此情況下，作為形成非晶矽膜的方法，可以使用 LPCVD 法、氣相生長法或濺射法等。較佳為將第一半導體膜 606a 的厚度設定為 10nm 以上且 50nm 以下。

第二半導體膜 606b 是 i 型半導體膜（本質半導體膜），由非晶矽膜形成。為了形成第二半導體膜 606b，藉由電漿 CVD 法使用半導體材料氣體來形成非晶矽膜。

作為半導體材料氣體，可以使用矽烷（ SiH_4 ）。或者，也可以使用 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 或 SiF_4 等。也可以藉由 LPCVD 法、氣相生長法、濺射法等形成第二半導體膜 606b。較佳為將第二半導體膜 606b 的厚度設定為 200nm 以上且 1000nm 以下。

第三半導體膜 606c 是 n 型半導體膜，由包含賦予 n 型的雜質元素的非晶矽膜形成。使用包含屬於週期表中的第 15 族的雜質元素（例如，磷（P））的半導體材料氣體藉由電漿 CVD 法形成第三半導體膜 606c。作為半導體材料氣體，可以使用矽烷（ SiH_4 ）。或者，也可以使用 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 或 SiF_4 等。另外，也可以使用如下方法：在形成不包含雜質元素的非晶矽膜之後，使用擴散法或離子植入法將雜質元素導入到該非晶矽膜。較佳為在使用離子植入法等導入雜質元素之後進行加熱等來使雜質元素擴散。在此情況下，作為形成非晶矽膜的方法，可以使用 LPCVD 法、氣相生長法或濺射法等。較佳為將第三半導體膜 606c 的厚度設定為 20nm 以上且 200nm 以下。

此外，第一半導體膜 606a、第二半導體膜 606b 以及第三半導體膜 606c 也可以不使用非晶半導體形成，而使用多晶半導體或微晶半導體（Semi Amorphous Semiconductor：SAS）形成。

此外，由於藉由光電效應生成的電洞的遷移率低於電子的遷移率，因此當將 p 型半導體膜側的表面用作光接收

面時，pin 型光電二極體具有較好的特性。在此示出將光電二極體 602 從形成有 pin 型光電二極體的基板 601 的面接收的光轉換為電信號的例子。此外，來自其導電型與用作光接收面的半導體膜一側相反的半導體膜一側的光是干擾光，因此，電極層較佳為使用具有遮光性的導電層。另外，也可以將 n 型半導體膜一側的表面用作光接收面。

電晶體 640 包括：用作用來抑制源極電極層或汲極電極層的構成元素擴散到通道的緩衝層的第一氧化物半導體層；用作通道的第二氧化物半導體層；以及設置在用作通道的氧化物半導體層與閘極絕緣層 631 之間並用作用來防止通道與閘極絕緣層 631 的介面劣化的緩衝層的第三氧化物半導體層。因此，電晶體 640 是降低有可能形成在背通道一側的介面態的影響並減少電晶體的光劣化（例如光負偏壓劣化）的可靠性高的電晶體。

藉由使用絕緣材料且根據其材料使用濺射法、電漿 CVD 法、旋塗法、浸漬法、噴塗法、液滴噴射法（噴墨法等）、印刷法（絲網印刷、膠版印刷）等，來可以形成絕緣層 632、層間絕緣層 633、634。

作為層間絕緣層 633、634，較佳為採用用來減少表面凹凸的用作平坦化絕緣層的絕緣層。作為層間絕緣層 633、634，例如可以使用聚醯亞胺樹脂、丙烯酸樹脂、苯並環丁烯類樹脂、聚醯胺樹脂、環氧樹脂等具有耐熱性的有機絕緣材料。此外，除了上述有機絕緣材料以外，還可以使用低介電常數材料（low-k 材料）、矽氧烷類樹脂、

PSG（磷矽玻璃）、BPSG（硼磷矽玻璃）等的單層或疊層。

藉由檢測入射到光電二極體 602 的光，可以讀取檢測目標的資訊。另外，在讀取檢測目標的資訊時，可以使用背光等的光源。

本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而實施。

實施方式 5

本說明書所公開的半導體裝置可以應用於各種電子裝置（也包括遊戲機）。作為電子裝置，可以舉出電視機（也稱為電視或電視接收機）、用於電腦等的顯示器、數位相機、數位攝影機、數位相框、行動電話機、可攜式遊戲機、可攜式資訊終端、音頻再生裝置、遊戲機（彈珠機（pachinko machine）或投幣機（slot machine）等）、外殼遊戲機。圖 8A 至圖 8C 示出上述電子裝置的具體例子。

圖 8A 示出具有顯示部的桌子 9000。在桌子 9000 中，外殼 9001 組裝有顯示部 9003，利用顯示部 9003 可以顯示影像。另外，示出利用四個桌腿 9002 支撐外殼 9001 的結構。另外，外殼 9001 具有用於供應電力的電源供應線 9005。

可以將上述實施方式中任一個所示的半導體裝置用於顯示部 9003，由此可以對電子裝置賦予高可靠性。

顯示部 9003 具有觸屏輸入功能，藉由用手指等接觸顯示於桌子 9000 的顯示部 9003 中的顯示按鈕 9004 來可以進行屏面操作或資訊輸入，並且顯示部 9003 也可以用作如下控制裝置，即藉由使其具有能夠與其他家電產品進行通信的功能或能夠控制其他家電產品的功能，而藉由屏面操作控制其他家電產品。例如，藉由使用實施方式 3 所示的具有影像感測器功能的半導體裝置，可以使顯示部 9003 具有觸屏輸入功能。

另外，利用設置於外殼 9001 的鉸鏈也可以將顯示部 9003 的屏面以垂直於地板的方式立起來，從而也可以將桌子用作電視機。雖然當在小房間裏設置大屏面的電視機時自由使用的空間變小，但是若在桌子內安裝有顯示部則可以有效地利用房間的空間。

圖 8B 示出電視機 9100 的一個例子。在電視機 9100 中，外殼 9101 組裝有顯示部 9103，並且利用顯示部 9103 可以顯示影像。此外，在此示出利用支架 9105 支撐外殼 9101 的結構。

藉由利用外殼 9101 所具備的操作開關、另外提供的遙控器 9110，可以進行電視機 9100 的操作。藉由利用遙控器 9110 所具備的操作鍵 9109，可以進行頻道及音量的操作，並可以對在顯示部 9103 上顯示的影像進行操作。此外，也可以採用在遙控器 9110 中設置顯示從該遙控器 9110 輸出的資訊的顯示部 9107 的結構。

圖 8B 所示的電視機 9100 具備接收機及數據機等。電

視機 9100 可以利用接收機接收一般的電視廣播。再者，電視機 9100 藉由數據機連接到有線或無線方式的通信網路，也可以進行單向（從發送者到接收者）或雙向（發送者和接收者之間或接收者之間等）的資訊通信。

可以將上述實施方式中任一個所示的半導體裝置用於顯示部 9103、9107，而能夠對電視機及遙控器賦予高可靠性。

圖 8C 示出電腦，該電腦包括主體 9201、外殼 9202、顯示部 9203、鍵盤 9204、外部連接埠 9205、指向裝置 9206 等。

可以將上述實施方式中任一個所示的半導體裝置用於顯示部 9203，而能夠對電腦賦予高可靠性。

圖 9A 和圖 9B 是能夠折疊的平板終端。圖 9A 是打開的狀態，並且平板終端包括外殼 9630、顯示部 9631a、顯示部 9631b、顯示模式切換開關 9034、電源開關 9035、省電模式切換開關 9036、卡子 9033 以及操作開關 9038。

可以將上述實施方式中任一個所示的半導體裝置用於顯示部 9631a、9631b，而能夠實現可靠性高的平板終端。

在顯示部 9631a 中，可以將其一部分用作觸摸屏的區域 9632a，並且可以藉由接觸所顯示的操作鍵 9638 來輸入資料。此外，作為一個例子在此示出：顯示部 9631a 的一半只具有顯示的功能，並且另一半具有觸摸屏的功能，但是不侷限於該結構。也可以採用顯示部 9631a 的全部區

域具有觸摸屏的功能的結構。例如，可以使顯示部 9631a 的整個面顯示鍵盤按鈕來將其用作觸摸屏，並且將顯示部 9631b 用作顯示幕面。

此外，顯示部 9631b 也與顯示部 9631a 同樣，可以將其一部分用作觸摸屏的區域 9632b。此外，藉由使用手指或觸控筆等接觸觸摸屏的顯示鍵盤顯示切換按鈕 9639 的位置，可以在顯示部 9631b 顯示鍵盤按鈕。

此外，也可以對觸摸屏的區域 9632a 和觸摸屏的區域 9632b 同時進行接觸輸入。

另外，顯示模式切換開關 9034 能夠進行豎屏顯示和橫屏顯示等顯示的方向的切換以及黑白顯示或彩色顯示等的切換等。根據內置於平板終端中的光感測器所檢測的使用時的外光的光量，省電模式切換開關 9036 可以將顯示的亮度設定為最適合的亮度。平板終端除了光感測器以外還可以內置陀螺儀和加速度感測器等檢測傾斜度的感測器等或其他檢測裝置。

此外，圖 9A 示出顯示部 9631b 的顯示面積與顯示部 9631a 的顯示面積相同的例子，但是不侷限於此，一方的尺寸和另一方的尺寸可以不同，並且它們的顯示品質也可以不同。例如顯示部 9631a 和顯示部 9631b 中的一方可以進行比另一方更高精細的顯示。

圖 9B 是合上的狀態，並且平板終端包括外殼 9630、太陽能電池 9633、充放電控制電路 9634。此外，在圖 9B 中，作為充放電控制電路 9634 的一個例子示出具有電池

9635 和 DCDC 轉換器 9636 的結構。

此外，平板終端可以折疊，因此不使用時可以合上外殼 9630。因此，可以保護顯示部 9631a 和顯示部 9631b，而可以提供一種具有良好的耐久性且從長期使用的觀點來看具有良好的可靠性的平板終端。

此外，圖 9A 和圖 9B 所示的平板終端還可以具有如下功能：顯示各種各樣的資訊（靜態影像、動態影像、文字影像等）；將日曆、日期或時刻等顯示在顯示部上；對顯示在顯示部上的資訊進行操作或編輯的觸摸輸入；藉由各種各樣的軟體（程式）控制處理等。

藉由利用安裝在平板終端的表面上的太陽能電池 9633，可以將電力供應到觸摸屏、顯示部或影像信號處理部等。注意，太陽能電池 9633 可以設置在外殼 9630 的一面或兩面，因此可以進行高效的電池 9635 的充電。另外，當作爲電池 9635 使用鋰離子電池時，有可以實現小型化等的優點。

另外，參照圖 9C 所示的方塊圖對圖 9B 所示的充放電控制電路 9634 的結構和工作進行說明。圖 9C 示出太陽能電池 9633、電池 9635、DCDC 轉換器 9636、轉換器 9637、開關 SW1 至 SW3 以及顯示部 9631，電池 9635、DCDC 轉換器 9636、轉換器 9637、開關 SW1 至 SW3 對應於圖 9B 所示的充放電控制電路 9634。

首先，說明在利用外光使太陽能電池 9633 發電時的工作的例子。使用 DCDC 轉換器 9636 對太陽能電池所產

生的電力進行升壓或降壓以使它成為用來對電池 9635 進行充電的電壓。並且，當利用來自太陽能電池 9633 的電力使顯示部 9631 工作時使開關 SW1 導通，並且，利用轉換器 9637 將其升壓或降壓到顯示部 9631 所需要的電壓。另外，當不進行顯示部 9631 中的顯示時，可以採用使 SW1 截止且使 SW2 導通來對電池 9635 進行充電的結構。

注意，作為發電單元的一個例子示出太陽能電池 9633，但是不侷限於此，也可以使用壓電元件（piezoelectric element）或熱電轉換元件（珀耳帖元件（Peltier element））等其他發電單元進行電池 9635 的充電。例如，也可以使用以無線（不接觸）的方式能夠收發電力來進行充電的無線電力傳輸模組或組合其他充電方法進行充電。

本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而實施。

實施例

在本實施例中，示出在層疊有氧化物半導體層的電晶體中對各氧化物半導體層所含有的源極電極層或汲極電極層的構成元素的濃度進行測量的結果。明確而言，示出作為源極電極層及汲極電極層形成包括銅膜的電極層並對各氧化物半導體層中的銅的濃度進行測量的結果。利用 SSDP-SIMS(Substrate Side Depth Profile Secondary Ion Mass Spectrometry)測量銅濃度。

以下說明在本實施例中用於測量的電晶體的製造方法。在本實施例中，製造具有與實施方式 1 的電晶體 300 相同的結構的電晶體。以下，使用與電晶體 300 相同的符號進行說明。

首先，在基板 400 上作為閘極電極層 402 形成厚度為 100nm 的鎢膜。

接著，作為覆蓋閘極電極層 402 的閘極絕緣層 404，利用電漿 CVD 法連續地形成 50nm 厚的氮化矽膜和 200nm 厚的氧氮化矽膜。

藉由將電漿 CVD 設備的處理室的壓力控制為 60Pa，用 27.12MHz 的高頻電源供應 150W 的功率，將基板溫度設定為 350℃，供應矽烷和氮的混合氣體 ($\text{SiH}_4:\text{N}_2=50\text{sccm}:5000\text{sccm}$)，來形成氮化矽膜。另外，該電漿 CVD 設備是電極面積為 6000cm^2 的平行平板型電漿 CVD 設備。另外，藉由在相同的處理室內將壓力設定為 40Pa，在維持高頻電源的功率及基板溫度的狀態下供應矽烷和一氧化二氮的混合氣體 ($\text{SiH}_4:\text{N}_2\text{O}=20\text{sccm}:3000\text{sccm}$)，來形成氧氮化矽膜。

接著，藉由利用使用 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子數比] 的金屬氧化物靶材的濺射法，在閘極絕緣層 404 上形成厚度為 10nm 的氧化物半導體層 408b。成膜條件為如下：氧 50% 氛圍下；壓力為 0.6Pa；功率為 5kW；基板溫度為 170℃。

然後，藉由利用使用 $\text{In}:\text{Ga}:\text{Zn}=3:1:2$ [原子數比] 的金

屬氧化物靶材的濺射法，在氧化物半導體層 408b 上形成厚度為 30nm 的氧化物半導體層 408a。成膜條件為如下：氧 50%氛圍下；壓力為 0.6Pa；功率為 5kW；基板溫度為 170℃。

在將氧化物半導體層 408a 及氧化物半導體層 408b 加工為島狀的氧化物半導體疊層 408 之後，在氮氛圍下以 450℃ 的溫度對氧化物半導體疊層 408 進行 1 小時的加熱處理，然後在氮及氧氛圍下以 450℃ 的溫度對氧化物半導體疊層 408 進行 1 小時的加熱處理。

接著，形成接觸於氧化物半導體疊層 408 的源極電極層 410a 及汲極電極層 410b。

在本實施例中，藉由在閘極絕緣層 404 及氧化物半導體疊層 408 上層疊厚度為 35nm 的鈦膜和厚度為 200nm 的銅膜並對該鈦膜及銅膜的一部分選擇性地進行蝕刻，來形成源極電極層 410a 及汲極電極層 410b。

然後，作為覆蓋氧化物半導體疊層 408、源極電極層 410a 及汲極電極層 410b 的絕緣層 412，藉由電漿 CVD 法形成厚度為 400nm 的氧氮化矽膜。

藉由將電漿 CVD 設備的處理室的壓力控制為 200Pa，用 27.12MHz 的高頻電源供應 1500W 的功率，將基板溫度設定為 220℃，供應矽烷和一氧化二氮的混合氣體（ $\text{SiH}_4:\text{N}_2\text{O}=160\text{sccm}:4000\text{sccm}$ ），來形成氧氮化矽膜。

在氮及氧氛圍下以 300℃ 的溫度進行 1 小時的加熱處

理，然後作為平坦化膜形成厚度為 $1.5\mu\text{m}$ 的丙烯酸樹脂膜。此後，在氮氛圍下以 250°C 的溫度進行 1 小時的加熱處理。

藉由上述步驟製造本實施例的電晶體。

使用 SSDP-SIMS 測量氧化物半導體疊層 408 的包含在所製造的電晶體中的銅的濃度。圖 12 示出 SSDP-SIMS 的測量結果。注意，對源極電極層 410a 與汲極電極層 410b 之間的區域（形成通道的區域）進行測量。

由圖 12 可知，雖然觀察到源極電極層 410a 及汲極電極層 410b 的構成元素的銅擴散到氧化物半導體疊層 408 內，但是該銅只擴散到氧化物半導體層 408a 內，由此確認到不到達用作電晶體的電流路徑（通道）的氧化物半導體層 408b。

如上所述，藉由在氧化物半導體疊層 408 中的成為電流路徑的氧化物半導體層 408b 的背通道一側設置氧化物半導體層 408a，可以將該氧化物半導體層 408a 用作用來抑制源極電極層 410a 及汲極電極層 410b 的構成元素擴散的緩衝層。由此可知，可以抑制包括氧化物半導體疊層 408 的電晶體的電特性變動。

【符號說明】

300：電晶體

310：電晶體

320：電晶體

330 : 電晶體
 400 : 基板
 402 : 閘極電極層
 403 : 閘極絕緣層
 403a : 閘極絕緣層
 403b : 閘極絕緣層
 403c : 閘極絕緣層
 404 : 閘極絕緣層
 406 : 閘極絕緣層
 408 : 氧化物半導體疊層
 408a : 氧化物半導體層
 408b : 氧化物半導體層
 408c : 氧化物半導體層
 410a : 源極電極層
 410b : 汲極電極層
 412 : 絕緣層
 491 : 共用電位線
 492 : 共同電極
 500 : 基板
 502 : 閘極絕緣層
 502a : 閘極絕緣層
 502b : 閘極絕緣層
 502c : 閘極絕緣層
 504 : 層間絕緣層

505：濾色片層
 506：絕緣層
 507：分隔壁
 510：電晶體
 511a：閘極電極層
 511b：閘極電極層
 512：氧化物半導體疊層
 512a：氧化物半導體層
 512b：氧化物半導體層
 513a：導電層
 513b：導電層
 520：電容元件
 521a：導電層
 521b：導電層
 522：氧化物半導體疊層
 522a：氧化物半導體層
 522b：氧化物半導體層
 523：導電層
 525：絕緣層
 530：佈線層交叉部
 533：導電層
 540：發光元件
 541：電極層
 542：電致發光層

543：電極層
601：基板
602：光電二極體
606a：半導體膜
606b：半導體膜
606c：半導體膜
608：黏合層
613：基板
631：閘極絕緣層
632：絕緣層
633：層間絕緣層
634：層間絕緣層
640：電晶體
641a：電極層
641b：電極層
642：電極層
643：導電層
645：導電層
656：電晶體
658：光電二極體重設信號線
659：閘極信號線
671：光電感測器輸出信號線
672：光電感測器基準信號線
4001：基板

- 4002：像素部
- 4003：信號線驅動電路
- 4004：掃描線驅動電路
- 4005：密封材料
- 4006：基板
- 4008：液晶層
- 4010：電晶體
- 4011：電晶體
- 4013：液晶元件
- 4015：連接端子電極
- 4016：端子電極
- 4018：FPC
- 4019：各向異性導電層
- 4020：閘極絕緣層
- 4031：電極層
- 4032：絕緣層
- 4033：絕緣層
- 4034：電極層
- 4035：間隔物
- 4038：絕緣層
- 9000：桌子
- 9001：外殼
- 9002：桌腿
- 9003：顯示部

9004：表示按鈕
9005：電源供應線
9033：夾子
9034：開關
9035：電源開關
9036：開關
9038：操作開關
9100：電視機
9101：外殼
9103：顯示部
9105：支架
9107：顯示部
9109：操作鍵
9110：遙控器
9201：主體
9202：外殼
9203：顯示部
9204：鍵盤
9205：外部連接埠
9206：指向裝置
9630：外殼
9631：顯示部
9631a：顯示部
9631b：顯示部

9632a：區域

9632b：區域

9633：太陽能電池

9634：充放電控制電路

9635：電池

9636：DCDC 轉換器

9637：轉換器

9638：操作鍵

9639：按鈕

I637519

發明摘要

※申請案號：105139486

※申請日：102 年 05 月 27 日

※IPC 分類：H01L 29/78 (2006.01)
H01L 29/40 (2006.01)

【發明名稱】(中文/英文)

半導體裝置及半導體裝置的製造方法

Semiconductor device and manufacturing method thereof

【中文】

本發明的一個方式的目的之一是提供一種在使用氧化物半導體的半導體裝置中抑制電特性的變動的可靠性高的半導體裝置。本發明的一個方式的目的之一是提供一種半導體裝置，包括：接觸於源極電極層及汲極電極層的第一氧化物半導體層；以及成為電晶體的電流路徑（通道）的第二氧化物半導體層。第一氧化物半導體層用作用來抑制源極電極層及汲極電極層的構成元素擴散到通道的緩衝層。藉由設置第一氧化物半導體層，可以抑制該構成元素擴散到第一氧化物半導體層與第二氧化物半導體層的介面及第二氧化物半導體層中。

【 英 文 】

A highly reliable semiconductor device including an oxide semiconductor is provided by preventing a change in its electrical characteristics. A semiconductor device which includes a first oxide semiconductor layer which is in contact with a source electrode layer and a drain electrode layer and a second oxide semiconductor layer which serves as a main current path (channel) of a transistor is provided. The first oxide semiconductor layer serves as a buffer layer for preventing a constituent element of the source and drain electrode layers from diffusing into the channel. By providing the first oxide semiconductor layer, it is possible to prevent diffusion of the constituent element into an interface between the first oxide semiconductor layer and the second oxide semiconductor layer and into the second oxide semiconductor layer.

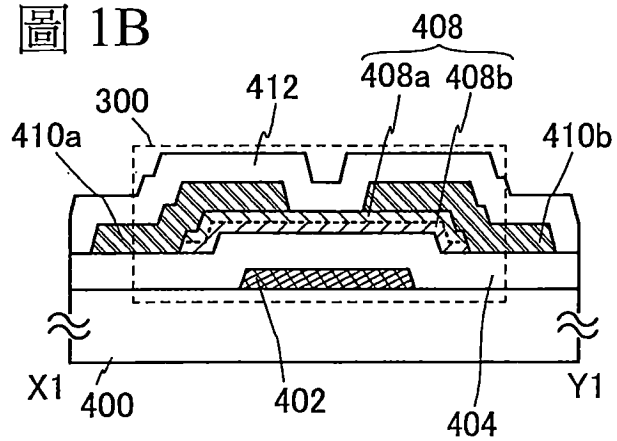


圖 2A

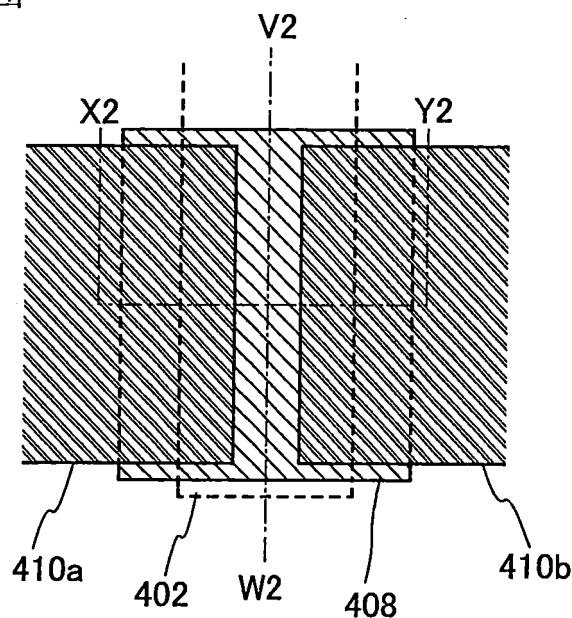


圖 2C

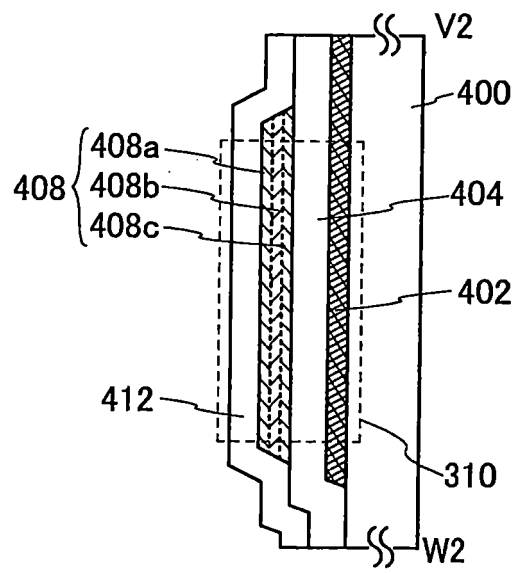


圖 2B

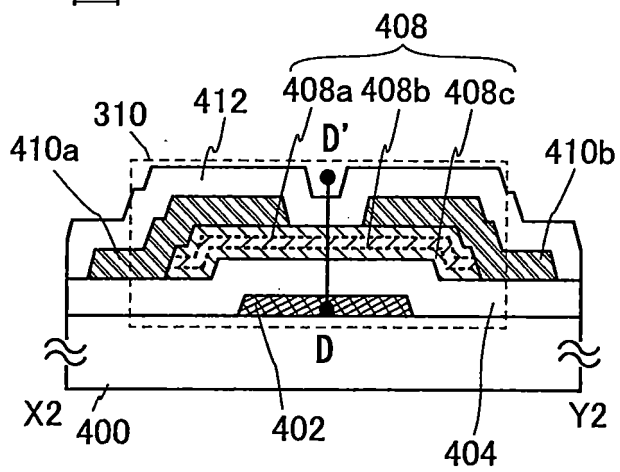


圖 2D

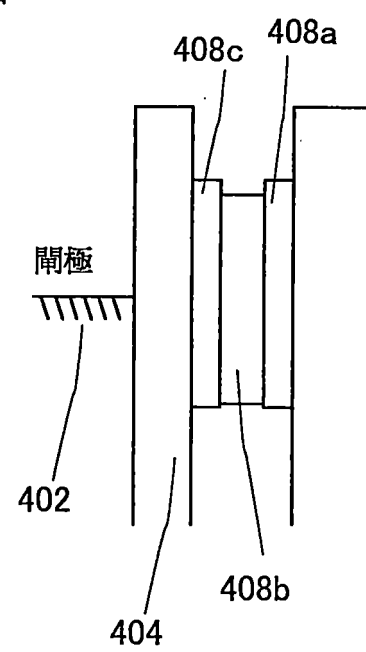


圖 3A

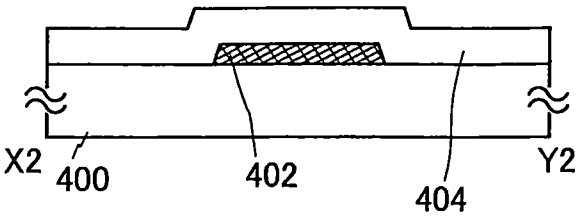


圖 3B

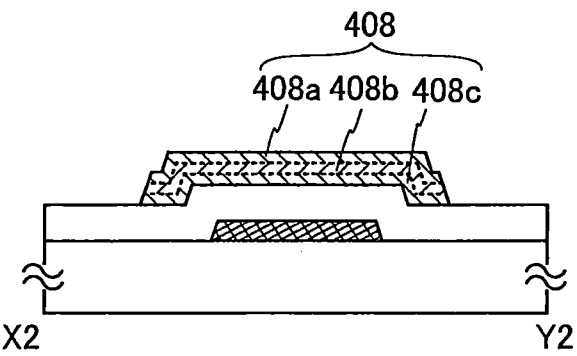


圖 3C

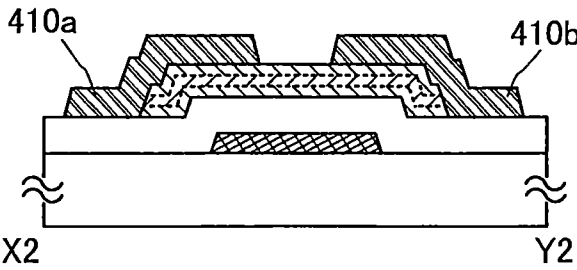


圖 3D

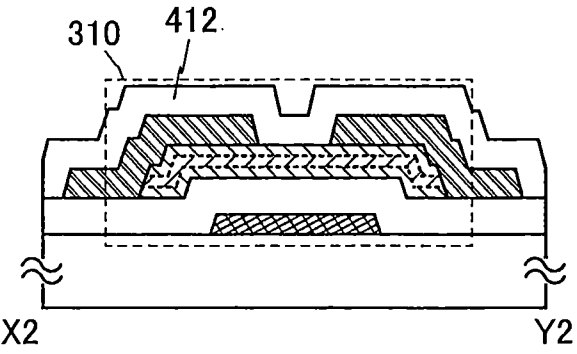


圖 4A

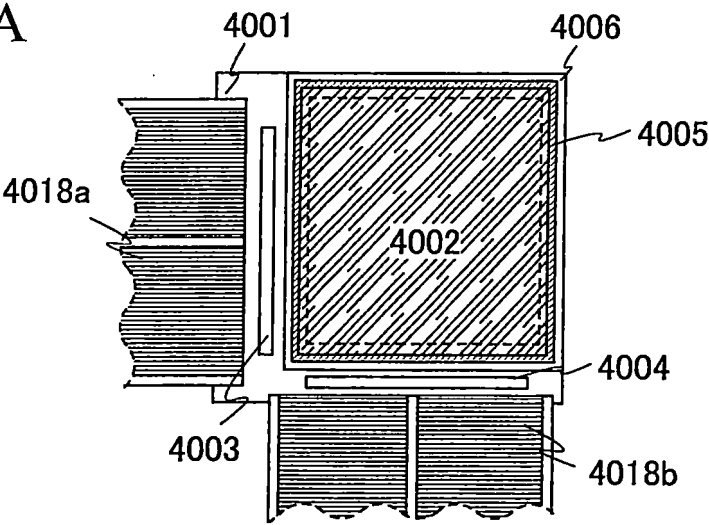


圖 4B

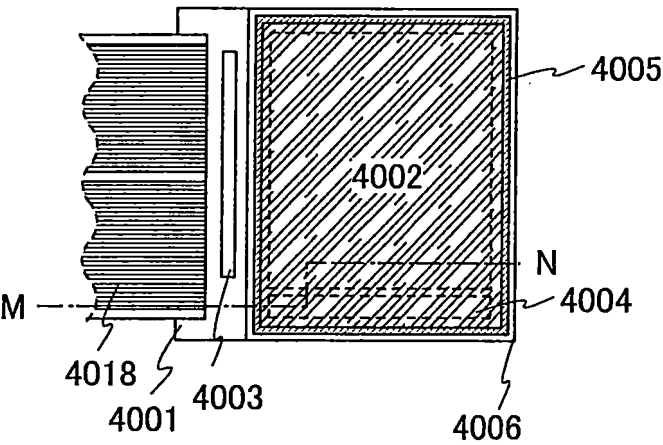


圖 4C

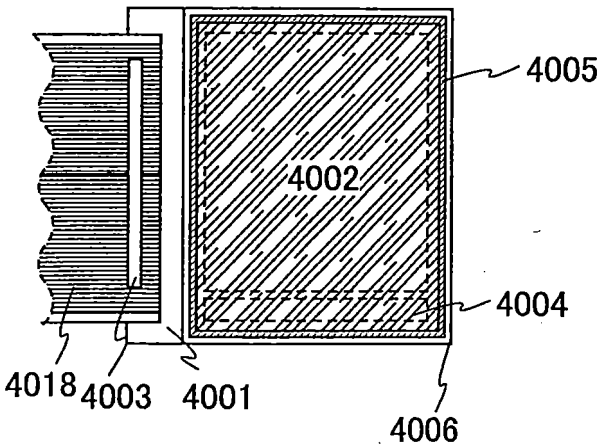


圖 5

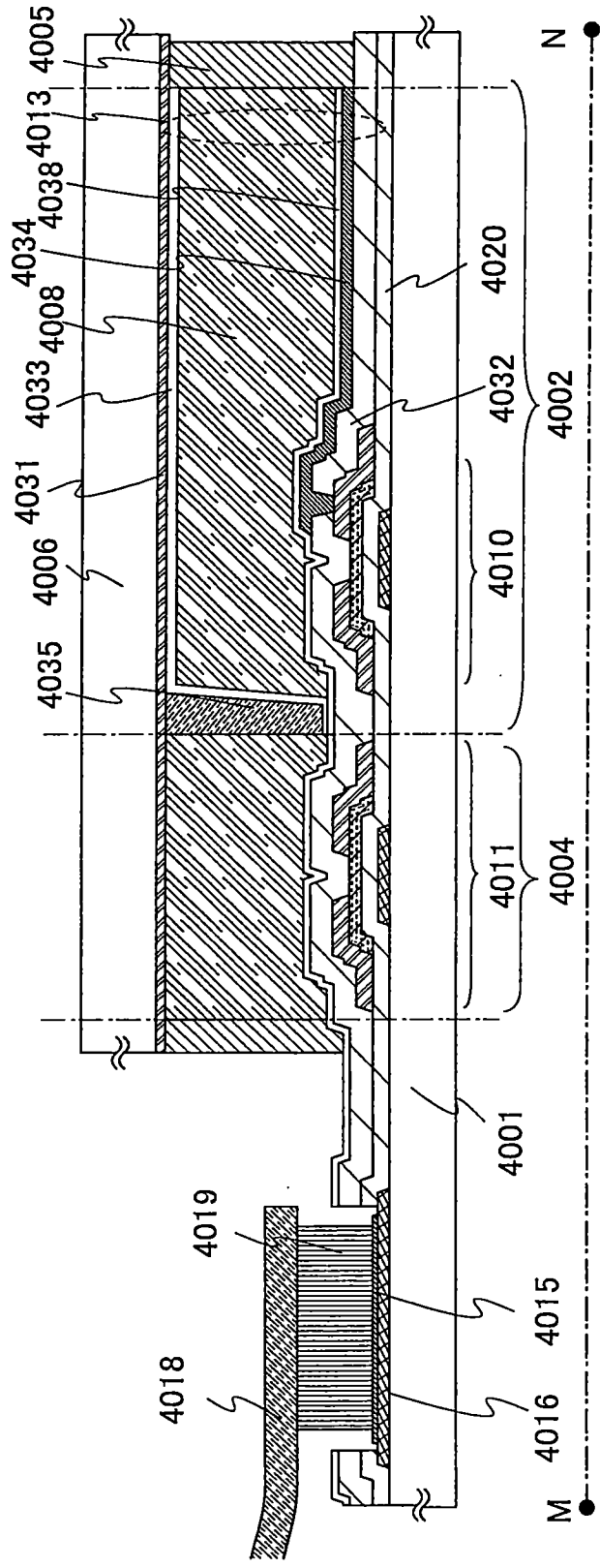


圖 6A

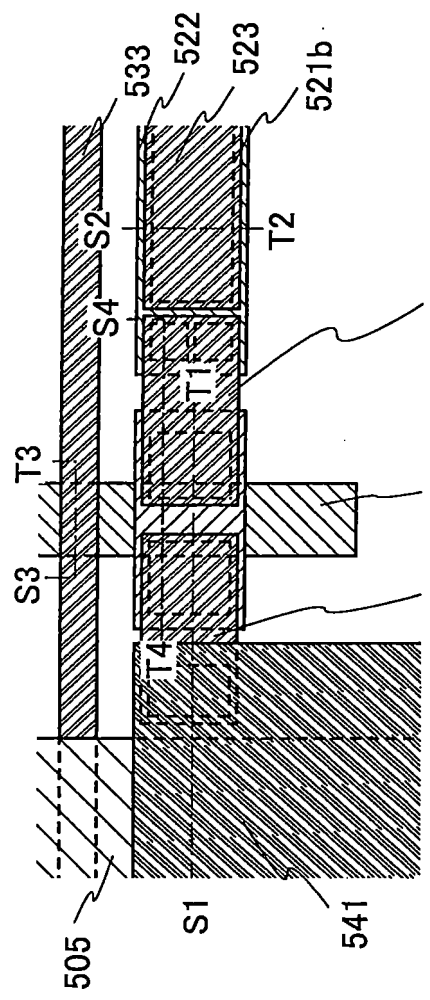
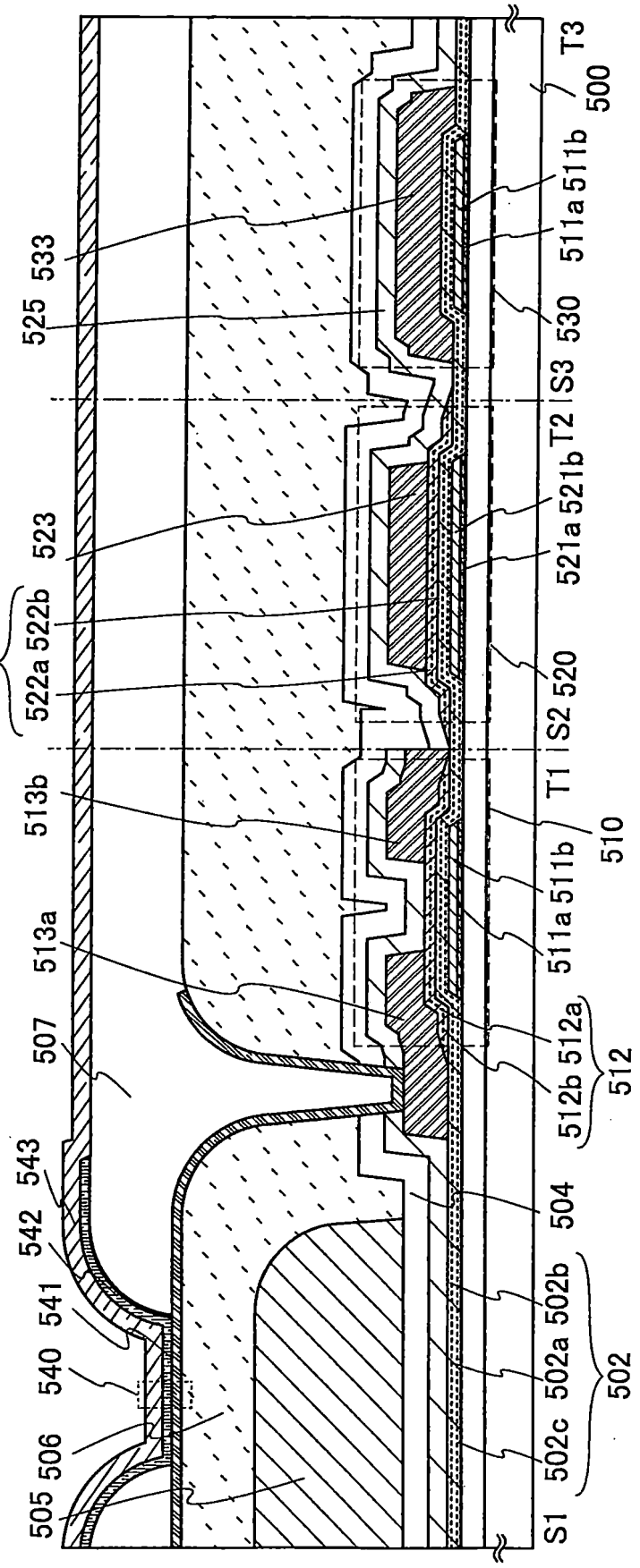


圖 6B



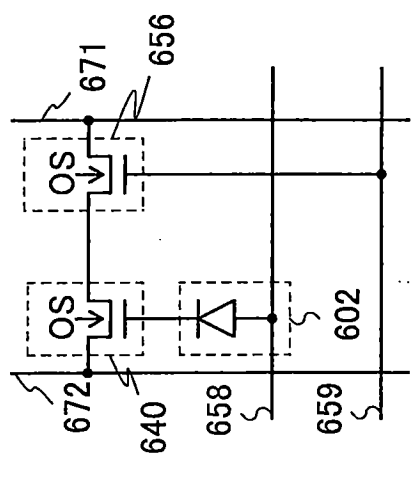


圖 7A

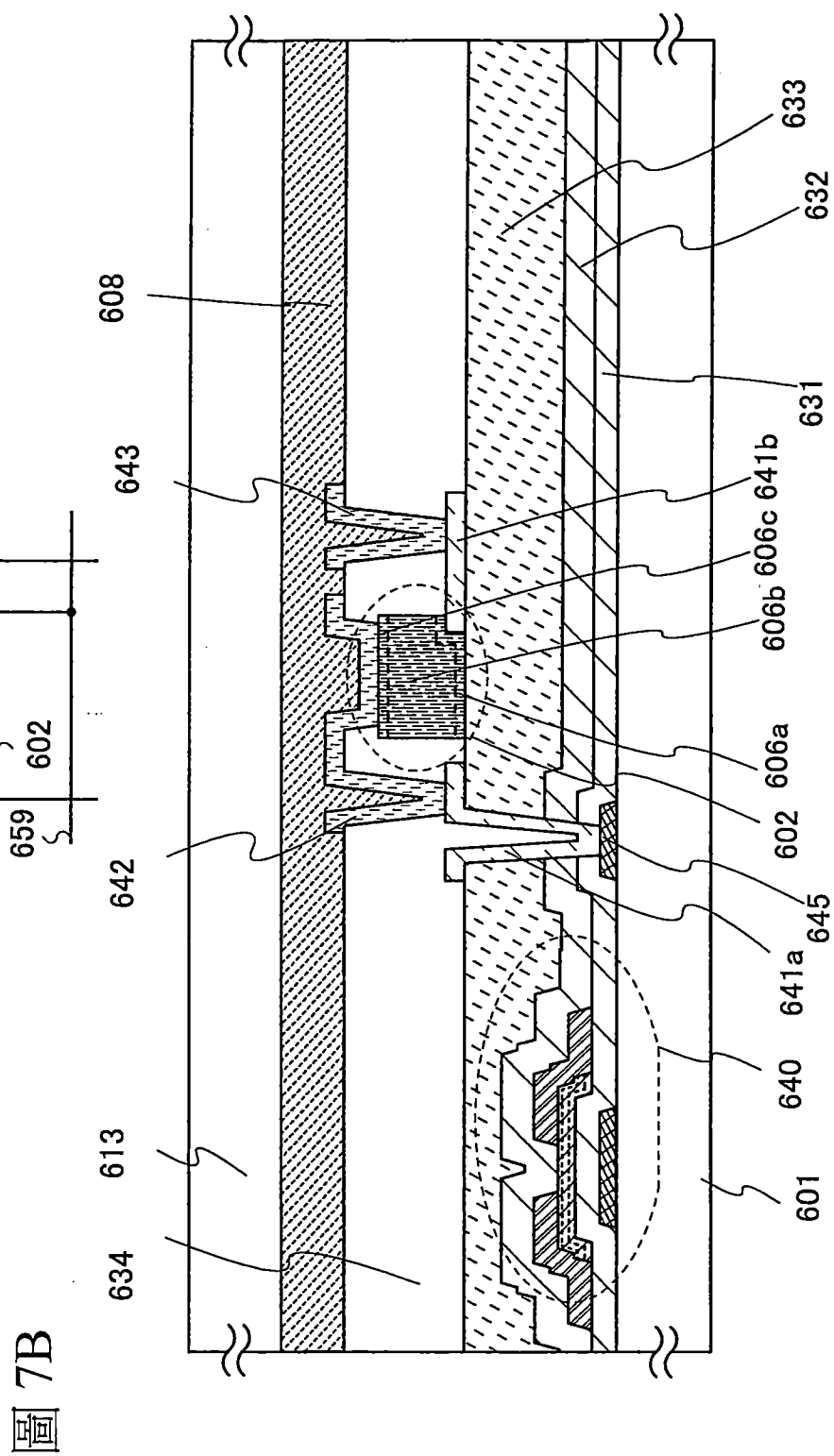
7B
圖

圖 8A

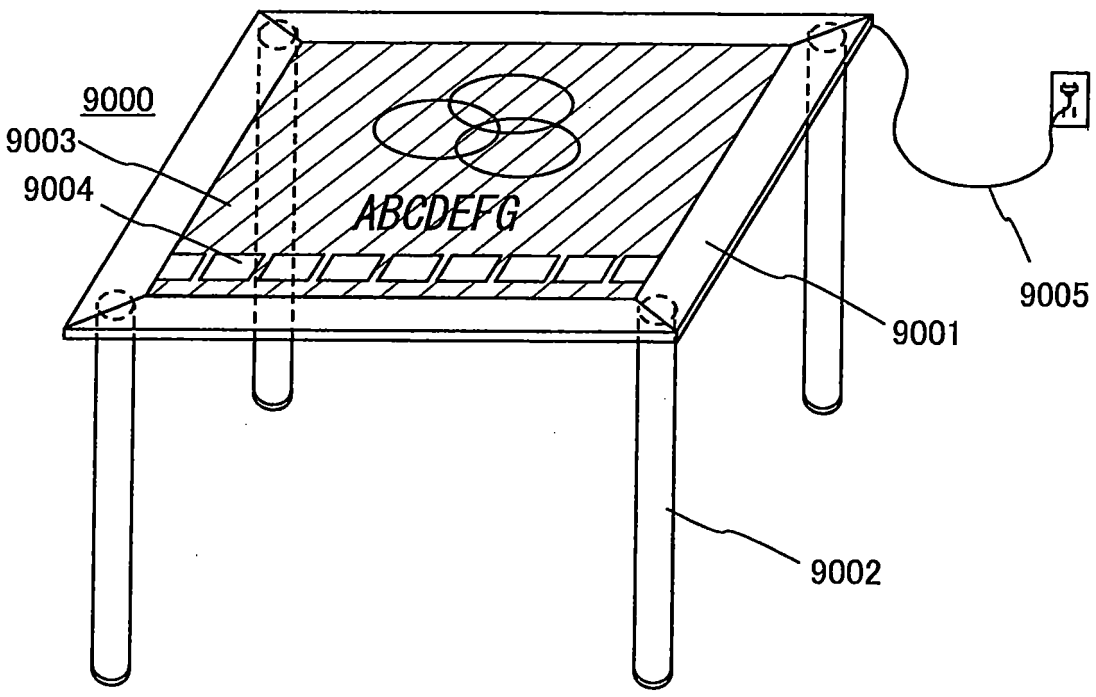


圖 8B

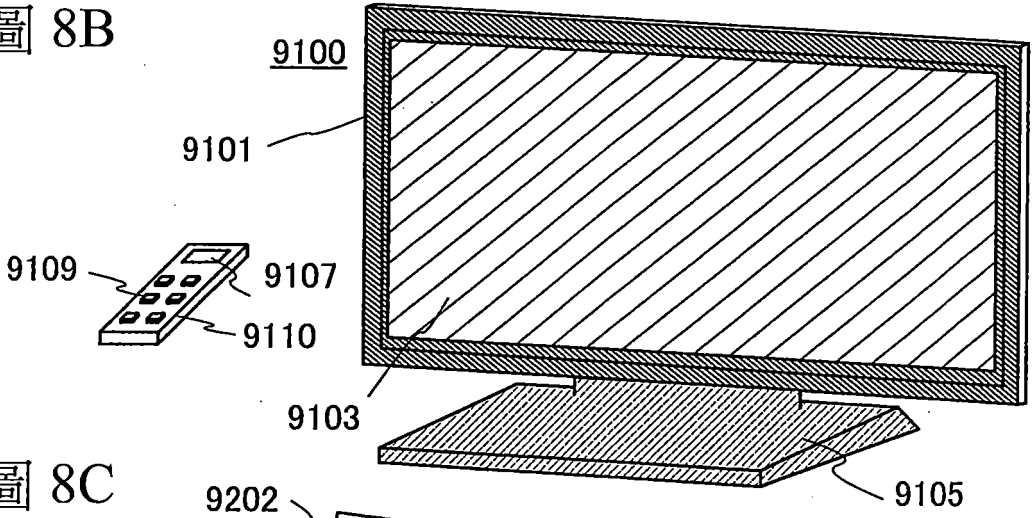


圖 8C

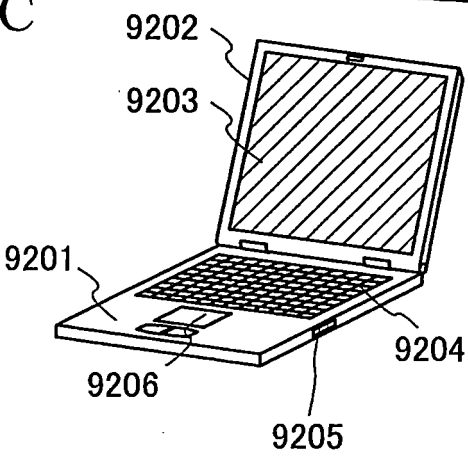


圖 9A

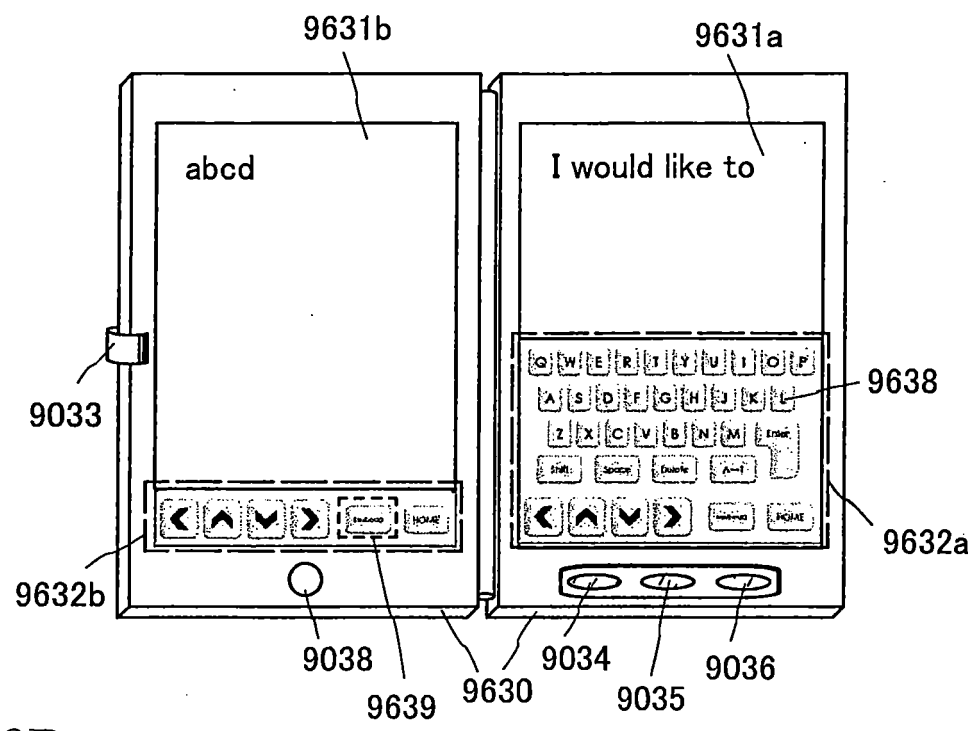


圖 9B

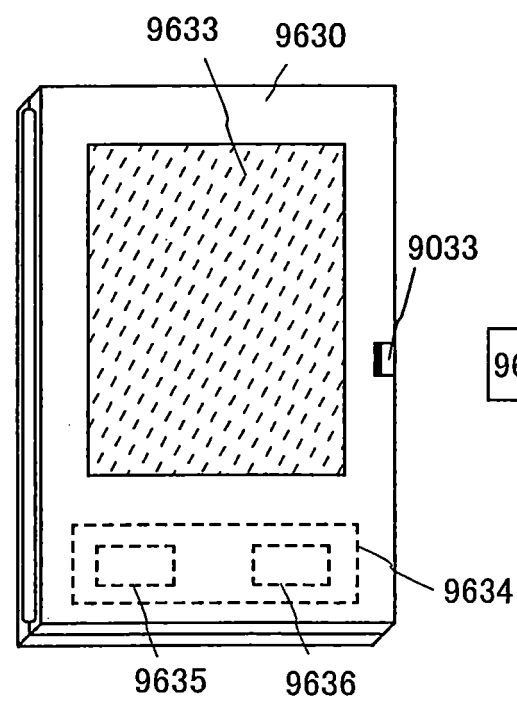


圖 9C

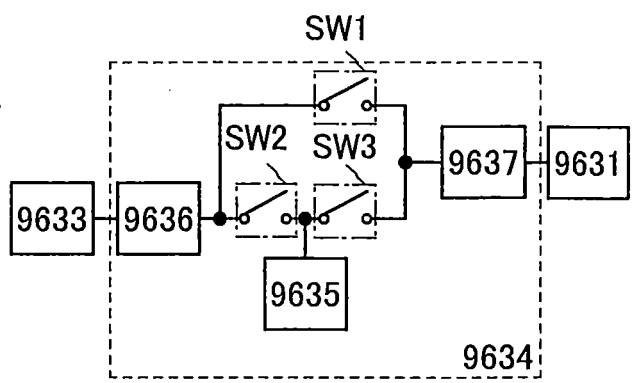


圖 10A

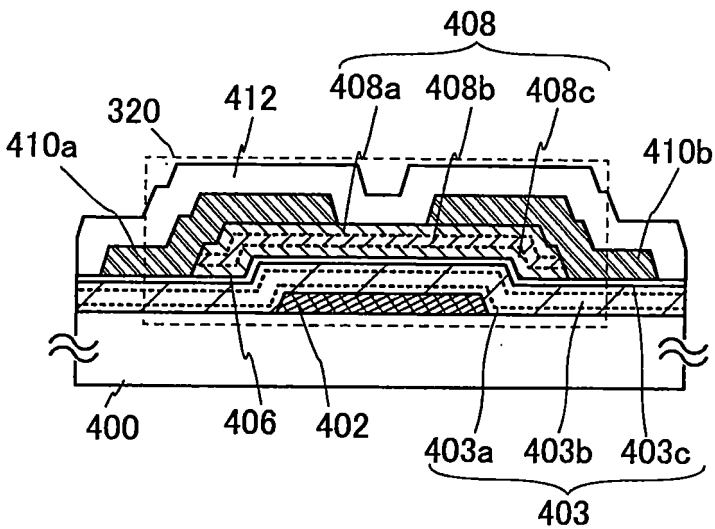


圖 10B

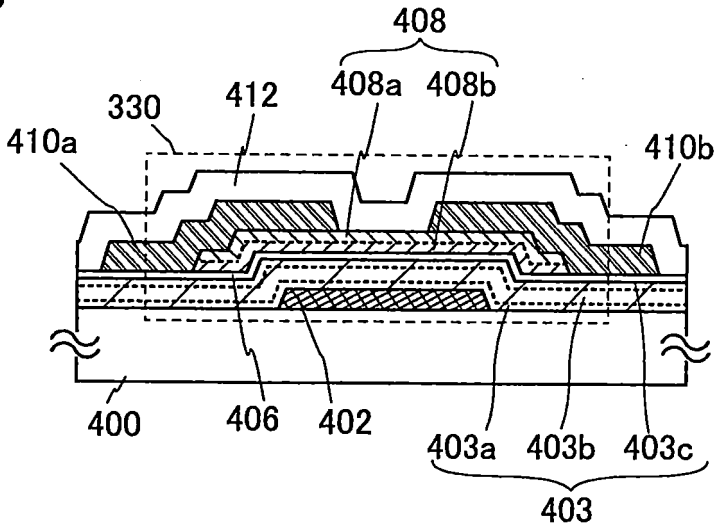


圖 12

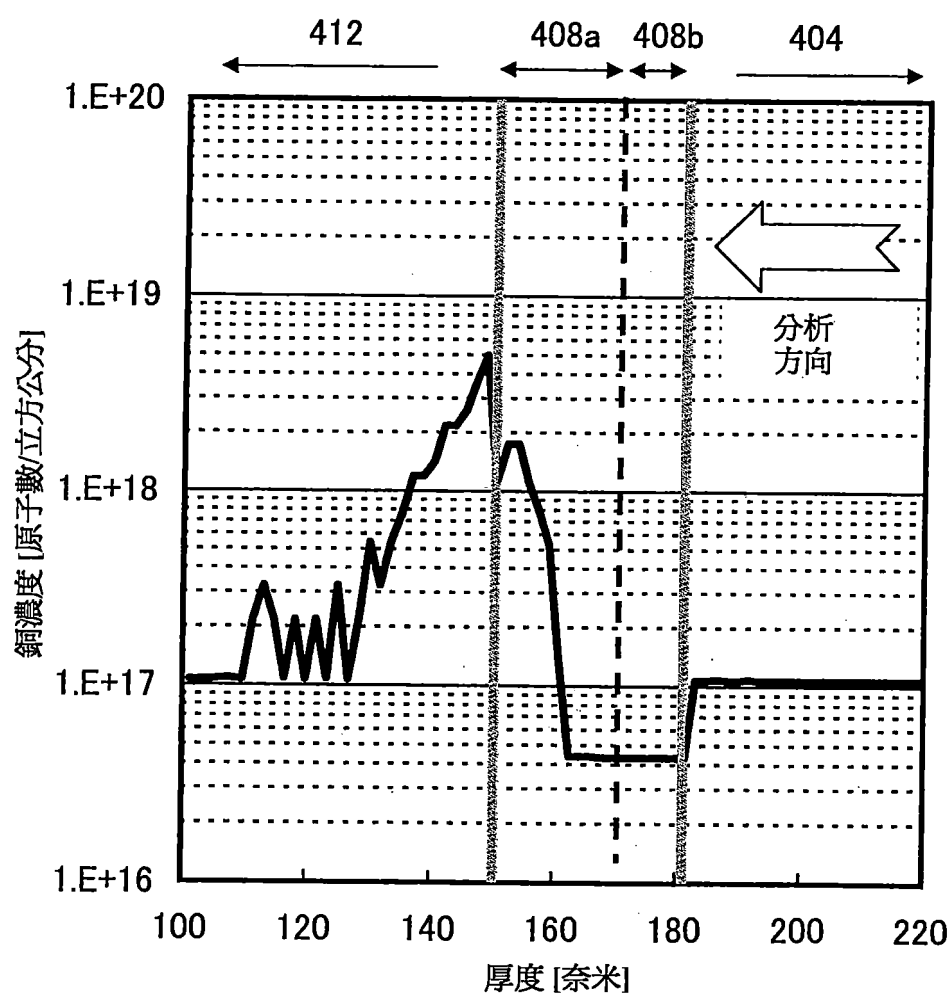
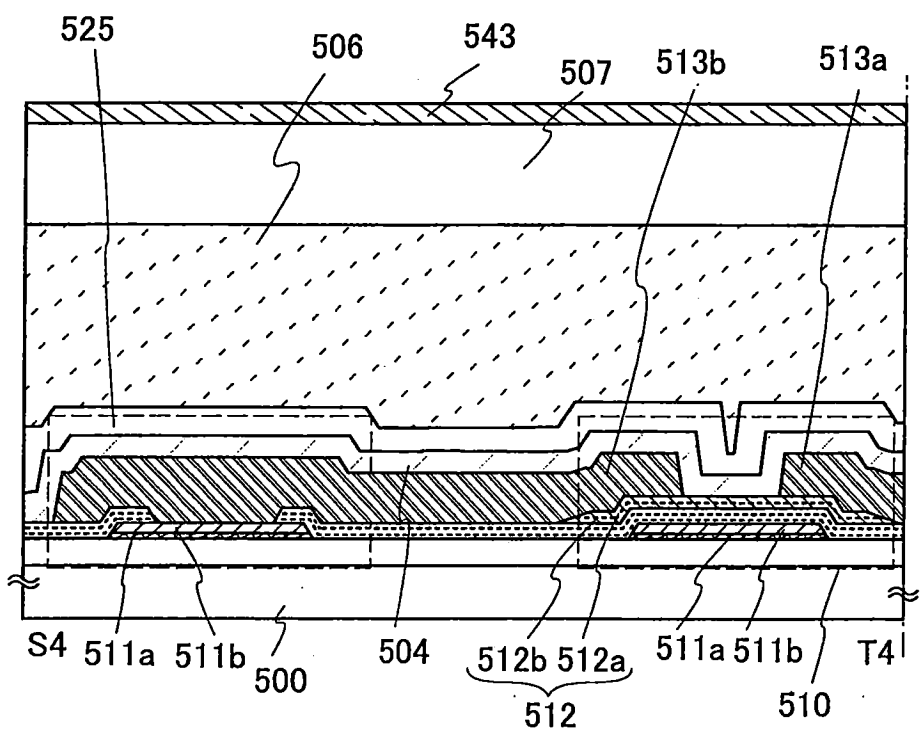


圖 13



【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

410a：源極電極層

402：閘極電極層

408：氧化物半導體疊層

410b：汲極電極層

408a、408b：氧化物半導體層

412：絕緣層

300：電晶體

404：閘極絕緣層

400：基板

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

申請專利範圍

1.一種半導體裝置，包括：

閘極電極層；

該閘極電極層上的閘極絕緣層；

該閘極絕緣層上的第一氧化物半導體層，該第一氧化物半導體層包含銦、鎵及鋅；

該第一氧化物半導體層上的第二氧化物半導體層，該第二氧化物半導體層包含銦、鎵及鋅；

該第二氧化物半導體層上的源極電極層；

該第二氧化物半導體層上的汲極電極層；以及

該源極電極層、該汲極電極層及該第二氧化物半導體層上的氧化矽膜，

其中，在該第一氧化物半導體層中該銦的含量大於該鎵的含量，

其中，在該第二氧化物半導體層中該銦的含量為該鎵的含量以下，

其中，該第二氧化物半導體層的能隙大於該第一氧化物半導體層的能隙，以及

其中，該第二氧化物半導體層為結晶氧化物半導體層。

2.一種半導體裝置，包括：

閘極電極層；

該閘極電極層上的閘極絕緣層；

該閘極絕緣層上的第一氧化物半導體層，該第一氧化

物半導體層包含銦、鎵及鋅；

該第一氧化物半導體層上的第二氧化物半導體層，該第二氧化物半導體層包含銦、鎵及鋅；

該第二氧化物半導體層上的第三氧化物半導體層，該第三氧化物半導體層包含銦、鎵及鋅；

該第三氧化物半導體層上的源極電極層；

該第三氧化物半導體層上的汲極電極層；以及

該源極電極層、該汲極電極層及該第三氧化物半導體層上的氧化矽膜，

其中，在該第一氧化物半導體層中該銦的含量為該鎵的含量以下，

其中，在該第二氧化物半導體層中該銦的含量大於該鎵的含量，

其中，在該第三氧化物半導體層中該銦的含量為該鎵的含量以下，以及

其中，該第一氧化物半導體層的能隙與該第三氧化物半導體層的能隙大於該第二氧化物半導體層的能隙。

3.根據申請專利範圍第 1 或 2 項之半導體裝置，

其中，該閘極絕緣層包含氮化矽膜。

4.根據申請專利範圍第 1 或 2 項之半導體裝置，

其中，該源極電極層及該汲極電極層包含銅。

5.根據申請專利範圍第 1 或 2 項之半導體裝置，

其中，該半導體裝置為顯示裝置。

6.根據申請專利範圍第 1 或 2 項之半導體裝置，

其中，該閘極絕緣層包括包含超過化學計量組成的氧之氧化物絕緣層。

7.根據申請專利範圍第 1 或 2 項之半導體裝置，

其中，該第一氧化物半導體層具有結晶。

8.根據申請專利範圍第 2 項之半導體裝置，

其中，該第二氧化物半導體層具有結晶。

9.根據申請專利範圍第 2 項之半導體裝置，

其中，該第三氧化物半導體層具有結晶。

10.根據申請專利範圍第 1 或 2 項之半導體裝置，

其中，該閘極絕緣層具有對應至由電子自旋共振法測量在 g 值為 2.003 出現的信號之 $1 \times 10^{17} \text{spins/cm}^3$ 以下自旋密度。

11.一種半導體的製造方法，包含步驟：

形成閘極電極層；

藉由使用包含具有矽之氣體與具有氮之氣體的第一混合氣體在該閘極電極層上形成第一閘極絕緣層；

藉由使用包含具有矽之氣體與具有一氧化二氮之氣體的混合氣體在該第一閘極絕緣層上形成第二閘極絕緣層；

在該第二閘極絕緣層上形成第一氧化物半導體層；

在該第一氧化物半導體層上形成第二氧化物半導體層；

在該第二氧化物半導體層上形成源極電極層；以及

在該第二氧化物半導體層上形成汲極電極層，

其中，該第一氧化物半導體層包括銦、鎵及鋅的一或多者，

其中，該第二氧化物半導體層包括銦、鎵及鋅的一或多者，以及

其中，該第二氧化物半導體層的能隙大於該第一氧化物半導體層的能隙。

12.根據申請專利範圍第 11 項之半導體裝置的製造方法，

其中，該第二氧化物半導體層為結晶氧化物半導體層。

13.根據申請專利範圍第 11 項之半導體裝置的製造方法，

其中，在該第一氧化物半導體層中該銦的含量大於該鎵的含量，且

其中，在該第二氧化物半導體層中該銦的含量為該鎵的含量以下。

14.一種半導體的製造方法，包含步驟：

形成閘極電極層；

藉由使用包含具有矽之氣體與具有氮之氣體的第一混合氣體在該閘極電極層上形成第一閘極絕緣層；

藉由使用包含具有矽之氣體與具有一氧化二氮之氣體的混合氣體在該第一閘極絕緣層上形成第二閘極絕緣層；

在該第二閘極絕緣層上形成第一氧化物半導體層；

在該第一氧化物半導體層上形成第二氧化物半導體層；

在該第一氧化物半導體層上形成第三氧化物半導體層；

在該第二氧化物半導體層上形成源極電極層；以及
在該第二氧化物半導體層上形成汲極電極層，

其中，該第三氧化物半導體層為結晶氧化物半導體層，

其中，該第一氧化物半導體層包括銦、鎵及鋅的一或多者，

其中，該第二氧化物半導體層包括銦、鎵及鋅的一或多者，以及

其中，該第三氧化物半導體層包括銦、鎵及鋅的一或多者。

15.根據申請專利範圍第 11 或 14 項之半導體裝置的製造方法，更包含步驟：在供應該第一混合氣體後，供應包含具有矽之氣體、具有氮之氣體與具有氨之氣體的第三混合氣體以形成該第一閘極絕緣層。

16.根據申請專利範圍第 15 項之半導體裝置的製造方法，更包含步驟：在供應該第三混合氣體後，供應包含具有矽之氣體與具有氮之氣體的第三混合氣體以形成該第一閘極絕緣層。

17.根據申請專利範圍第 11 或 14 項之半導體裝置的製造方法，其中，該第一閘極絕緣層及該第二閘極絕緣層

的每一個由電漿 CVD 法所形成。

18.根據申請專利範圍第 11 或 14 項之半導體裝置的製造方法，其中，該第一閘極絕緣層包含氮化矽膜。

19.根據申請專利範圍第 11 或 14 項之半導體裝置的製造方法，其中，該第一氧化物半導體層為結晶氧化物半導體層。

20.根據申請專利範圍第 14 項之半導體裝置的製造方法，其中，該第二氧化物半導體層為結晶氧化物半導體層。

21.根據申請專利範圍第 14 項之半導體裝置的製造方法，

其中，該第一氧化物半導體層為結晶氧化物半導體層，且

其中，該第二氧化物半導體層為結晶氧化物半導體層。

22.根據申請專利範圍第 14 項之半導體裝置的製造方法，其中，該第一氧化物半導體層及該第三氧化物半導體的每一個的能隙大於該第二氧化物半導體層的能隙。

23.根據申請專利範圍第 14 項之半導體裝置的製造方法，

其中，在該第一氧化物半導體層中該銦的含量為該鎵的含量以下，

其中，在該第二氧化物半導體層中該銦的含量大於該鎵的含量，且

其中，在該第三氧化物半導體層中該銦的含量為該鎵的含量以下。