

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 2 区分  
 【発行日】平成 26 年 12 月 4 日 (2014.12.4)

【公表番号】特表 2013-535114 (P2013-535114A)  
 【公表日】平成 25 年 9 月 9 日 (2013.9.9)  
 【年通号数】公開・登録公報 2013-049  
 【出願番号】特願 2013-516658 (P2013-516658)  
 【国際特許分類】

H 0 1 L 21/301 (2006.01)

H 0 1 L 21/3065 (2006.01)

B 2 3 K 26/364 (2014.01)

B 2 3 K 26/00 (2014.01)

【F I】

H 0 1 L 21/78 S

H 0 1 L 21/302 1 0 5 A

H 0 1 L 21/78 B

H 0 1 L 21/78 L

H 0 1 L 21/78 Q

B 2 3 K 26/00 D

B 2 3 K 26/00 H

B 2 3 K 26/00 N

【手続補正書】  
 【提出日】平成 26 年 10 月 20 日 (2014.10.20)  
 【手続補正 1】  
 【補正対象書類名】特許請求の範囲  
 【補正対象項目名】全文  
 【補正方法】変更  
 【補正の内容】  
 【特許請求の範囲】  
 【請求項 1】

複数の集積回路を含む半導体ウェハのダイシング方法であって、

前記半導体ウェハ上にマスクを形成するステップであって、前記マスクが前記集積回路を被覆し、保護する層を含むステップと、

前記マスクをフェムト秒ベースのレーザスクライビング工程でパターニングし、レーザスクライプされたマスクに各々が幅を有するスクライプラインを提供し、前記スクライプラインは前記半導体ウェハの前記集積回路間の領域を露出させるステップと、

各々が前記幅を有する溝を前記半導体ウェハ内へとプラズマエッチングし、前記集積回路を個片化するステップとを含む方法。

【請求項 2】

前記マスクを前記フェムト秒ベースのレーザスクライビング工程でパターニングするステップが、前記半導体ウェハの前記集積回路間の前記領域にレーザスクライプされた溝を形成するステップを含み、前記幅を有する溝を前記半導体ウェハ内へとプラズマエッチングするステップが、前記集積回路を個片化するためにレーザスクライプされた溝を延長するステップを含む請求項 1 記載の方法。

【請求項 3】

前記マスクを前記フェムト秒ベースのレーザスクライビング工程でパターニングするステップが、波長が約 540 ナノメートル以下で、レーザパルス幅が約 400 フェムト秒以下のレーザを使用するステップを含む請求項 1 記載の方法。

**【請求項 4】**

前記半導体ウェハをプラズマエッチングするステップが、高密度プラズマエッチング工程を使用するステップを含む請求項 1 記載の方法。

**【請求項 5】**

前記マスクを形成するステップが、フォトリソスト層及びエッチバスターニング層からなる群から選択される層を形成するステップを含む請求項 1 記載の方法。

**【請求項 6】**

前記複数の集積回路が、デバイス層 / 基板界面で測定した場合に、幅が約 10 ミクロン以下のストリートによって分離される請求項 1 記載の方法。

**【請求項 7】**

前記複数の集積回路が、制約なしのレイアウトを有する請求項 1 記載の方法。

**【請求項 8】**

複数の集積回路を含む半導体ウェハのダイシング方法であって、

シリコン基板の上にポリママスク層を形成するステップであって、前記ポリママスク層は前記シリコン基板上に配置された集積回路を被覆し保護し、前記集積回路は低誘電率材料層及び銅層の上方に配置された二酸化ケイ素層を含むステップと、

前記ポリママスク層、前記二酸化ケイ素層、前記低誘電率材料層、及び前記銅層をフェムト秒ベースのレーザスクライビング工程でパターンニングするステップであって、レーザスクライプされたポリママスクに各々が幅を有するスクライプラインを提供し、前記スクライプラインは前記シリコン基板の前記集積回路間の領域を露出させるステップと、

各々が前記幅を有する溝を前記シリコン基板内へとプラズマエッチングし、前記集積回路を個片化するステップとを含む方法。

**【請求項 9】**

前記二酸化ケイ素層、前記低誘電率材料層、及び前記銅層を、前記フェムト秒ベースのレーザスクライビング工程でパターンニングするステップが、前記二酸化ケイ素層のアブレーションを行ってから、前記低誘電率材料層と前記銅層のアブレーションを行うことを含む請求項 8 記載の方法。

**【請求項 10】**

前記フェムト秒ベースのレーザスクライビング工程でパターンニングするステップが、前記半導体ウェハの前記集積回路間の前記領域にレーザスクライプされた溝を形成するステップを含み、前記幅を有する溝を前記半導体ウェハ内へとプラズマエッチングするステップが、前記集積回路を個片化するためにレーザスクライプされた溝を延長するステップを含む請求項 8 記載の方法。

**【請求項 11】**

前記フェムト秒レーザスクライビング工程でパターンニングするステップが、波長が約 530 ナノメートル以下で、レーザパルス幅が約 400 フェムト秒以下のレーザを使用するステップを含む請求項 8 記載の方法。

**【請求項 12】**

前記シリコン基板をプラズマエッチングするステップは、高密度スルーシリコンプラズマエッチング工程を使用するステップを含む請求項 8 記載の方法。

**【請求項 13】**

前記集積回路は約 10 ミクロン以下の幅を有するストリートによって分離される請求項 8 記載の方法。